

マイクロコンピュータ **Z80** ユーザーズマニュアル [I]

Microcomputer Z80
User's Manual [Part I]

THE SHARP MICROCOMPUTERS

ELECTRONICS DIGEST COMPANY

マイクロコンピュータZ80 ユーザーズマニュアル [I]

発行 シャープ株式会社
発売 株式会社エレクトロニクスダイジェスト書店部

Z-80-CPU テクニカルマニュアル	1	■
Z-80-PIO テクニカルマニュアル	2	■
Z-80-CTC テクニカルマニュアル	3	■
SM-B-80D テクニカルマニュアル	4	■
SM-B-80T テクニカルマニュアル	5	■
SM-B-80D ユーザーズマニュアル	6	■
SM-B-80T ユーザーズマニュアル	7	■
Z-80 クロスアセンブラマニュアル	8	■
Z-80 テキストエディタマニュアル	9	■
Z-80 アセンブラマニュアル	10	■
SM-4 クロスアセンブラマニュアル	11	■
SM-B-80T アプリケーションマニュアル (1)	12	■
SM-B-80T アプリケーションマニュアル (2)	13	■
APPENDIX	14	■

Z-80-CPU

テクニカルマニュアル



シャープZ-80 マイクロコンピュータは、マイクロコンピュータ・コンポーネントとその開発システム，サポート・ソフトウェアを完備し、容易にシステム設計ができるよう配慮されています。Z-80 マイクロコンピュータ・コンポーネントを採用することにより、別の外部論理回路を付加しなくても高性能のマイクロコンピュータ・システムが得られ、最小限の低コスト標準メモリを用いるだけでその目的が達成されます。

LH-0080 Z-80 CPU（以下、Z-80 CPUと略します）は、Nチャネル・シリコンゲート E/D MOS プロセスで作られた、高度な処理能力を備えた第三世代のマイクロプロセッサです。

Z-80 CPUは、標準メモリの利用を考慮し、システムのスループットおよびメモリの利用効率を高めた設計となっています。また周辺回路を制御するためのデコードされた制御信号を持っています。Z-80 CPUは+5Vの単一電源および単相クロックを必要とするだけで、周辺回路が簡単になります。

1. 特 長

- 8ビット並列処理のワンチップ・マイクロプロセッサ
- Nチャネル・シリコンゲート E/D MOS プロセス
- 158種の基本命令（8080Aの78種の全命令を含み、機械語においてソフトウェア互換性があります。8080Aに比べて、インデックス、ビットおよび相対アドレッシング・モードや、4，8および16ビット操作命令などの有効な命令が追加されています。）
- 22のレジスタ内蔵
- 強力な割り込み機能：3モードのマスク可能な割り込み機能
：マスク不可能な割り込み機能
- 外部回路をほとんど必要としないで、標準的なスタティックやダイナミック・メモリと直結可能（リフレッシュ回路内蔵）
- 命令フェッチ速度：1.6 μ s
- +5Vの単一電源および単相クロック
- 全入出力端子：TTLコンパチブル
- パッケージは40ピンDIP

2. 内 部 構 成

Z-80 CPUの内部構成ブロック図を図1に示します。

*1 microcomputer	*10 index
*2 microcomputer component	*11 relative addressing mode
*3 support software	*12 register
*4 memory	*13 interruption
*5 Central Processing Unit	*14 static or dynamic memory
*6 N-channel silicon gate Enhancement/ Depletion type Metal Oxide Semiconductor	*15 refresh circuit
*7 microprocessor	*16 instruction fetch speed
*8 system throughput	*17 Transistor-Transistor Logic compatible
*9 decode	*18 Dual In line Package

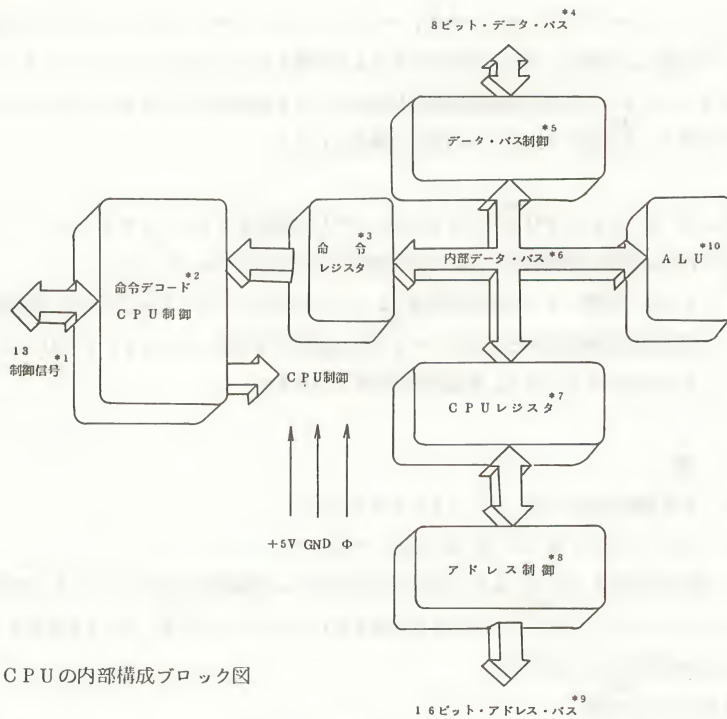


図1 Z-80 CPUの内部構成ブロック図

Z-80 CPUの内部レジスタは、207ビットのリード/ライト・メモリで構成されており、レジスタの構成を図2に示します。

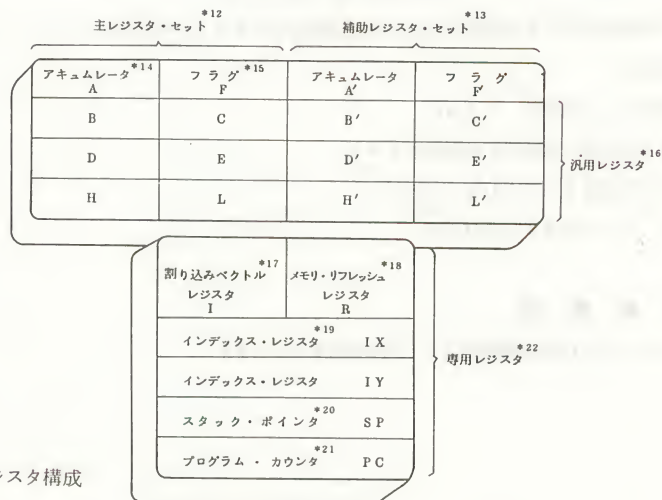


図2 Z-80 CPUレジスタ構成

- | | |
|--|--------------------------------|
| * 1 control signals | * 12 main register set |
| * 2 instruction decode and CPU control | * 13 alternate register set |
| * 3 instruction register | * 14 accumulator |
| * 4 8-bit data bus | * 15 flags |
| * 5 data bus control | * 16 general purpose registers |
| * 6 internal data bus | * 17 interrupt vector register |
| * 7 CPU register | * 18 memory refresh register |
| * 8 address control | * 19 index register |
| * 9 16-bit address bus | * 20 stack pointer |
| * 10 arithmetic and logical unit | * 21 program counter |
| * 11 read/write memory | * 22 special purpose registers |

CPUレジスタは、汎用レジスタ群と専用レジスタ群から構成されており、汎用レジスタ群は、主レジスタ・セットと補助レジスタ・セットの2組のレジスタ・セットがあり、交換命令によって互いの内容を交換することができます。各レジスタ・セットは、8ビットのアキュムレータ、8ビットのフラグ・レジスタおよび6個の汎用レジスタ（各8ビット構成）で構成されています。汎用レジスタをBC、DE、およびHLのようにペアにして、16ビットのレジスタとしても使用できます。

専用レジスタ群は、割り込みベクトル・レジスタI（8ビット）、メモリ・リフレッシュ・レジスタR（7ビット）、2組のインデックス・レジスタIX、IY（16ビット）、スタック・ポインタSP（16ビット）およびプログラム・カウンタPC（16ビット）で構成されています。

割り込みベクトル・レジスタIは、割り込み発生時に、割り込みサービス・ルーチンの間接アドレスの上位8ビットを与え、下位8ビットは割り込みデバイスから与えられます。

メモリ・リフレッシュ・レジスタRは、外部メモリとしてダイナミックRAMを使用する場合のメモリ・リフレッシュ用のアドレスを自動的に発生します。

5. 端子信号

Z-80 CPUの端子信号を図3に示します。

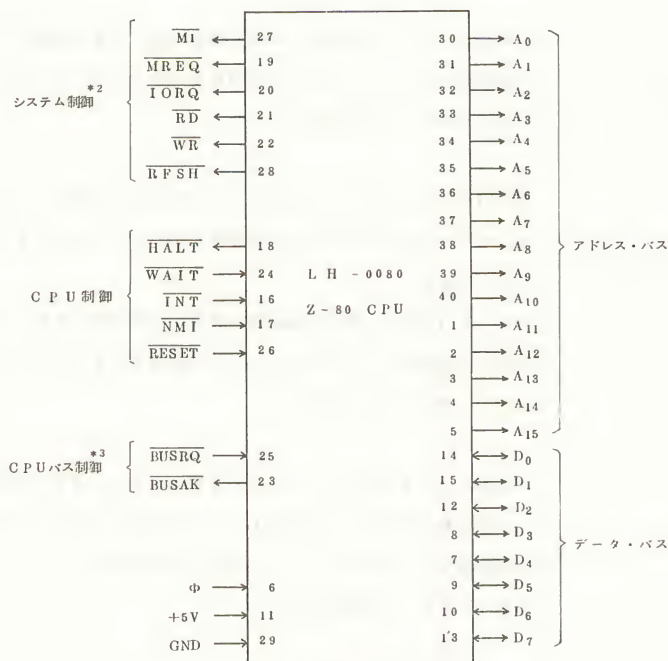


図3 Z-80 CPU 端子信号

Z-80 CPUの端子信号を機能的に分類しますと、

- (1) アドレス・バス：A₀-A₁₅
- (2) データ・バス：D₀-D₇

*1 interrupt service routine

*3 CPU bus control

*2 system control

- (3) システム制御 : $\overline{M1}$, \overline{MREQ} , \overline{IORQ} , \overline{WR} , \overline{RD} , \overline{RFSH}
 (4) CPU 制御 : \overline{HALT} , \overline{WAIT} , \overline{INT} , \overline{NMI} , \overline{RESET}
 (5) CPUバス制御: \overline{BUSRQ} , \overline{BUSAK}

となります。次に各信号について説明します。

$A_0 - A_{15}$ $A_0 - A_{15}$ は、16ビットのアドレス・バスを構成し、メモリ（最大64Kバイト）および入出力デバイスのアドレスを指定します。
 (アドレス・バス)
 (Address Bus)
 (トライ・ステートの出力端子)^{*1}

$D_0 - D_7$ $D_0 - D_7$ は、8ビットの双方向性データ・バスを構成し、メモリおよび入出力デバイスとのデータの受渡しをおこないます。
 (データ・バス)
 (Data Bus)
 (トライ・ステートの入出力端子)

$\overline{M1}$ $\overline{M1}$ は、稼動中のマシン・サイクルがOPコードのフェッチ・サイクルであることを示します。^{*2}
 (マシン・サイクル₁)
 (Machine Cycle one)
 (出力端子)

\overline{MREQ} メモリ・リクエスト信号は、メモリ読み出し、書き込み動作に対してアドレス・バスが有効なメモリ・アドレスを出力していることを示します。
 (メモリ・リクエスト)
 (Memory Request)
 (トライ・ステートの出力端子)

\overline{IORQ} 入出力リクエスト信号は、入出力デバイスとの読み出し、書き込み動作に対してアドレス・バスの下位8ビットが有効な入出力デバイスのアドレスを出力していることを示します。
 (入出力リクエスト)
 (Input/Output Request)
 また、 \overline{IORQ} は、割り込み応答時に $\overline{M1}$ と共に出力され、割り込み要求デバイスが割り込み応答ベクトルをデータ・バスに乗せてもよいことを示します。
 (トライ・ステートの出力端子)

\overline{RD} メモリ・リード信号は、Z-80 CPUがメモリ、または入出力デバイスからのデータを読み込むタイミングを示し、メモリまたは入出力デバイスは、この \overline{RD} 信号に同期してデータをデータ・バスに出力すればよい。
 (メモリ・リード)
 (Memory Read)
 (トライ・ステートの出力端子)

\overline{WR} メモリ・ライト信号は、アドレス指定されたメモリ、または入出力デバイスに書き込む有効データがデータ・バス上に乗っていることを示します。
 (メモリ・ライト)
 (Memory Write)
 (トライ・ステートの出力端子)

\overline{RFSH} リフレッシュ信号は、ダイナミックRAM用のリフレッシュ用アドレスがアドレス・バスの下位7ビットに出力されていることを示します。このとき、 \overline{MREQ} 信号も出力されます。
 (リフレッシュ)
 (Refresh)
 (出力端子)

* 1 tri-state

* 2 operation code fetch cycle

HALT

(ホールト・ステート)
(Halt State)

ホールト・ステート信号は、Z-80 CPUがHALT命令を実行中であることを示し、内部的にはNOP命令^{*1}を実行しています。この間、メモリ・リフレッシュはおこなわれています。

ホールト状態の解除は、リセット信号、ノン・マスクابل割り込み^{*2}、およびマスクابل割り込み^{*3}(ただし、割り込み受け付け状態のとき)によっておこなわれます。

(出力端子)

WAIT

(ウェイト)
(Wait)

ウェイト信号は、アドレス指定されているメモリまたは、入出力デバイスがデータ転送準備のできていないことをZ-80 CPUへ知らせるための信号です。

この信号が入力されている間、Z-80 CPUは待ち状態を続けます。

(入力端子)

INT

(割り込み要求)
(Interrupt Request)

入出力デバイスがZ-80 CPUに対して割り込みを要求する信号で、割り込み許可フリップ・フロップがオン状態^{*4}であれば、現在実行中の命令の終わりに、この割り込み要求が受け付けられます。

(入力端子)

NMI

(ノン・マスクابل割り込み)
(Non Maskable Interrupt)

このノン・マスクابل割り込みは、INTより優先度の高い割り込み要求であり、ソフトウェアによってもマスクできません。NMIはいつでも受け付けられて、現在実行中の命令が終わると割り込み処理が開始され、Z-80 CPUは自動的に0066H番地から再スタートします。

(入力端子)

RESET

(リセット)
(Reset)

リセット信号は、割り込み許可フリップ・フロップ、プログラム・カウンタ、割り込みベクトル・レジスタ、およびメモリ・リフレッシュ・レジスタをリセットし、割り込みモードをモード0にして、Z-80 CPUを初期状態に戻します。

リセット期間には、アドレス・バスおよびデータ・バスは高インピーダンス状態となり、すべての制御信号も不活性状態となります。

(入力端子)

BUSRQ

(バス・リクエスト)
(Bus Request)

バス・リクエスト信号は、NMIより優先度が高く、現在実行中のマシン・サイクルの終わりで受け付けられます。

この信号でZ-80 CPUのアドレス・バス、データ・バス、トライ・ステート制御出力信号が高インピーダンス状態になりますので、他のデバイスはこれらのバスを利用できるようになります。

(入力端子)

* 1 no operation instruction

* 2 non maskable interrupt

* 3 maskable interrupt

* 4 interrupt enable flip-flop

BUSAK

(バス・アクノリッジ)
(Bus Acknowledge)

バス・アクノリッジ信号は、Z-80 CPUがバス・リクエストを受け付けて、Z-80 CPUのアドレス・バス、データ・バスおよびトライ・ステート構造の制御出力のすべてが高インピーダンス状態になっていることを示します。この期間、外部デバイスはこれらのバスおよび制御線を利用できます。
(出力端子)

4. 主要タイミング波形

○ 命令OPコード・フェッチ・サイクル^{*1}

命令サイクルの開始と同時に、プログラム・カウンタの内容がアドレス・バスへ出力され、これから半クロック遅^{*2}れて $\overline{\text{MREQ}}$ が“L”になります。 $\overline{\text{MREQ}}$ の立ち上がりエッジは、ダイナミック・メモリのチップ・イネーブル入力として直接使用することができます。 $\overline{\text{RD}}$ 信号によって、メモリのデータがデータ・バスへ出力され、Z-80 CPUは T_3 の立ち上がりエッジでこのデータを読み込みます。フェッチ・サイクル(以下M1サイクルと呼びます)の T_3 および T_4 は、ダイナミック・メモリのリフレッシュおよび命令の解読・実行が並行しておこなわれます。リフレッシュ制御信号 $\overline{\text{RFSH}}$ によって、すべてのダイナミック・メモリのリフレッシュがおこなわれます。このとき、アドレス・バスにはリフレッシュ・アドレスが出力されています。タイミングを図4に示します。

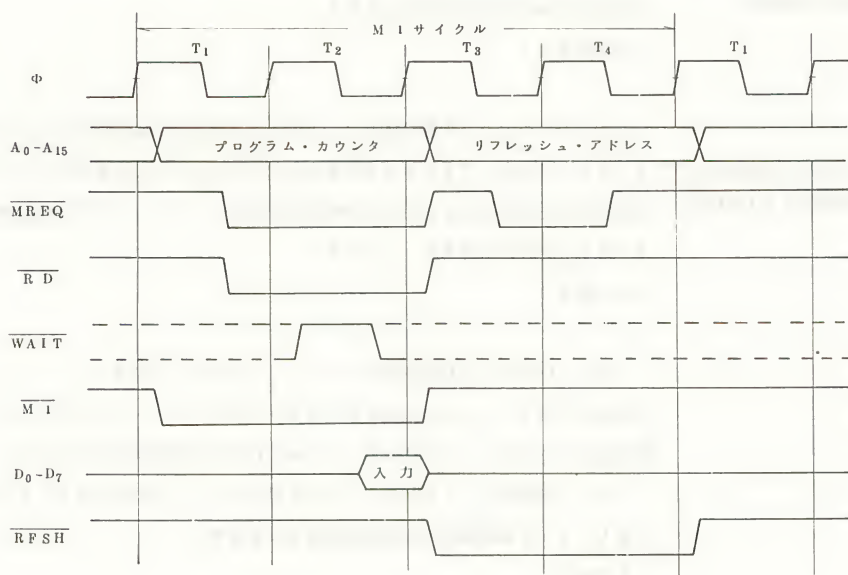


図4 命令OPコード・フェッチ・サイクル

○ メモリ・アクセス・タイミング^{*3}

図5はM1サイクル以外のメモリ・アクセスのタイミングを示します。メモリ読み出しサイクルにおいて、 $\overline{\text{MREQ}}$ および $\overline{\text{RD}}$ がM1サイクルとまったく同様に使用されます。 $\overline{\text{MREQ}}$ はアドレス・バス上の情報が確定したとき“L”になるため、この信号はダイナミック・メモリのチップ・イネーブル入力として直接使用することができます。メモリ書き込みサイクルにおける $\overline{\text{WR}}$ は、データ・バス上の情報が確定したとき“L”になるため、一般のRAMのリード/ライトパルスとして直接使用することができます。^{*4}

*1 instruction operation code fetch cycles

*2 chip enable

*3 memory access timing

*4 read/write pulse

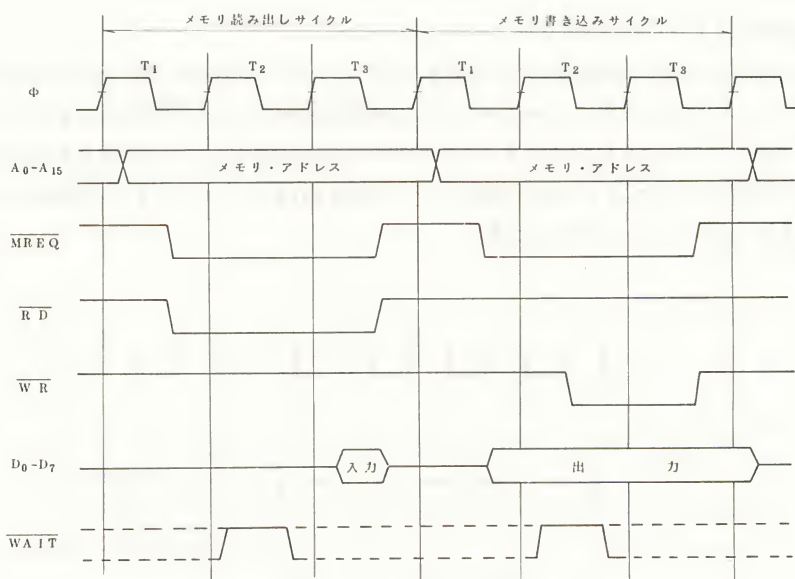


図5 メモリ・アクセス・タイミング

○ 入出力サイクル^{*1}

図6に入出力サイクルのタイミングを示します。このサイクルでは、Z-80 CPUが自動的に1つの待ち状態^{*}(T_w)を挿入し、入出力ポートがポート・アドレスをデコードする時間および必要ならば待ち状態の要求を出す時間を保証します。

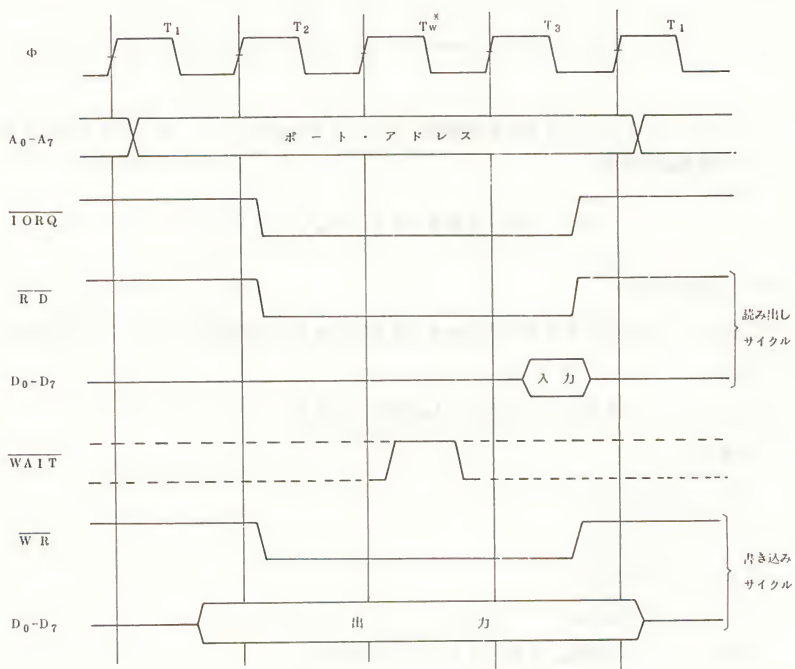
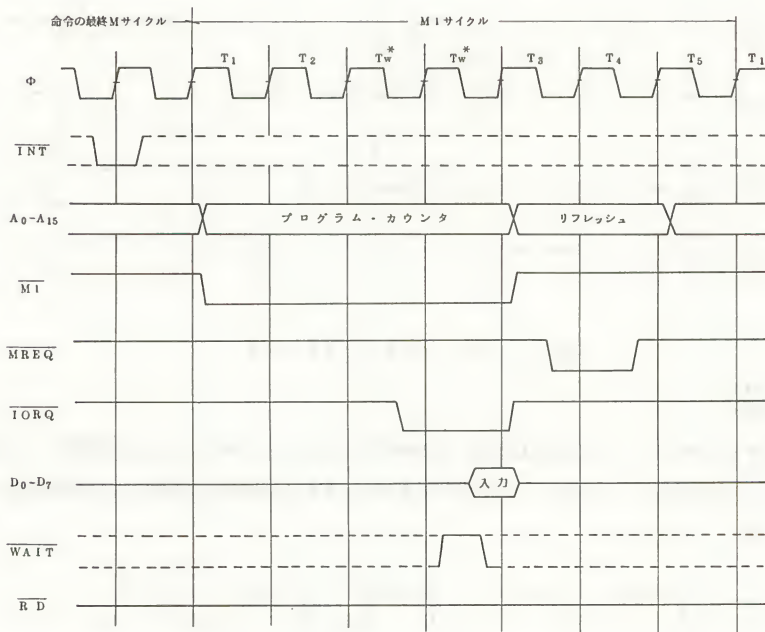


図6 入出力サイクル

*1 input or output cycles

○ 割り込み要求／アクノリッジ・サイクル^{*1}

割り込み信号は命令サイクル最後のクロックの立ち上がりエッジでサンプルされ、割り込みが受け付けられると、特別なM 1サイクルが始まります。このM 1サイクルではMREQの代わりにIORQが出力されて、割り込み要求したデバイスが8ビットのベクトルをデータ・バス上へ出力することができます。このサイクルには自動的に2つの待ち状態^{*}(Tw)が挿入され、これにより周辺デバイスで使用されるデージー・チェーン優先割り込み機構を容易に実現できます。図7にタイミングを示します。



注：モード0でCALL命令を実行する場合、T5サイクルがなくなり、M1サイクルは6クロック・サイクルで構成されます。

図7 割り込み要求／アクノリッジ・サイクル

5. Z-80 CPUの命令セット^{*3}

Z-80 CPUの命令セットの概要を以下に示します。命令はアセンブラ言語^{*4}のニーモニック^{*5}で表現します。

説明に使用する用語

- b : 8ビットのレジスタまたはメモリのビット位置を示します。
- c c : フラグ条件コード
 - NZ : ゼロでない。
 - Z : ゼロである。
 - NC : キャリがない。
 - C : キャリがある。
 - PO : パリティが奇数、またはオーバーフローがない。

* 1 interrupt request/acknowledge cycle

* 2 daisy chain

* 3 instruction set

* 4 assembly language

* 5 mnemonic

P E : パリティが偶数、またはオーバフローがある。

P : 符号が正である。

M : 符号が負である。

d : 命令を実行したときの 8 ビットのデータ格納場所を示します。

d d : 命令を実行したときの 16 ビットのデータ格納場所を示します。

e : 8 ビットの符号付 2 進数で、相対アドレスまたはインデックス・アドレスを計算するとき使用されます。

L : ゼロ・ページの特別なアドレスです。

n : 8 ビットの 2 進数。

n n : 16 ビットの 2 進数。

r : 8 ビットの汎用レジスタを示します。(A, B, C, D, E, H, または L)

s : 命令実行に使用する 8 ビットのデータのソースを示します。

S b : オペランドに示された 8 ビットのレジスタまたはメモリのビットを示します。^{*1}

s s : 命令実行に使用する 16 ビットのデータのソースを示します。

添字 L : 16 ビットのレジスタの下位 8 ビットを示します。

添字 H : 16 ビットのレジスタの上位 8 ビットを示します。

() : () の内容はメモリまたは入出力ポートのポインタとして使用されます。

7 ビットのレジスタは R です。

8 ビットのレジスタは A, B, C, D, E, H, L, および I です。

16 ビットのレジスタ・ペアは A F, B C, D E, および H L です。^{*2}

16 ビットのレジスタは S P, P C, I X, および I Y です。

アドレス方式は次に示す方式の組み合わせであってもよい。

イミディエット^{*3}

拡張イミディエット^{*4}

ゼロ・ページ修飾^{*5}

相 対

直 接

インデックス

レジスタ

インプライド^{*6}

レジスタ間接^{*7}

ビット

* 1 operand

* 2 register pair

* 3 immediate

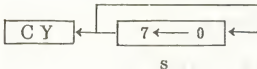
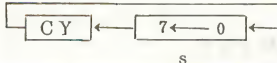
* 4 immediate extended

* 5 modified page zero

* 6 implied

* 7 register indirect

	ニーモニック	動作内容	備考
8ビット・ロード	LD r, s	$r \leftarrow s$	$s \equiv r, n, (HL), (IX+e), (IY+e)$
	LD d, r	$d \leftarrow r$	$d \equiv r, (HL), (IX+e), (IY+e)$
	LD d, n	$d \leftarrow n$	$d \equiv (HL), (IX+e), (IY+e)$
	LD A, s	$A \leftarrow s$	$s \equiv (BC), (DE), (nn), I, R$
	LD d, A	$d \leftarrow A$	$d \equiv (BC), (DE), (nn), I, R$
16ビット・ロード	LD dd, nn	$dd \leftarrow nn$	$dd \equiv BC, DE, HL, SP, IX, IY$
	LD dd, (nn)	$dd \leftarrow (nn)$	
	LD (nn), ss	$(nn) \leftarrow ss$	$ss \equiv BC, DE, HL, SP, IX, IY$
	LD SP, ss	$SP \leftarrow ss$	$ss \equiv HL, IX, IY$
	PUSH ss	$(SP-1) \leftarrow ss_H, (SP-2) \leftarrow ss_L$	$ss \equiv BC, DE, HL, AF, IX, IY$
	POP dd	$dd_L \leftarrow (SP), dd_H \leftarrow (SP+1)$	$dd \equiv BC, DE, HL, AF, IX, IY$
交換	EX DE, HL	$DE \leftrightarrow HL$	
	EX AF, AF'	$AF \leftrightarrow AF'$	
	EXX	$\begin{pmatrix} BC \\ DE \\ HL \end{pmatrix} \leftrightarrow \begin{pmatrix} BC' \\ DE' \\ HL' \end{pmatrix}$	
	EX (SP), ss	$(SP) \leftrightarrow ss_L, (SP+1) \leftrightarrow ss_H$	$ss \equiv HL, IX, IY$
メモリ・ブロック転送	LDI	$(DE) \leftarrow (HL), DE \leftarrow DE + 1$ $HL \leftarrow HL + 1, BC \leftarrow BC - 1$	
	LDIR	LDIをBC=0まで繰り返す。	
	LDD	$(DE) \leftarrow (HL), DE \leftarrow DE - 1$ $HL \leftarrow HL - 1, BC \leftarrow BC - 1$	
	LDDR	LDDをBC=0まで繰り返す。	
メモリ・ブロック・サーチ	CPI	$A - (HL), HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$	$A - (HL)$ はフラグを変えるだけで、Aの内容は不変である。
	CPIR	CPIをBC=0またはA=(HL)まで繰り返す。	
	CPD	$A - (HL), HL \leftarrow HL - 1$ $BC \leftarrow BC - 1$	
	CPDR	CPDをBC=0またはA=(HL)まで繰り返す。	
	ADD A, s	$A \leftarrow A + s$	CYはキャリ・フラグである。
	ADC A, s	$A \leftarrow A + s + CY$	

	ニーモニック	動作内容	備考
8ビット演算	SUB s	$A \leftarrow A - s$	$s \equiv r, n, (HL), (IX+e), (IY+e)$
	SBC A, s	$A \leftarrow A - s - CY$	
	AND s	$A \leftarrow A \wedge s$	
	OR s	$A \leftarrow A \vee s$	
	XOR s	$A \leftarrow A \oplus s$	
	CP s	$A - s$	Aの内容は不変。
	INC d	$d \leftarrow d + 1$	$d \equiv r, (HL), (IX+e), (IY+e)$
	DEC d	$d \leftarrow d - 1$	
16ビット演算	ADD HL, ss	$HL \leftarrow HL + ss$	$ss \equiv BC, DE, HL, SP$
	ADC HL, ss	$HL \leftarrow HL + ss + CY$	
	SBC HL, ss	$HL \leftarrow HL - ss - CY$	
	ADD IX, ss	$IX \leftarrow IX + ss$	$ss \equiv BC, DE, IX, SP$
	ADD IY, ss	$IY \leftarrow IY + ss$	$ss \equiv BC, DE, IY, SP$
	INC dd	$dd \leftarrow dd + 1$	$dd \equiv BC, DE, HL, SP, IX, IY$
	DEC dd	$dd \leftarrow dd - 1$	
アキュムレータ・フラグ操作	DAA	加減算後のAの内容の10進補正を行う。	加減算はBCDの形でしておかねばならない。
	CPL	$A \leftarrow \bar{A}$	
	NEG	$A \leftarrow 00_H - A$	
	CCF	$CY \leftarrow \overline{CY}$	
	SCF	$CY \leftarrow 1$	
制御	NOP	なにもしない。	
	HALT	CPUは停止する。	
	DI	割り込みディスエーブル。	
	EI	割り込みイネーブル。	
	IM 0	割り込みモード0にする。	8080Aと同じ
	IM 1	割り込みモード1にする。	0038 ₁₆ からリスタートする。
	IM 2	割り込みモード2にする。	Iレジスタを使用して間接ジャンプを行う。
	RLC s		$s \equiv r, (HL), (IX+e), (IY+e)$
	RL s		

	ニーモニック	動作内容	備考
ロー レ シ ョ ン お よ び シ フ ト	RRC s		$s \equiv r, (HL),$ $(IX+e), (IY+e)$
	RR s		
	SLA s		
	SRA s		
	SRL s		
	RLD		
	RRD		
ビット 操 作	BIT b, s	$Z \leftarrow \bar{S}_b$	Zはゼロ・フラグである。
	SET b, s	$S_b \leftarrow 1$	$s \equiv r, (HL),$ $(IX+e), (IY+e)$
	RES b, s	$S_b \leftarrow 0$	
リスト	RST L	$(SP-1) \leftarrow PC_H, (SP-2) \leftarrow PC_L$ $PC_H \leftarrow 0, PC_L \leftarrow L$	
入 出 力	IN A, (n)	$A \leftarrow (n)$	
	IN r, (C)	$r \leftarrow (C)$	
	INI	$(HL) \leftarrow (C), HL \leftarrow HL+1,$ $B \leftarrow B-1$	
	INIR	INIをB=0まで繰り返す。	
	IND	$(HL) \leftarrow (C), HL \leftarrow HL-1,$ $B \leftarrow B-1$	
	INDR	INDをB=0まで繰り返す。	
	OUT (n), A	$(n) \leftarrow A$	
	OUT (C), r	$(C) \leftarrow r$	
	OUTI	$(C) \leftarrow (HL), HL \leftarrow HL+1,$ $B \leftarrow B-1$	
	OTIR	OUTIをB=0まで繰り返す。	
	OUTD	$(C) \leftarrow (HL), HL \leftarrow HL-1,$ $B \leftarrow B-1$	
	OTDR	OUTDをB=0まで繰り返す。	

	ニーモニック	動作内容	備考
ジャンプ	J P n n	$PC \leftarrow nn$	$cc \begin{cases} NZ & PO \\ Z & PE \\ NC & P \\ C & M \end{cases}$
	J P c c, n n	条件 c c が成立するとき $PC \leftarrow nn$, 成立しないとき続行。	
	J R e	$PC \leftarrow PC + e$	
	J R k k, e	条件 k k が成立するとき $PC \leftarrow PC + e$, 成立しないとき続行。	$kk \begin{cases} NZ & NC \\ Z & C \end{cases}$
	J P (s s)	$PC \leftarrow ss$	$ss \equiv HL, IX, IY$
	D J N Z e	$B \leftarrow B - 1$, $B = 0$ のとき続行, $B \neq 0$ のとき $PC \leftarrow PC + e$	
コール	C A L L n n	$(SP - 1) \leftarrow PC_H$, $(SP - 2) \leftarrow PC_L$ $PC \leftarrow nn$	
	C A L L c c, n n	条件 c c が成立するとき C A L L n n と同じ、成立しないとき続行。	$cc \begin{cases} NZ & PO \\ Z & PE \\ NC & P \\ C & M \end{cases}$
リターン	R E T	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP + 1)$	$cc \begin{cases} NZ & PO \\ Z & PE \\ NC & P \\ C & M \end{cases}$
	R E T c c	条件 c c が成立するとき R E T と同じ、成立しないとき続行。	
	R E T I	マスカブル割り込みからの復帰で、R E T と同じ。	
	R E T N	ノン・マスカブル割り込みからの復帰。	

6. 絶対最大定格

項目	記号	定格値	単位
入力電圧	V_{IN}	$-0.3 \sim +7$	V
出力電圧	V_{OUT}	$-0.3 \sim +7$	V
動作温度	T_{opr}	$0 \sim +70$	℃
保存温度	T_{stg}	$-65 \sim +150$	℃

7. 電気的特性

7.1 D C 特性

($T_a = 0^\circ\text{C} \sim +70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$)

記号	項目	最小値	最大値	単位	測定条件
V_{ILC}	クロック“L”入力電圧	-0.3	0.45	V	
V_{IHC}	クロック“H”入力電圧	$V_{CC} - 0.6$	$V_{CC} + 0.3$	V	
V_{ILL}	“L”入力電圧	-0.3	0.8	V	
V_{IHL}	“H”入力電圧	2.0	V_{CC}	V	
V_{OL}	“L”出力電圧		0.4	V	$I_{OL} = 1.8\text{mA}$
V_{OH}	“H”出力電圧	2.4		V	$I_{OH} = -250\mu\text{A}$
I_{CC}	消費電流		150	mA	
I_{LI}	入力リーク電流		10	μA	$V_{IN} = 0 \sim V_{CC}$
I_{LOH}	トライステート出力リーク電流		10	μA	$V_{OUT} = 2.4\text{V} \sim V_{CC}$
I_{LOL}	トライステート出力リーク電流		-10	μA	$V_{OUT} = 0.4\text{V}$
I_{LD}	入力時のデータ・バスのリーク電流		± 10	μA	$0 \leq V_{IN} \leq V_{CC}$

7.2 端子容量

($T_a = +25^\circ\text{C}$, $f = 1\text{MHz}$)

記号	項目	最大値	単位	測定条件
C_Φ	クロック入力容量	50	pF	被測定端子以外の全ての端子は接地
C_{IN}	入力容量	8	pF	
C_{OUT}	出力容量	12	pF	

7.3 AC特性

($T_a = 0^\circ\text{C} \sim +70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$)

信号	記号	パラメータ	最小値	最大値	単位	測定条件
Φ	t_c	クロック周期	0.4	200	μs	
	$t_w(\Phi_H)$	クロック・パルス幅("H")	180		ns	
	$t_w(\Phi_L)$	クロック・パルス幅("L")	180	2000	ns	
	t_r, t_f	クロックの立ち上がり・立ち下がり時間		30	ns	
$A_0 - A_{15}$	$t_D(AD)$	クロックの立ち上がりから出力までの遅延		145	ns	$C_L = 50\text{pF}$
	$t_F(AD)$	出力がフロート状態になるまでの遅延		110	ns	
	t_{acm}	\overline{MREQ} に先立つ出力確定時間 (メモリ・サイクル)	[1]		ns	
	t_{aci}	\overline{IORQ} , \overline{RD} または \overline{WR} に先立つ出力確定時間 (入出力サイクル)	[2]		ns	
	t_{ca}	\overline{RD} , \overline{WR} , \overline{IORQ} または \overline{MREQ} からの出力保持時間	[3]		ns	
	t_{caf}	\overline{RD} または \overline{WR} からの出力保持時間 (フロート状態への遷移時)	[4]		ns	
$D_0 - D_7$	$t_D(D)$	クロックの立ち下がりから出力までの遅延		230	ns	$C_L = 50\text{pF}$
	$t_F(D)$	出力がフロート状態になるまでの遅延 (書き込みサイクル)		90	ns	
	$t_{s\Phi}(D)$	クロックの立ち上がりに対するセットアップ時間 (M1サイクル)	50		ns	
	$t_{s\Phi}(D)$	クロックの立ち下がりに対するセットアップ時間 (M2~M5サイクル)	60		ns	
	t_{dcm}	\overline{WR} に先立つ出力確定時間 (メモリ・サイクル)	[5]		ns	
	t_{dci}	\overline{WR} に先立つ出力確定時間 (入出力サイクル)	[6]		ns	
	t_{cdf}	\overline{WR} からの出力保存時間	[7]		ns	
	t_H	ホールド時間	0		ns	
\overline{MREQ}	$t_{DL\Phi}(\overline{MR})$	クロックの立ち下がりから $\overline{MREQ} = "L"$ になるまでの遅延		100	ns	$C_L = 50\text{pF}$
	$t_{DH\Phi}(\overline{MR})$	クロックの立ち上がりから $\overline{MREQ} = "H"$ になるまでの遅延 (M1サイクル)		100	ns	
	$t_{DL\Phi}(\overline{MR})$	クロックの立ち下がりから $\overline{MREQ} = "H"$ になるまでの遅延 (M2~M5サイクル)		100	ns	
	$t_w(\overline{MR}_L)$	\overline{MREQ} のパルス幅("L")	[8]		ns	
	$t_w(\overline{MR}_H)$	\overline{MREQ} のパルス幅("H")	[9]		ns	
\overline{IORQ}	$t_{DL\Phi}(\overline{IR})$	クロックの立ち上がりから $\overline{IORQ} = "L"$ になるまでの遅延 (入出力サイクル)		90	ns	

信号	記号	パラメータ	最小値	最大値	単位	測定条件
$\overline{\text{IORQ}}$	$t_{DL\Phi}(\overline{\text{IR}})$	クロックの立ち下がりから $\overline{\text{IORQ}} = "L"$ になるまでの遅延 (INTA サイクル)		110	ns	$C_L = 50 \text{ pF}$
	$t_{DH\Phi}(\overline{\text{IR}})$	クロックの立ち上がりから $\overline{\text{IORQ}} = "H"$ になるまでの遅延 (INTA サイクル)		100	ns	
	$t_{DH\Phi}(\overline{\text{IR}})$	クロックの立ち下がりから $\overline{\text{IORQ}} = "H"$ になるまでの遅延 (入出力サイクル)		110	ns	
$\overline{\text{RD}}$	$t_{DL\Phi}(\overline{\text{RD}})$	クロックの立ち上がりから $\overline{\text{RD}} = "L"$ になるまでの遅延 (入出力サイクル)		100	ns	$C_L = 50 \text{ pF}$
	$t_{DL\Phi}(\overline{\text{RD}})$	クロックの立ち下がりから $\overline{\text{RD}} = "L"$ になるまでの遅延 (メモリ・サイクル)		130	ns	
	$t_{DH\Phi}(\overline{\text{RD}})$	クロックの立ち上がりから $\overline{\text{RD}} = "H"$ になるまでの遅延 (M1 サイクル)		100	ns	
	$t_{DH\Phi}(\overline{\text{RD}})$	クロックの立ち下がりから $\overline{\text{RD}} = "H"$ になるまでの遅延 (M2~M5 サイクル)		110	ns	
$\overline{\text{WR}}$	$t_{DL\Phi}(\overline{\text{WR}})$	クロックの立ち上がりから $\overline{\text{WR}} = "L"$ になるまでの遅延 (入出力サイクル)		80	ns	$C_L = 50 \text{ pF}$
	$t_{DL\Phi}(\overline{\text{WR}})$	クロックの立ち下がりから $\overline{\text{WR}} = "L"$ になるまでの遅延 (メモリ・サイクル)		90	ns	
	$t_{DH\Phi}(\overline{\text{WR}})$	クロックの立ち下がりから $\overline{\text{WR}} = "H"$ になるまでの遅延		100	ns	
	$t_w(\overline{\text{WR}}_L)$	$\overline{\text{WR}}$ のパルス幅 ("L")	[10]		ns	
$\overline{\text{M1}}$	$t_{DL}(\overline{\text{M1}})$	クロックの立ち上がりから $\overline{\text{M1}} = "L"$ になるまでの遅延		130	ns	$C_L = 50 \text{ pF}$
	$t_{DH}(\overline{\text{M1}})$	クロックの立ち上がりから $\overline{\text{M1}} = "H"$ になるまでの遅延		130	ns	
$\overline{\text{RFSH}}$	$t_{DL}(\overline{\text{RF}})$	クロックの立ち上がりから $\overline{\text{RFSH}} = "L"$ になるまでの遅延		180	ns	$C_L = 50 \text{ pF}$
	$t_{DH}(\overline{\text{RF}})$	クロックの立ち上がりから $\overline{\text{RFSH}} = "H"$ になるまでの遅延		150	ns	
$\overline{\text{WAIT}}$	$t_s(\text{WT})$	クロックの立ち下がりに対するセットアップ時間	70		ns	
$\overline{\text{HALT}}$	t_{DHT}	クロックの立ち下がりからの遅延		300	ns	$C_L = 50 \text{ pF}$
$\overline{\text{INT}}$	$t_s(\text{IT})$	クロックの立ち上がりに対するセットアップ時間	80		ns	
$\overline{\text{NM1}}$	$t_w(\overline{\text{NM}}_L)$	$\overline{\text{NM1}}$ のパルス幅 ("L")	80		ns	
$\overline{\text{BUSRQ}}$	$t_s(\text{BQ})$	クロックの立ち上がりに対するセットアップ時間	80		ns	
$\overline{\text{BUSAK}}$	$t_{DL}(\text{BA})$	クロックの立ち上がりから $\overline{\text{BUSAK}} = "L"$ になるまでの遅延		120	ns	$C_L = 50 \text{ pF}$
	$t_{DH}(\text{BA})$	クロックの立ち下がりから $\overline{\text{BUSAK}} = "H"$ になるまでの遅延		110	ns	
$\overline{\text{RESET}}$	$t_s(\text{RS})$	クロックの立ち上がりに対するセットアップ時間	90		ns	
	$t_F(\text{C})$	フロート状態になるまでの遅延 (MREQ, $\overline{\text{IORQ}}$, $\overline{\text{RD}}$ および $\overline{\text{WR}}$)		100	ns	
	t_{mr}	$\overline{\text{IORQ}}$ に先立つ $\overline{\text{M1}}$ 出力 ("L") の確定時間 (INTA サイクル)	[11]		ns	

注 [1] $t_{acm} = t_w(\Phi_H) + t_f - 75$

[2] $t_{aci} = t_c - 80$

[3] $t_{ca} = t_w(\Phi_L) + t_r - 40$

[4] $t_{caf} = t_w(\Phi_L) + t_r - 60$

[5] $t_{dc} = t_c - 210$

[6] $t_{dci} = t_w(\Phi_L) + t_r - 210$

[7] $t_{cdf} = t_w(\Phi_L) + t_r - 80$

[8] $t_w(\overline{\text{MR}}_L) = t_c - 40$

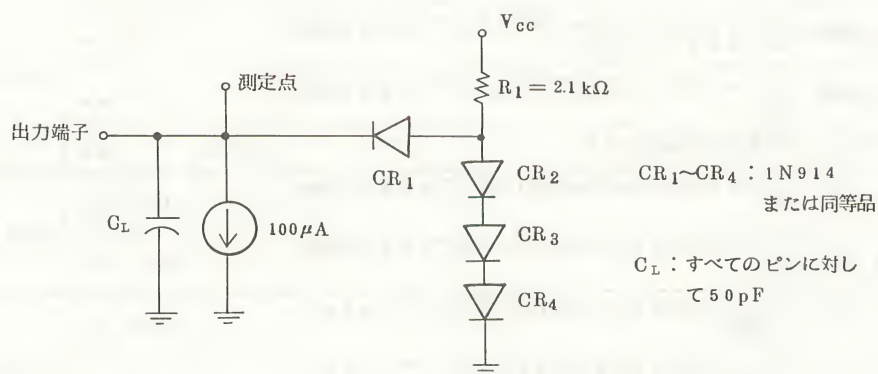
[9] $t_w(\overline{\text{MR}}_H) = t_w(\Phi_H) + t_f - 30$

[10] $t_w(\overline{\text{WR}}_L) = t_c - 40$

[11] $t_{mr} = 2t_c + t_w(\Phi_H) + t_f - 80$

- データを \overline{RD} に同期してバスに送り出すことが望ましい。割り込みアクノリッジ・サイクルでは $\overline{M1}$ をよび \overline{IORQ} の両方に同期して送り出すことが望ましい。
- 制御信号はすべて内部で同期がとれているため、クロックについて非同期的に使用してもよい。
- $T_a = +70^\circ\text{C}$, $V_{cc} = +5\text{V} \pm 5\%$ における負荷容量と出力の遅延との関係は次の通りです。
負荷容量の 50pF 増加につき遅延は 10ns 増加します。負荷容量の最大値は、データ・バスが 200pF で、他は 100pF です。
- \overline{RESET} の入力幅は最低3クロック・サイクルが必要です。

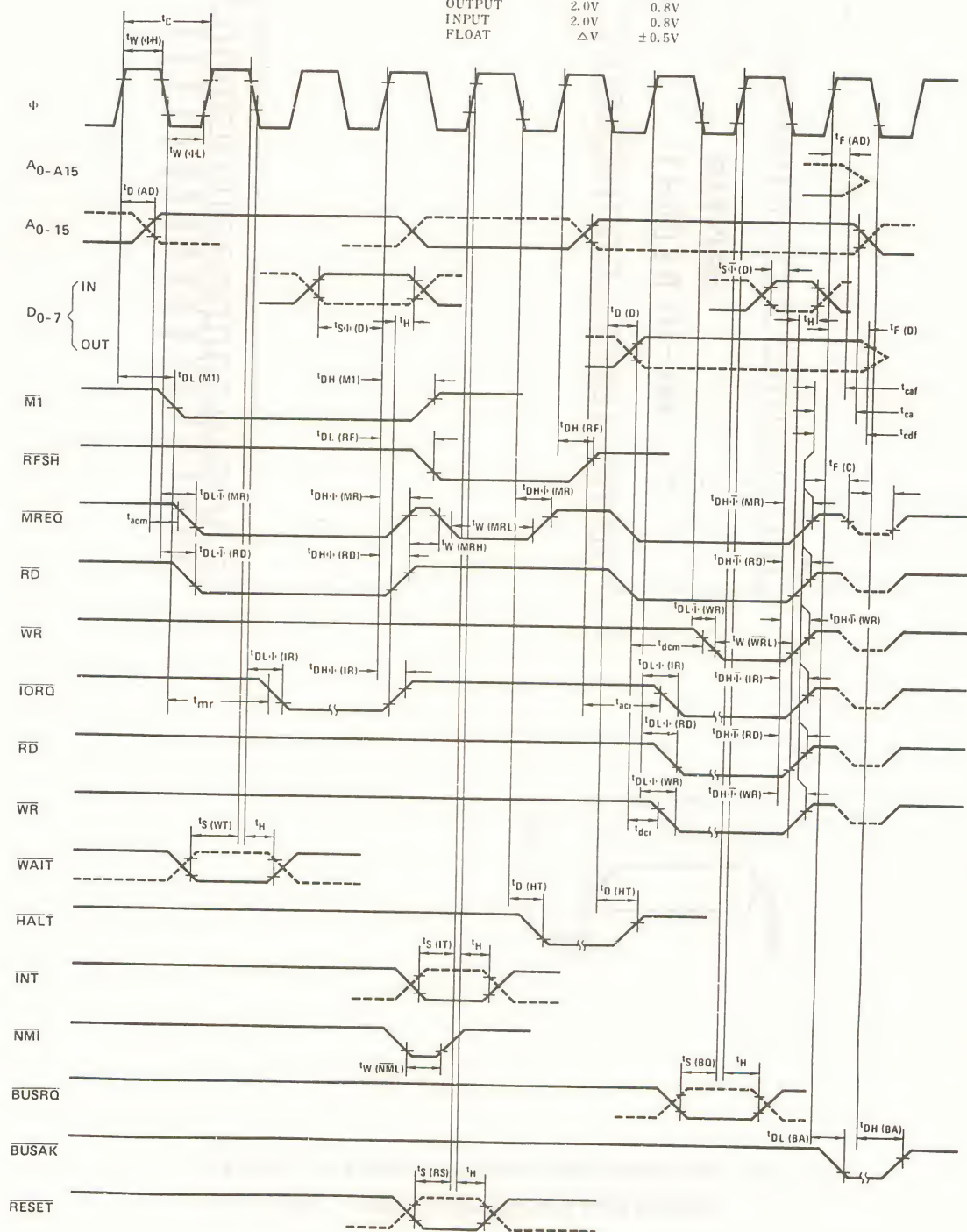
出力端子測定回路



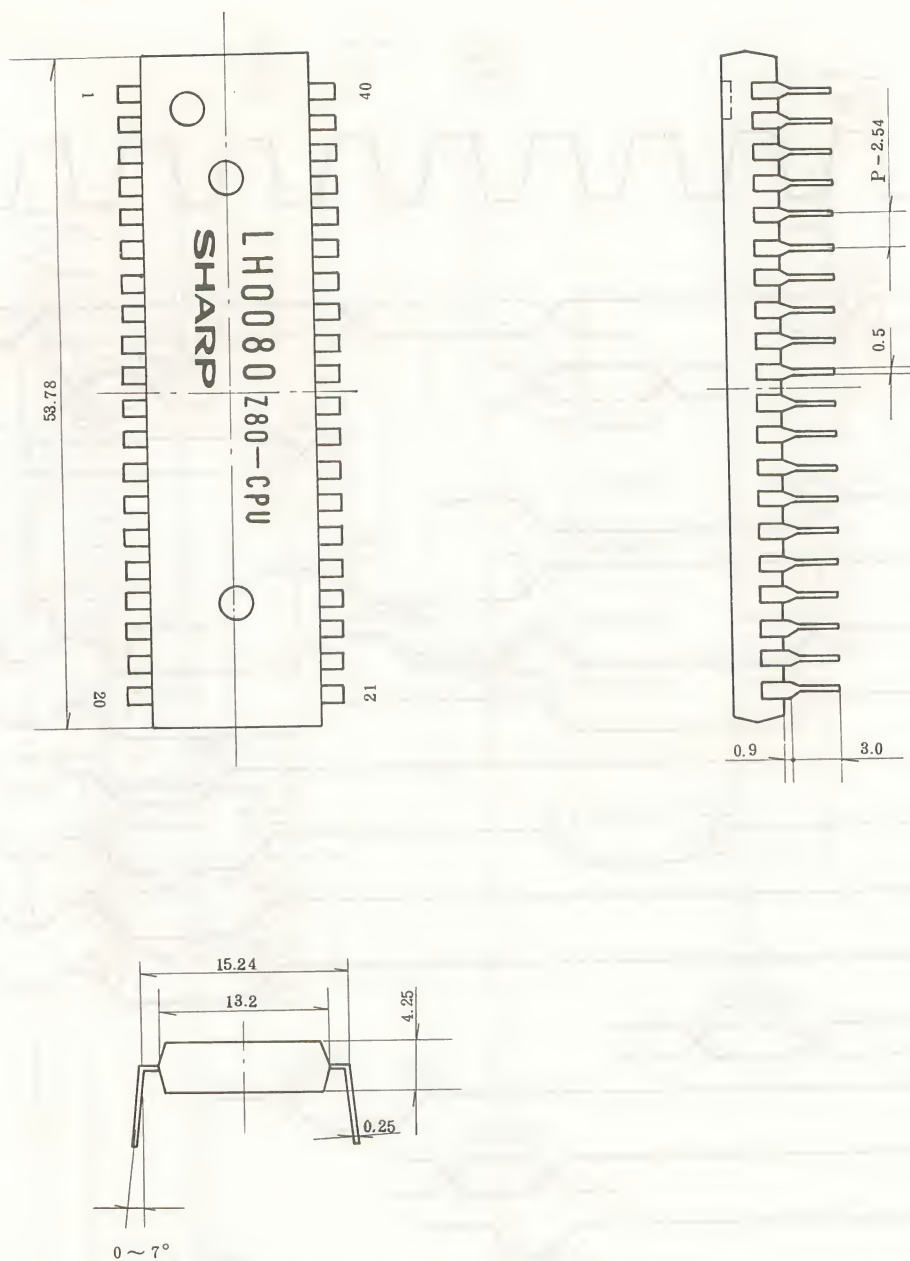
7.4 AC タイミング図

測定条件は次の通りです。

	"H"	"L"
CLOCK	V _{cc} -0.6V	0.45V
OUTPUT	2.0V	0.8V
INPUT	2.0V	0.8V
FLOAT	ΔV	$\pm 0.5V$



8. 外形寸法図



Unit: 単位

(おことわり) 製品の改良のため予告なしに内容の一部を変更することがあります。
規格契約が必要な場合は製品仕様書をご用命の上、ご契約ください。

Z-80-PIO

テクニカルマニュアル

2

シャープZ-80マイクロコンピュータは、マイクロコンピュータ・コンポーネントとその開発システム、サポート・ソフトウェアを完備し、容易にシステム設計ができるよう配慮されています。Z-80マイクロコンピュータ・コンポーネントを採用することにより、別の外部論理回路を付加しなくても高性能のマイクロコンピュータ・システムが得られ、最小限の低コスト標準メモリを用いるだけでその目的が達成されます。

LH-0081 Z-80 PIO (以下Z-80 PIOと略します)は、Z-80システムにおける、テープせん孔機、プリンタ、キーボードなどの周辺機器とZ-80 CPUとの間の並列入出力インターフェース・コントローラであり、プログラム可能な2ポートを持っています。

1. 特 長

- ハンドシェイク・データ転送制御機能を持つ2つの独立した8ビット双方向性インターフェース・ポート
- Nチャネル・シリコンゲート E/D MOS プロセス
- 4動作モードの選択可能
 - バイト出力モード
 - バイト入力モード
 - バイト双方向性バス・モード (ポートAのみ可能)
 - ビット・モード
- 周辺機器の状態によるプログラム可能な割り込み
- 自動的に割り込みベクタリングを行うデジー・チェーンによる優先割り込み機能
- ポートB出力は、ダーリントン・トランジスタ駆動可能
- 全入出力はTTLコンパチブル
- +5Vの単一電源、および単相クロック
- パッケージは40ピンDIP

*1 microcomputer	*11 byte input mode
*2 microcomputer component	*12 byte bidirectional bus mode
*3 support software	*13 bit mode
*4 memory	*14 programmable interrupt
*5 Parallel Input/Output interface controller	*15 interrupt vectoring
*6 port	*16 daisy chain
*7 handshake data transfer control	*17 priority interrupt
*8 bidirectional interface port	*18 darlington transistor
*9 N-channel silicon gate Enhancement/ Depletion type Metal Oxide Semiconductor	*19 Transistor-Transistor Logic compatible
*10 byte output mode	*20 single phase clock
	*21 Dual In line Package

2. 内部構成

Z-80 PIOのブロック構成図を図1に示します。Z-80 PIOは、CPUバス入出力回路^{*1}、内部制御回路^{*1}、ポートAの入出力回路、ポートBの入出力回路および割り込み制御回路から構成されています。

Z-80 PIOの典型的な使用法は、ポートAをデータ転送のチャネルとして使用し、ポートBをステータスおよび制御^{*2}のモニタとして使用する事です。

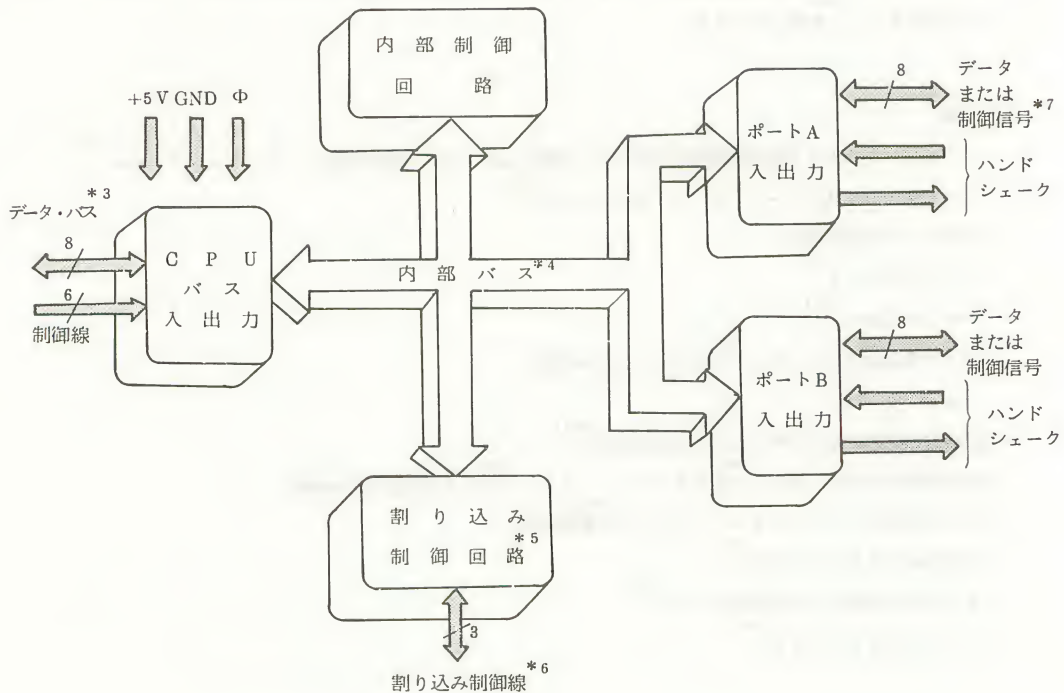


図1 Z-80 PIOのブロック構成図

*1 CPU bus input/output logic

*2 status and control monitor

*3 data bus

*4 internal bus

*5 interrupt control logic

*6 interrupt control line

*7 data or control signal

ポートAおよびポートBの入出力部は、図2に示すようにハンドシェーク制御回路と6つのレジスタから構成されています。^{*1}

6つのレジスタとは、8ビットの入力レジスタ、8ビットの出力レジスタ、2ビットのモード制御レジスタ、^{*2} 8ビットのマスク・レジスタ、^{*3} 8ビットの入出力選択レジスタ、および2ビットのマスク制御レジスタです。^{*4} 最後の3つのレジスタは、ポートがビット・モードのときにだけ使用されます。^{*5}

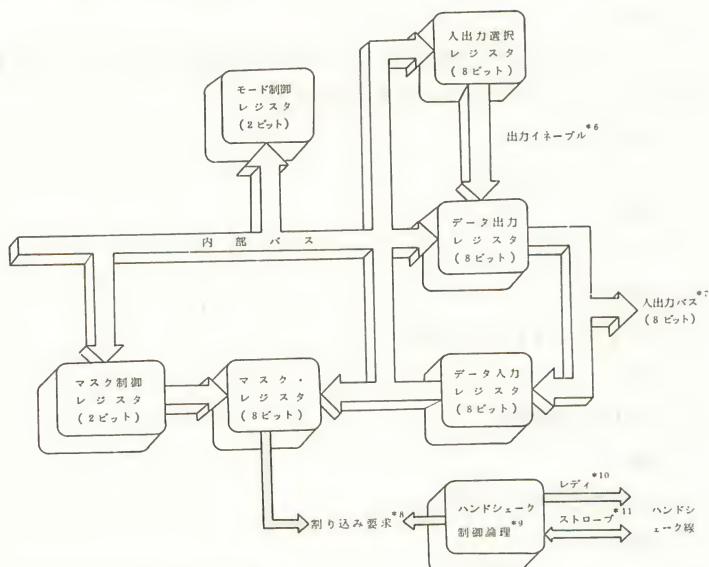


図2 各ポートの入出力ブロック構成図

次に6つのレジスタについて簡単に説明します。

モード制御レジスタ；2ビットのレジスタであり、CPUにより書き込まれて、バイト出力モード、バイト入力モード、バイト双方向性バス・モード、およびビット・モードの4動作モードの選択をおこないます。

データ出力レジスタ；8ビットのレジスタであり、CPUから周辺機器へ転送するデータを保持します。

データ入力レジスタ；8ビットのレジスタであり、周辺機器からCPUへ転送されるデータを受け取ります。

マスク制御レジスタ；2ビットのレジスタであり、モニタすべき周辺機器とのインターフェース端子の有効状態（1あるいは0）を定義し、マスクされていない全端子が有効状態（AND条件）のときか、それとも、少なくとも1つが有効状態（OR条件）のときのどちらの状態のときに割り込みを発生するかを示します。

マスク・レジスタ；8ビットのレジスタであり、マスク制御レジスタで示された条件にしたがって、周辺機器とのインターフェース用のどの端子をモニタすべきかを示します。

入出力選択レジスタ；8ビットのレジスタであり、ビット・モードにおいて、それぞれの端子を入力とするか出力とするかを指定します。

*1 register

*2 mode control register

*3 mask register

*4 input/output select register

*5 mask control register

*6 output enable

*7 input/output bus

*8 interrupt request

*9 handshake control logic

*10 ready

*11 strobe

3. 端子信号

$D_0 - D_7$	CPU データバス。 (トライ・ステートの入出力端子) ^{*1}
$B/A \text{ SEL}$	ポートBとポートAの選択入力。 $B/A \text{ SEL}$ が“H” のときはポートB、“L” のときはポートAを指定します。 (入力端子)
$C/D \text{ SEL}$	データ・バス上の信号が、制御信号かデータであるかの指示入力。 $C/D \text{ SEL}$ が“H” のときは制御信号、“L” のときはデータを意味します。 (入力端子)
\overline{CE}	チップ・イネーブル信号。 ^{*2} (入力端子)
Φ	システム・クロック。 ^{*3} (入力端子)
\overline{MI}	CPUのマシン・サイクル1信号。 ^{*4} (入力端子)
\overline{IORQ}	CPUの入出力要求信号。 (入力端子)
\overline{RD}	CPUの読み込みサイクル信号。 ^{*5} (入力端子)
IEI	割り込みイネーブル入力。 IEI が“H” のとき、割り込み要求を出すとCPUに受け付けられます。 ^{*6} (入力端子)
IEO	割り込みイネーブル出力。 IEI と IEO は、優先割り込み機構に必要なデジー・チェーンを構成します。 ^{*7} (出力端子)
\overline{INT}	CPUに対する割り込み要求信号。 ^{*8} (オープン・ドレイン, 出力端子)
$A_0 - A_7$	ポートAのバスライン。 (トライ・ステートの入出力端子)
$\overline{A \text{ STB}}$	周辺機器が与えるポートAのストローブ・パルス。 ^{*9} (入力端子)
$A \text{ RDY}$	ポートAのデータ入出力レジスタがレディ状態であることを示します。 (出力端子)
$B_0 - B_7$	ポートBのバスライン。 (トライ・ステートの入出力端子)

*1 tri-state

*2 chip enable

*3 system clock

*4 machine cycle one signal

*5 read cycle

*6 interrupt enable input

*7 interrupt enable output

*8 open drain

*9 strobe pulse

$\overline{B\ STB}$	周辺機器が与えるポートBのストローブ・パルス。 (入力端子)
$B\ RDY$	ポートBのデータ入出力レジスタがレディ状態であることを示します。 (出力端子)

Z-80 PIOの端子信号を下に示します。

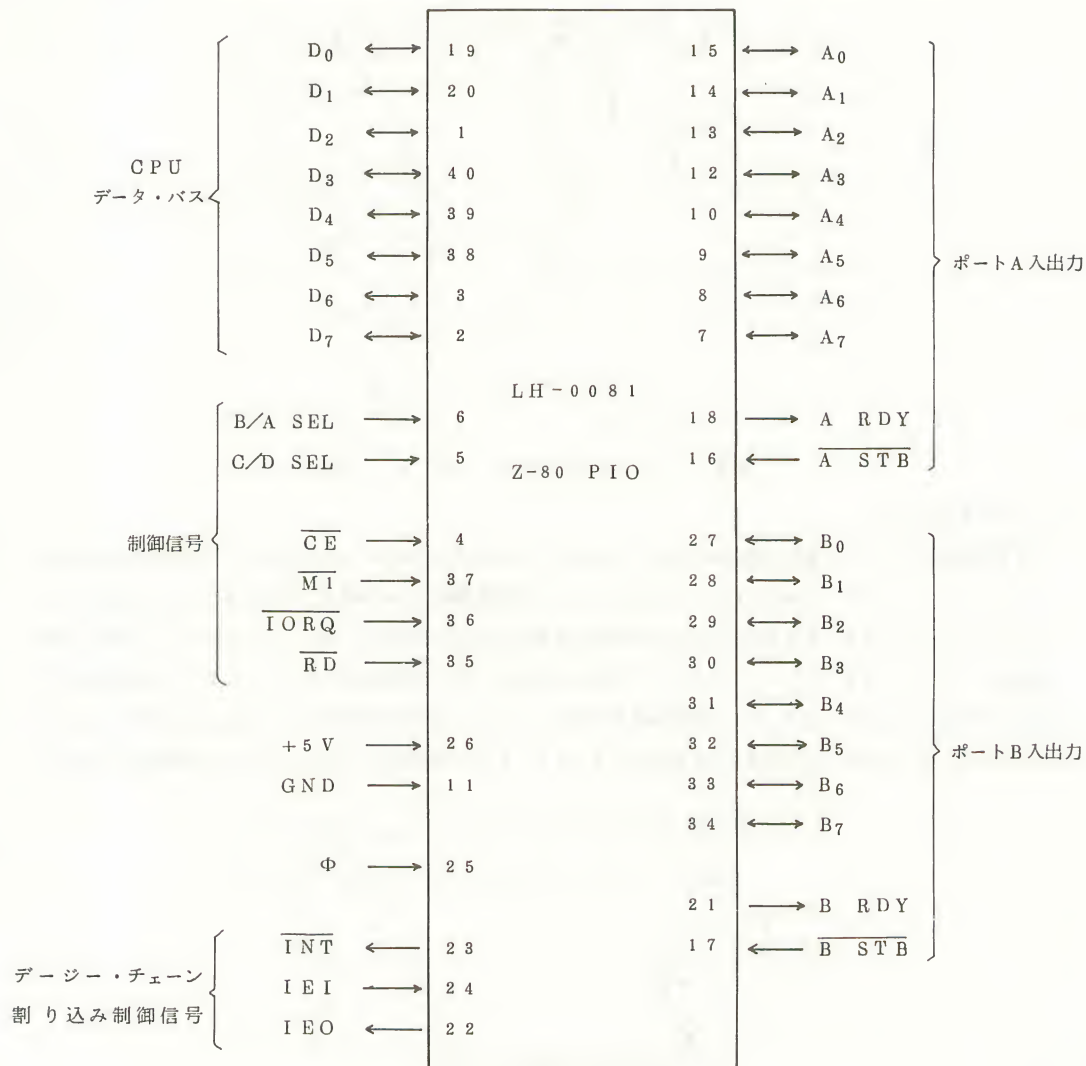


図3 Z-80 PIO端子信号

4. 主要タイミング波形

○ バイト出力モード

CPUが出力命令を実行することにより、出力サイクルが始まります。

\overline{WR}^* 信号により、データ・バス上のデータが選択されたポートの出力レジスタにラッチされます。 \overline{WR}^* 信号の立ち上がり後、最初の中の立ち下がりでレディ・フラグ^{*2}がセットされ、RDY信号が出力されて、データの利用できることを示します。周辺デバイスがデータを受け取ったことを示す \overline{STB} 信号の立ち上がり後、最初の中の立ち下がりでレディ・フラグがリセットされて、RDY信号が“L”となります。割り込みイネーブル・フリップ・フロップがセットされており、かつこのデバイスが最優先順位にある場合、 \overline{STB} 信号の立ち上がりエッジで \overline{INT} 信号^{*5}を発生して、CPUに対して割り込みを要求します。

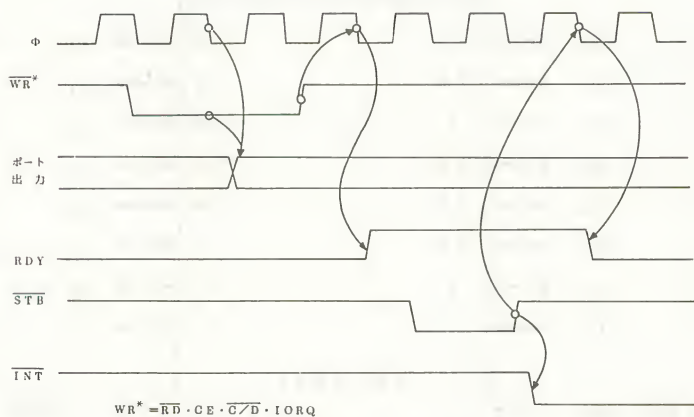


図4 バイト出力モード タイミング図

○ バイト入力モード

\overline{STB} 信号が“L”になると、選択されたポートの入力レジスタにデータがセットされます。割り込みイネーブル・フリップ・フロップがセットされており、かつこのデバイスが最優先順位にある場合、 \overline{STB} 信号の立ち上がりエッジで \overline{INT} 信号を出します。 \overline{STB} 信号の立ち上がり後、最初の中の立ち下がりでレディ・フラグがリセットされ、RDY信号が“L”となります。入力レジスタにはデータが入っており、CPUが読み込みを完了するまでこれ以上のデータを入力できないことを示します。CPUが読み込みを完了したとき、 \overline{RD}^* 信号の立ち上がり後、最初の中の立ち下がりでレディ・フラグがセットされます。このとき、Z-80 PIOへ次のデータを入力することが可能になります。

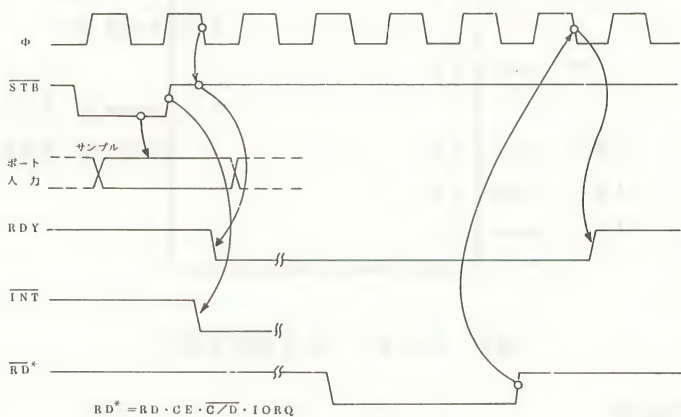


図5 バイト入力モード タイミング図

*1 latch

*4 interrupt enable flip-flop

*2 ready flag

*5 edge

*3 reset

○ バイト双方向性モード

これは前記の出力モードと入力モードの組み合わせであり、4本のハンドシェイク線全部と8本のポートAバスを使用します。ポートBはビット・モードにしなければなりません。ポートAのハンドシェイク線は出力制御に使用され、ポートBのハンドシェイク線は入力制御に使用されます。 $\overline{A_STB}$ が“L”であるときのみ、データがポートAバスに出力されます。このストロープの立ち上がりエッジにより、データを周辺機器にラッチすることができます。

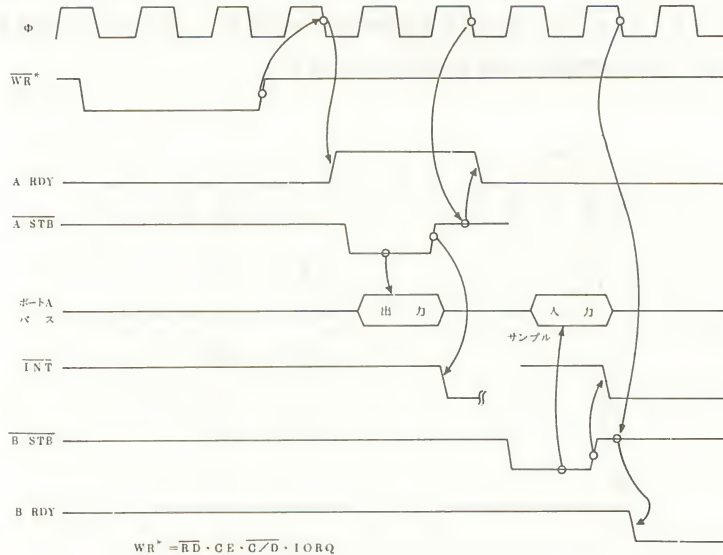


図6 バイト双方向性モード タイミング図

○ ビット・モード

ビット・モードではハンドシェイク信号を使用せず、通常のポートの読み出しおよび書き込みがいつでも実行できます。書き込みのときには、出力モードと同じタイミングでデータが出力レジスタにラッチされます。

読み出しのときに、CPUが受け取るデータは、出力に割り当てられたビットに対応する出力レジスタのビット・データおよび入力に割り当てられたビットに対応する入力レジスタのビット・データとで構成されます。入力レジスタは

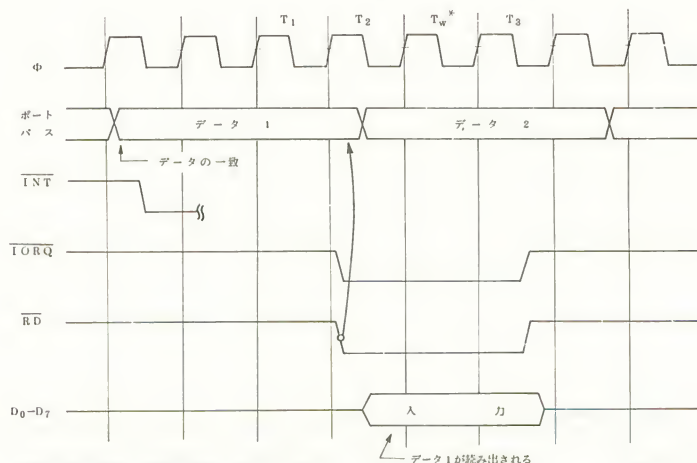


図7 ビット・モード タイミング図

\overline{RD} の立ち下がり直前のデータを保持しています。割り込みイネーブル状態で、かつポート・データが8ビットのマスク・レジスタと2ビットのマスク制御レジスタで定義される論理条件を満足するとき、割り込みが発生します。

*1
○ 割り込みアクノリッジ・サイクル

\overline{MI} が“L”である間、割り込みイネーブル信号がデージ・チェーン中で確定することを保証するため、周辺コントローラは割り込みイネーブルの状態を変更することが禁止されます。割り込みアクノリッジ・サイクルで $IEI = H$ かつ $IEO = L$ である周辺デバイスが、前もってプログラムされている8ビットの割り込みベクトルをデータ・バス上へ送り出します。 $IEI = H$ のときに $RETI$ 命令が実行されるまで、 IEO は“L”のままです。 $Z-80$ PIO は2バイトの $RETI$ 命令を解読する回路を内部にもっています。

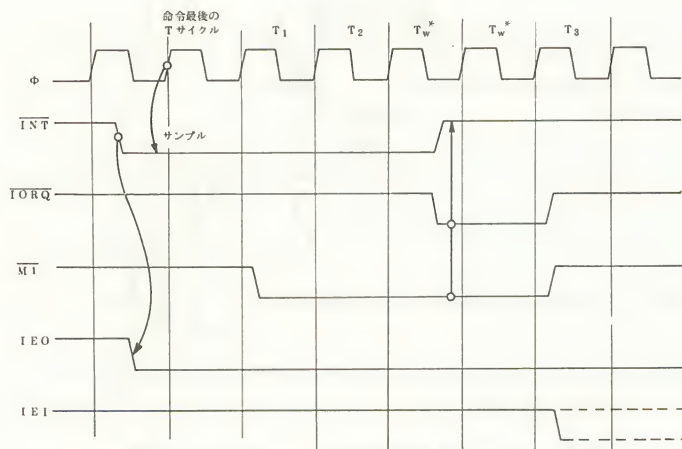


図8 割り込みアクノリッジ・サイクル

*1 interrupt acknowledge

*3 return from interrupt instruction

*2 peripheral controller

○ 割り込みからの復帰サイクル

周辺デバイスが割り込み要求をしていない場合、または、割り込み処理がおこなわれていない場合、そのデバイスの IEO と IEI は等しい。

CPU が割り込み処理をおこなっている場合（すなわち、すでに割り込み要求を出し、かつ割り込みアクノリッジを受け取っている場合）、そのデバイスの IEO は常に “L” であり、優先順位の低いデバイスからの割り込みを禁止します。もし、割り込み要求を出しても割り込みアクノリッジを受けていないデバイスがある場合、IEO は “L” になっていますが、2 バイト OP コードの最初のバイトとして “ED”^{*1}（16 進）がデコードされると、IEO は “H”^{*2} になり、次の OP コードがデコードされると、IEI は再び “L” に戻ります。（CPU 内の割り込みイネーブル・フリップ・フロップが “L” になっているとき、この状態が発生します。）もし、2 バイト目の OP コードが “4D” であれば、命令は RETI です。

したがって、OP コード “ED” がデコードされた後、現在割り込み処理を受けている周辺デバイスだけが、IEI = “H” かつ IEO = “L” という状態におかれます。このデバイスは、デジャ・チェーン中の割り込みアクノリッジを受取った最優先順位のデバイスであり、他のすべての周辺デバイスは IEI = IEO です。次にデコードされた OP コードが “4D” であると、この最優先順位のデバイスは、“割り込み処理中” という状態を解除します。

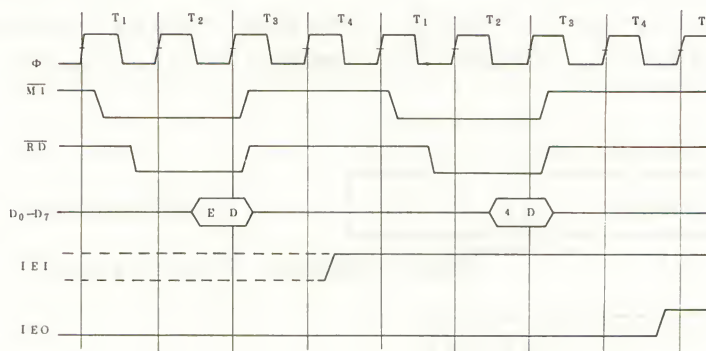


図 9 割り込みからの復帰サイクル

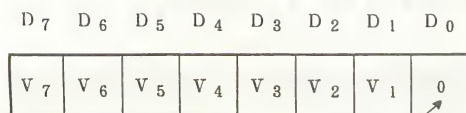
*1 operation code

*2 decode

5. 動作条件のプログラム

○ 割り込みベクトルの書き込み^{*1}

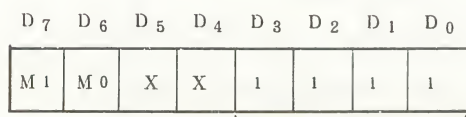
割り込みをかけているデバイスは、CPUに8ビットの割り込みベクトルを与えることが必要であり、CPUはこのベクトルを使用して割り込みサービス・ルーチンの番地を作ります。割り込みアクノリッジ・サイクルにおいて、サービスを要求しているデバイスのうち最も優先順位の高いものがデータ・バス上へベクトルを送り出します。必要な割り込みベクトルは、C/D SEL="H"として、CPUから各ポートの割り込みベクトル・レジスタへ次の形式で書き込まれます。



この情報が割り込みベクトルであることを示します。

○ 動作モードの選択^{*3}

動作モードの選択は、2ビットのモード制御レジスタへデータを次の形式で書き込むことによりおこなわれます。動作選択のための2ビットとして、ビット7およびビット6が使用され、ビット5およびビット4は使用されません。ビット3からビット0はすべて1として、この制御ワードがモード選択制御ワードであることを示します。



Xは未使用を示します。

情報がモード選択制御ワードであることを示します。

モ ー ド	M ₁	M ₀
バイト出力モード	0	0
バイト入力モード	0	1
バイト双方向性バス・モード	1	0
ビット・モード	1	1

バイト出力モード

データがCPUから周辺デバイスへ転送されます。

バイト入力モード

データが周辺デバイスからCPUへ転送されます。

バイト双方向性バス・モード

データがCPUと周辺デバイスとの間で相互に授受されます。

ビット・モード

このモードを選択したとき、各ポートのそれぞれのビットが入力か出力かを指示するための制御ワードを次に入出力選択レジスタへ書き込む必要があります。

*1 load interrupt vector

*3 selecting an operating mode

*2 interrupt service routine

*4 control word

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
I/O ₇	I/O ₆	I/O ₅	I/O ₄	I/O ₃	I/O ₂	I/O ₁	I/O ₀

I/O = 1 ; 入力

I/O = 0 ; 出力

○ 割り込みの制御

割り込み制御用の制御ワードの形式を次に示します。

- ビット 7 = 1 割り込みイネーブル・フリップ・フロップがセットされ、割り込みを発生できます。
- ビット 7 = 0 割り込みイネーブル・フリップ・フロップがリセットされて、割り込みを発生できません。
- ビット 6 ~ 4 ビット・モードにおける割り込み条件を定めます。他のモードでは無視されます。
- ビット 3 ~ 0 この情報が割り込み制御ワードであることを示します。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
割り込み イネーブル	AND /OR	論理 1/0の 指定	マスク の有無	0	1	1	1

ビット・モード時に有効

情報が割り込み制御ワードであることを示します。

ビット 4 = 1 のとき、次の制御ワードはマスク・レジスタに書き込むものでなければなりません。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
MB ₇	MB ₆	MB ₅	MB ₄	MB ₃	MB ₂	MB ₁	MB ₀

MB = 0 であるポート・データ線のみがモニタされ、割り込み条件が満たされれば割り込みを発生します。

ポートの割り込みイネーブル・フリップ・フロップは、割り込み制御ワードの代わりに、次の形式の情報でもセットあるいはリセットができます。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
割り込み イネーブル	X	X	X	0	0	1	1

Z-80 PIOの入力端子として、リセット端子がなく、Z-80 PIOをリセットするには、 $\overline{\text{IORQ}} \cdot \overline{\text{RD}} = \text{"H"}$ として $\overline{\text{M1}} = \text{"L"}$ を2クロック以上入力する必要があり、内部でリセット・フリップ・フロップがセットされ、Z-80 PIOのリセットがおこなわれます。このリセット・フリップ・フロップは、制御ワードの書き込みをおこなうと解除されます。

6. 絶対最大定格

項 目	記 号	定 格 値	単 位
入 力 電 圧	V_{IN}	$-0.3 \sim +7$	V
出 力 電 圧	V_{OUT}	$-0.3 \sim +7$	V
動 作 温 度	T_{opr}	$0 \sim +70$	℃
保 存 温 度	T_{stg}	$-65 \sim +150$	℃

7. 電 気 的 特 性

7.1 D C 特性

($T_A = 0^\circ\text{C} \sim +70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$)

記 号	項 目	最小値	最大値	単位	測 定 条 件
V_{ILC}	クロック“L”入力電圧	-0.3	0.45	V	
V_{IHC}	クロック“H”入力電圧	$V_{CC}-0.6$	$V_{CC}+0.3$	V	
V_{IL}	“L”入力電圧	-0.3	0.8	V	
V_{IH}	“H”入力電圧	2.0	V_{CC}	V	
V_{OL}	“L”出力電圧		0.4	V	$I_{OL} = 2\text{mA}$
V_{OH}	“H”出力電圧	2.4		V	$I_{OH} = -250\mu\text{A}$
I_{CC}	消 費 電 流		70	mA	
I_{LI}	入力リーク電流		10	μA	$V_{IN} = 0 \sim V_{CC}$
I_{LOH}	トライステート出力リーク電流		10	μA	$V_{OUT} = 2.4\text{V} \sim V_{CC}$
I_{LOL}	トライステート出力リーク電流		-10	μA	$V_{OUT} = 0.4\text{V}$
I_{LD}	入力時のデータ・バスのリーク電流		± 10	μA	$0 \leq V_{IN} \leq V_{CC}$
I_{OHD}	ダーリントン駆動電流	-1.5		mA	$V_{OH} = 1.5\text{V}$ ポートBのみ

7.2 端 子 容 量

($T_A = +25^\circ\text{C}$, $f = 1\text{MHz}$)

記 号	項 目	最大値	単 位	測 定 条 件
C_Φ	クロック入力容量	12	pF	被測定端子以外の全ての端子は接地
C_{IN}	入 力 容 量	7	pF	
C_{OUT}	出 力 容 量	10	pF	

7.3 AC特性

(Ta = 0℃ ~ +70℃, Vcc = +5V ± 5%)

信号	記号	パラメータ	最小値	最大値	単位	測定条件
Φ	t_c	クロック周期	400	[1]	ns	
	$t_w(\Phi H)$	クロック・パルス幅("H")	170	2000	ns	
	$t_w(\Phi L)$	クロック・パルス幅("L")	170	2000	ns	
	t_r, t_f	クロック立ち上がり・立ち下がり時間		30	ns	
	t_H	ホールド時間	0		ns	
$\overline{CE}, C/D, B/A$	$t_{s\phi}(CS)$	読み出しまたは書き込みサイクルの制御信号のセットアップ時間	280		ns	
D_0-D_7	$t_{DR}(D)$	\overline{RD} の立ち下がりからデータ出力までの遅延		430 [2]	ns	$C_L = 50\text{ pF}$
	$t_{s\phi}(D)$	書き込みまたはM1サイクルのデータのセットアップ時間	50		ns	
	$t_{DI}(D)$	INTAサイクルの \overline{IORQ} の立ち下がりからデータ出力までの遅延		340 [2]	ns	
	$t_F(D)$	RDまたは \overline{IORQ} の立ち上がりから出力バッファ・フロートまでの遅延		160	ns	
IEI	$t_s(IEI)$	INTAサイクルの \overline{IORQ} の立ち下がりに対するセットアップ時間	140		ns	
IEO	$t_{DH}(IO)$	IEIの立ち上がりからの遅延		210 [4]	ns	$C_L = 50\text{ pF}$
	$t_{DL}(IO)$	IEIの立ち下がりからの遅延(注1)		190 [4]	ns	
	$t_{DM}(IO)$	$\overline{M1}$ の立ち下がりからの遅延(M1サイクルの直前で割り込みが発生したとき)		300 [4]	ns	
\overline{IORQ}	$t_{s\phi}(IR)$	読み出しまたは書き込みサイクルのセットアップ時間	250		ns	
$\overline{M1}$	$t_{s\phi}(M1)$	INTAまたはM1サイクルのセットアップ時間	210		ns	
\overline{RD}	$t_{s\phi}(RD)$	読み出しまたはM1サイクルのセットアップ時間	240		ns	
\overline{INT}	$t_D(IT)$	\overline{STB} の立ち上がりからの遅延		490	ns	
	$t_D(IT3)$	モード3のときのデータ一致からの遅延		420	ns	
A_0-A_7, B_0-A_7	$t_s(PD)$	モード1のときの \overline{STB} の立ち上がりに対するセットアップ時間	260		ns	$C_L = 50\text{ pF}$
	$t_{DS}(PD)$	モード2のときの \overline{STB} の立ち下がりに対するセットアップ時間		230 [4]	ns	
	$t_F(PD)$	モード2のときの \overline{STB} の立ち上がりからポート・バス・フロートまでの遅延		200	ns	
	$t_{DI}(PD)$	モード0のときの書き込みサイクルの \overline{IORQ} の立ち上がりからポート出力確定までの遅延		200 [4]	ns	
$\overline{A_{STB}}, B_{STB}$	$t_w(ST)$	\overline{STB} のパルス幅("L")	150 [3]		ns	
A RDY	$t_{DH}(RY)$	\overline{IORQ} の立ち上がりからの応答時間		$t_c + 460$ [4]	ns	$C_L = 50\text{ pF}$
B RDY	$t_{DL}(RY)$	\overline{STB} の立ち上がりからの応答時間		$t_c + 400$ [4]	ns	

注 [1] $t_c = t_w(\Phi H) + t_w(\Phi L) + t_r + t_f$

[2] 負荷容量の50 pF増加につき、遅延は10 ns増加します。負荷容量の最大値は200 pFです。

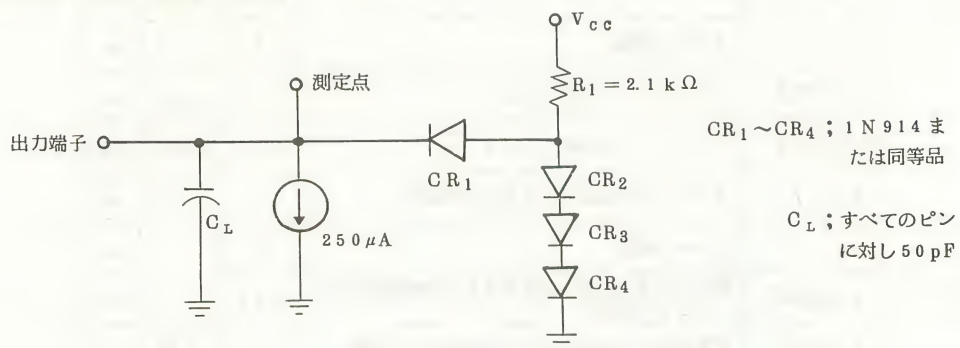
[3] モード2のときは、 $t_w(ST) > t_s(PD)$ となります。

[4] 負荷容量の10 pF増加につき、遅延は2 ns増加します。負荷容量の最大値は100 pFです。

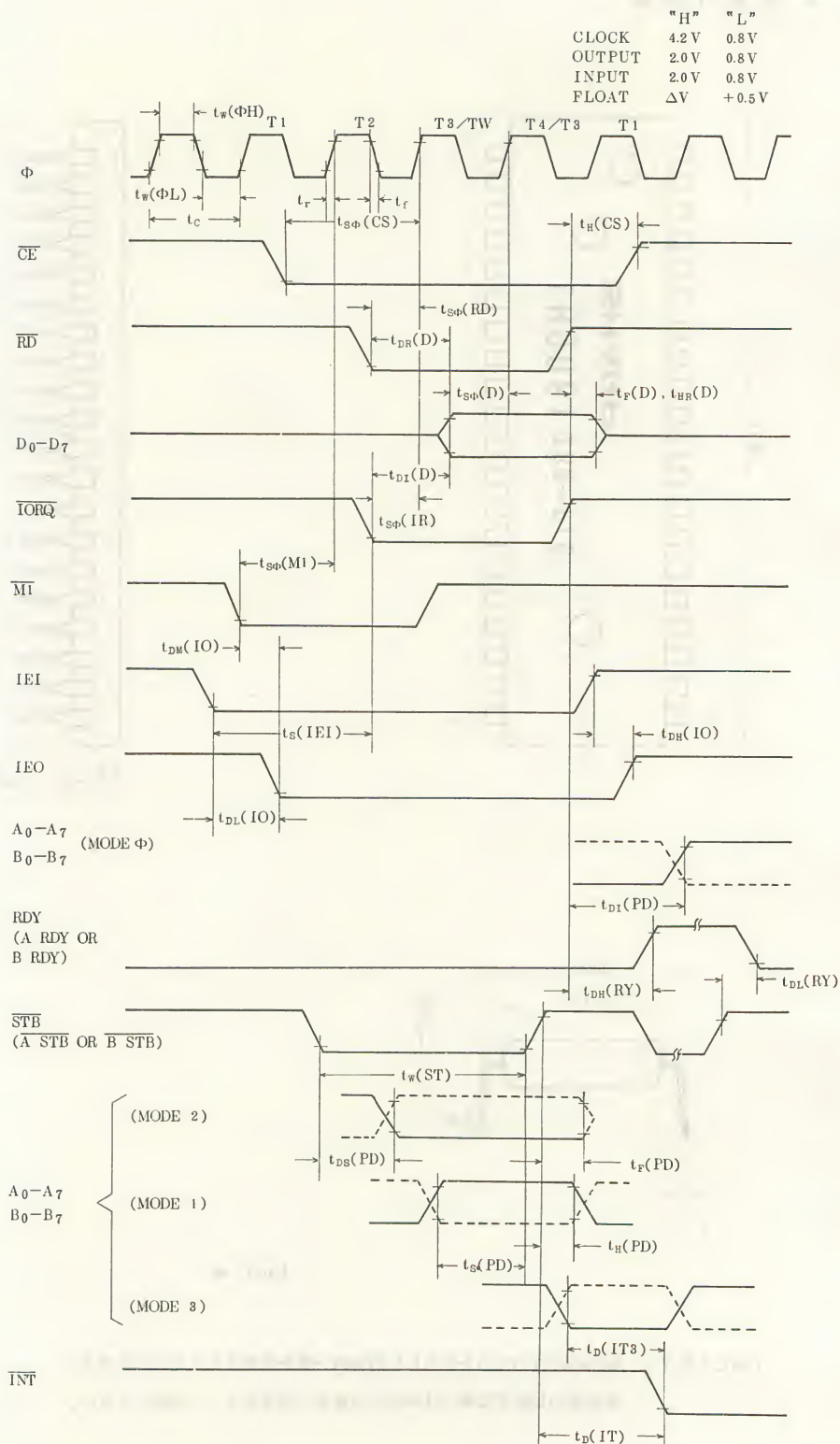
[注1] デジー・チェーンがN段ある場合

$$2.5 t_c > (N-2) t_{DL}(IO) + t_{DM}(IO) + t_s(IEI) + TTL\text{バッファ遅延を満たさなければなりません。}$$

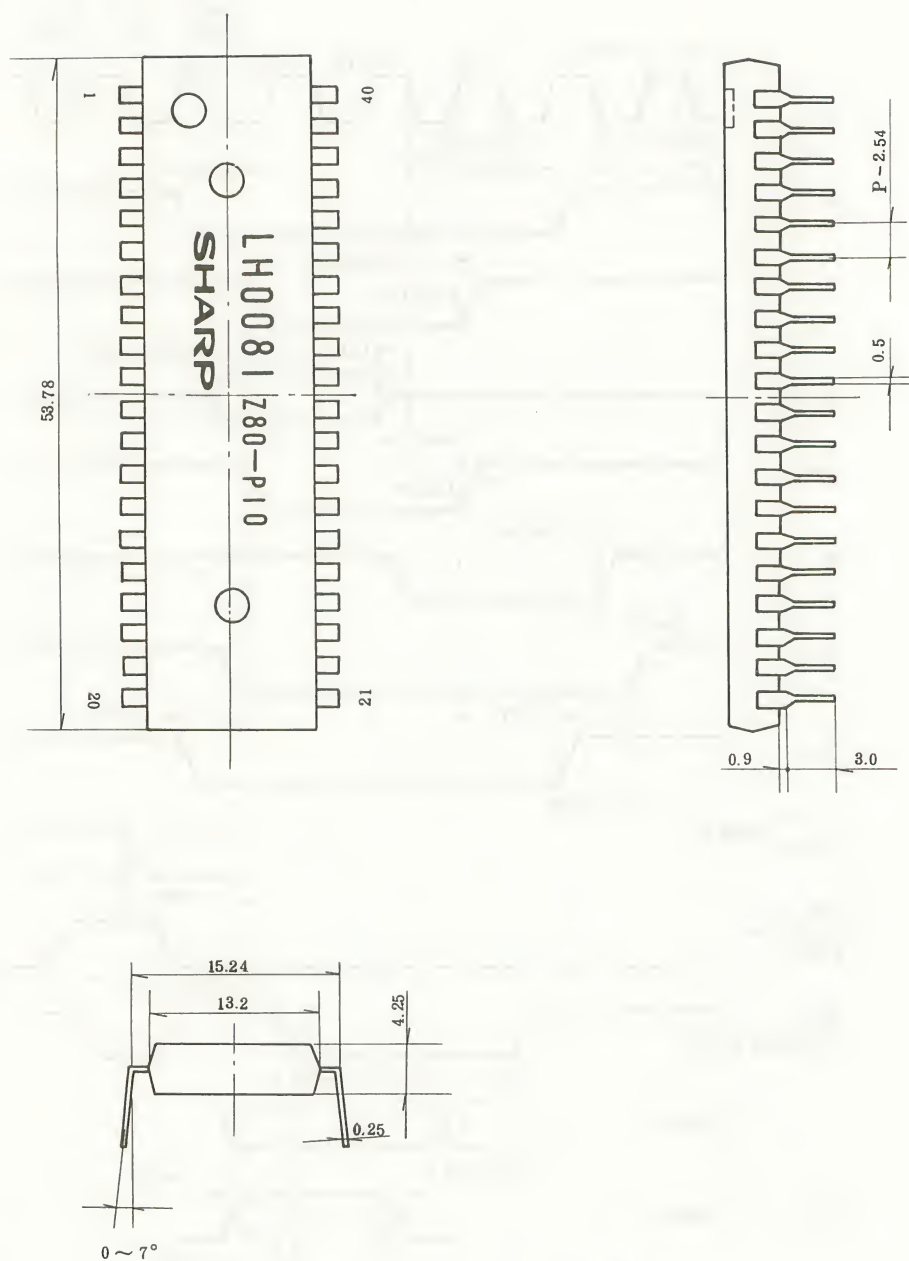
出力端子測定回路



7.4 A C タイミング図



8. 外形寸法図



Unit: mm

(おことわり) 製品の改良のため予告なしに内容の一部を変更することがあります。

規格契約が必要な場合は製品仕様書をご用命の上、ご契約ください。

Z-80-CTC **3**

テクニカルマニュアル

シャープ Z-80 マイクロコンピュータ^{*1}は、マイクロコンピュータ・コンポーネント^{*2}とその開発システム、サポート・ソフトウェア^{*3}を完備し、容易にシステム設計ができるよう配慮されています。Z-80 マイクロコンピュータ・コンポーネントを採用することにより、別の外部論理回路を付加しなくても高性能のマイクロコンピュータ・システムが得られ、最小限^{*4}の低コスト標準メモリを用いるだけでその目的が達成されます。

LH-0082 Z-80 CTC^{*5}（以下、Z-80 CTCと略します）は、Z-80 システムにおいて、カウンタおよびタイマ機能を与えるプログラム可能な4チャンネルを持つカウンタ・タイマ回路です。Z-80 CTCのそれぞれ独立した4チャンネルは、Z-80 CPU^{*6}（LH-0080）の指示にしたがって種々のモードや条件で動作します。

1. 特 長

- 4つの独立したプログラム可能な8ビット・カウンタ／16ビット・タイマ回路
- Nチャンネル・シリコンゲートE/D MOSプロセス^{*7}
- 各チャンネルにおいて、カウンタ・モード^{*8}とタイマ・モード^{*9}の選択可能
- カウンタまたはタイマ状態からのプログラム割り込み可能^{*10}
- ダウン・カウンタがゼロのとき、時間定数は自動的に再設定され、チャンネルは動作を続行
- 各チャンネルのダウン・カウンタの内容は読み取り可能
- タイマ・モード時に、クロックの16あるいは256分割のプリスケール^{*12}選択可能
- タイマ起動用トリガおよびカウンタ・モード時のクロック入力^{*11}の立ち上がり、または立ち下がり^{*13}の指定可能
- チャンネル0～2のZC/T Oの出力はダーリントン・トランジスタ^{*14}駆動可能
- 外部回路を必要としない自動割り込みベクタリングを行うデジー・チェーン優先割り込み機能^{*15}
- +5Vの単一電源、および単相クロック^{*16}
- 全入出力はTTLコンパチブル^{*17}
- パッケージは28ピンDIP^{*18}

2. 内部構成

Z-80 CTCのブロック構成図を図1に示します。Z-80 CTCはバス・インターフェース、内部制御回路、4つのカウンタ・チャンネルおよび割り込み制御回路で構成されます。各チャンネルは自動割り込みベクタリング用の割り込みベクトルを持っています。割り込み優先順位はチャンネル番号の順番であり、チャンネル0が最上位です。

*1 microcomputer

*2 microcomputer component

*3 support software

*4 memory

*5 Counter Timer Circuit

*6 Central Processing Unit

*7 N-channel silicon gate Enhancement/
Depletion type Metal Oxide Semiconductor

*8 counter mode

*9 timer mode

*10 programmable interrupt

*11 down counter

*12 prescaler

*13 darlington transistor

*14 automatic interrupt vectoring

*15 daisy chain

*16 single phase clock

*17 Transistor-Transistor Logic compatible

*18 Dual In line Package

*19 bus interface

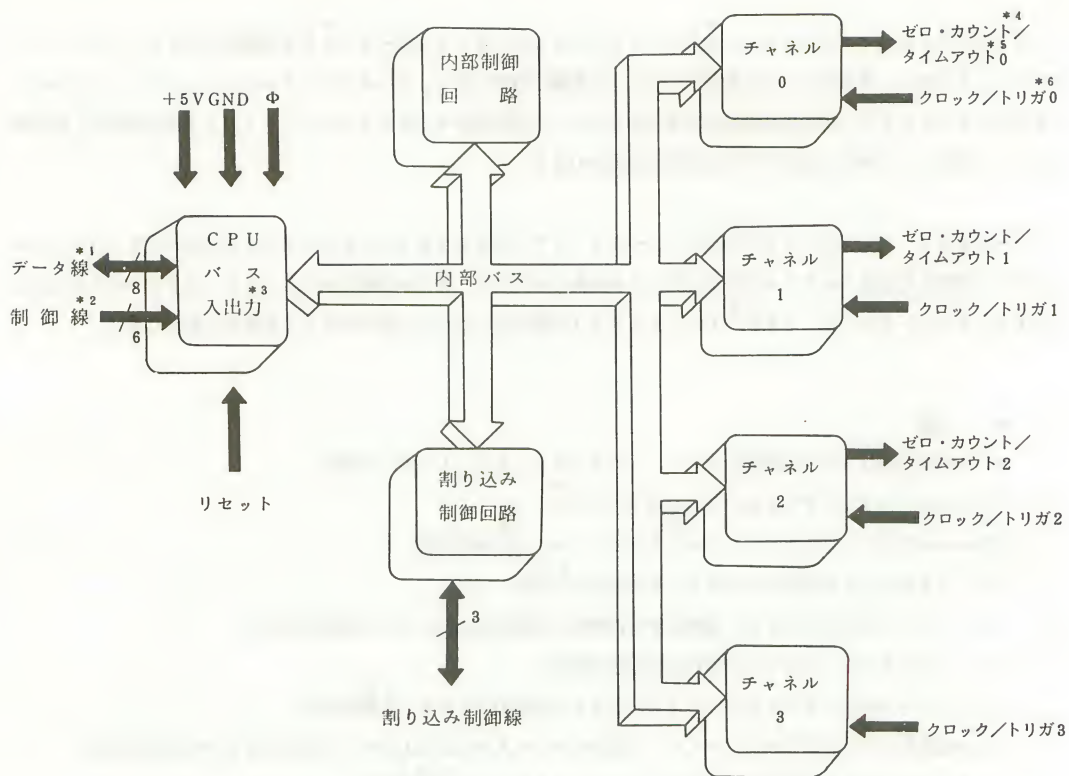


図1 Z-80 CTCのブロック構成図

図2は各チャンネルのブロック構成図を示します。各チャンネルは、2つのレジスタ、2つのカウンタおよび制御回路で構成されています。このレジスタおよびカウンタは、各8ビットの時間定数レジスタ、チャンネル制御用レジスタ、プリスケアラおよび読み取り可能なダウン・カウンタです。プリスケアラは、クロックの16または256分割にプログラム可能です。

時間定数レジスタ；8ビットのレジスタで、CPUによりセットされます。ダウン・カウンタの内容がゼロになるとこのレジスタの内容がダウン・カウンタに再設定されます。

チャンネル制御用レジスタ；8ビットのレジスタで、CPUによりセットされます。

チャンネルの動作モードおよび条件を選択します。

ダウン・カウンタ；8ビットのカウンタで、プログラム制御によるか、カウンタの内容がゼロになると自動的に、時間定数レジスタの値が設定されます。CPUはいつでもこのカウンタの内容を読み取ることができます。このカウンタのクロックは、タイマ・モード時にはプリスケアラの出力であり、カウンタ・モード時は外部クロック（CLK/TRG）です。

プリスケアラ；8ビットのカウンタで、システム・クロックの16あるいは256分割を行います。この出力はタイマ・モード時に、ダウン・カウンタのクロックとして用いられます。

*1 data lines

*3 CPU bus input/output

*5 timeout

*7 register

*2 control lines

*4 zero count

*6 trigger

*8 system clock

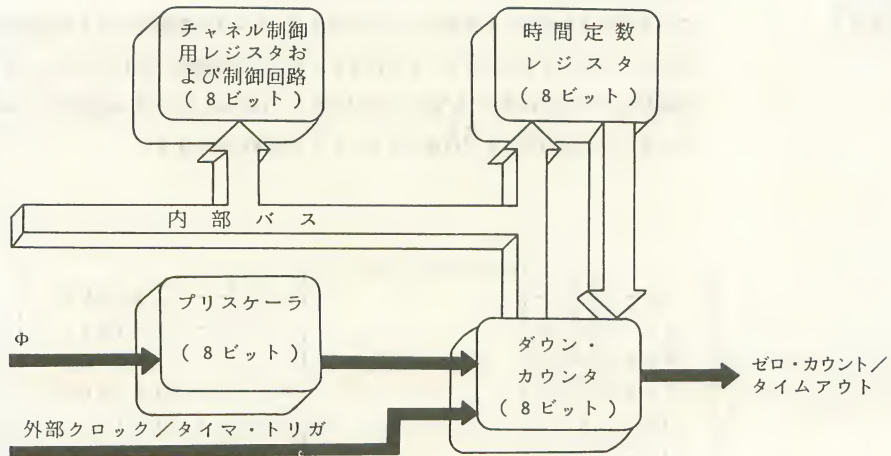


図 2. チャンネルのブロック構成図

3. 端子信号

CLK/TRG ₀	チャンネル0用の外部クロック、またはタイマ・トリガ入力 (入力端子)
CLK/TRG ₁	チャンネル1用の外部クロック、またはタイマ・トリガ入力 (入力端子)
CLK/TRG ₂	チャンネル2用の外部クロック、またはタイマ・トリガ入力 (入力端子)
CLK/TRG ₃	チャンネル3用の外部クロック、またはタイマ・トリガ入力 (入力端子)
ZC/TO ₀	チャンネル0のゼロ・カウント、またはタイム・アウト出力 (出力端子)
ZC/TO ₁	チャンネル1のゼロ・カウント、またはタイム・アウト出力 (出力端子)
ZC/TO ₂	チャンネル2のゼロ・カウント、またはタイム・アウト出力 (出力端子)
CS ₁ - CS ₀	チャンネル選択入力 (入力端子)
2進表示すると、00, 01, 10および11がそれぞれチャンネル0, 1, 2および3に対応します。	
D ₀ - D ₇	Z-80 CPUのデータ・バス (トライ・ステート ^{*1} の入出力端子)
$\overline{\text{CE}}$	チップ・イネーブル入力 (入力端子) ^{*2}
φ	システム・クロック入力 (入力端子)
$\overline{\text{MI}}$	Z-80 CPUからのマシン・サイクル1信号 (入力端子) ^{*3}
$\overline{\text{IORQ}}$	Z-80 CPUからの入出力リクエスト (入力端子) ^{*4}
$\overline{\text{RD}}$	Z-80 CPUからの読み出しサイクル・ステータス (入力端子) ^{*5}
IEI	割り込みイネーブル・イン (入力端子)
IEO	割り込みイネーブル・アウト (出力端子)

IEIおよびIEOが、割り込み制御における優先順位決定用のデジャ-チェーン接続を形成します。

*1 tri-state
*2 chip enable
*3 machine

*4 input/output request
*5 read cycle status

$\overline{\text{INT}}$

$\overline{\text{RESET}}$

割り込み要求出力（オープン・ドレイン^{*1}、出力端子）

この入力により全チャンネルがカウントを中止し、チャンネル制御用レジスタ内のチャンネル割り込みイネーブル・ビットがリセットされます。リセット期間中、 $\text{ZC}/\text{TO}_{0-2}$ および $\overline{\text{INT}}$ の信号レベルはそれぞれ“L”および“H”になり、 IEO は IEI と同一の信号レベルになります。

データ・バス出力ドライバは高インピーダンス状態になります。^{*2}

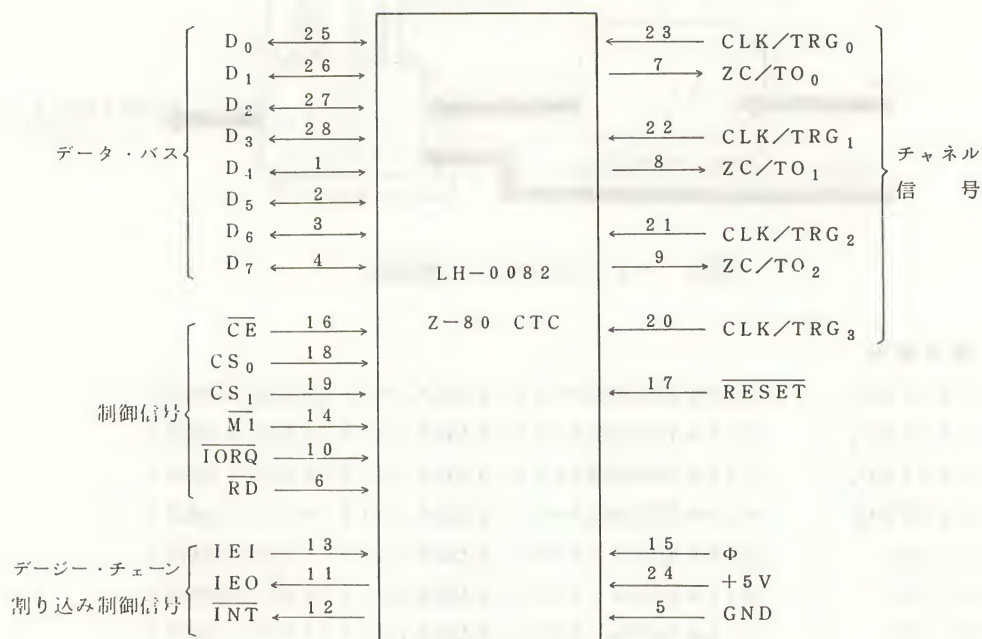


図 3 端子信号

4. 主要タイミング波形

○ 書き込みサイクル

チャンネル制御情報、時間定数および割り込みベクトルを書き込む際のタイミングを図4に示します。Z-80 CPUにより自動的に挿入される待ち状態(T_w^*)を除き、待ち状態を付加することはできません。Z-80 CTCは明確な書き込み信号入力を持たないため、内部では $\overline{\text{RD}}$ を書き込み信号に代用します。

* 1 open drain

* 2 driver

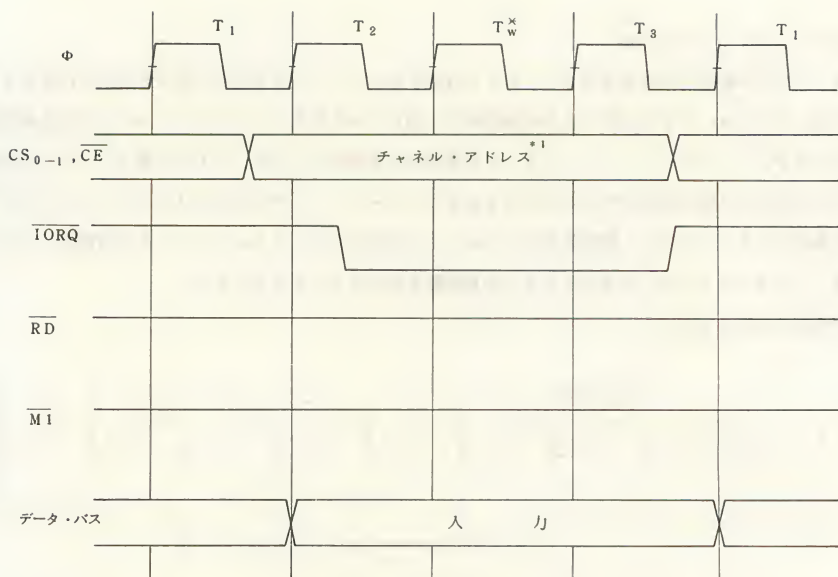


図 4 書き込みサイクル

○ 読み出しサイクル

チャンネル内のダウン・カウンタの内容を読み出すサイクルであり、図5はカウンタ・モードのときのタイミングを示します。データ・バスに読み出されるデータは、この読み出しサイクルの T_2 パルスが立ち上がる直前のダウン・カウンタの内容です。^{*2}

タイマ・モードの場合にも、データ・バス上のデータは T_2 パルスが立ち上がる直前のダウン・カウンタの内容です。

Z-80 CPUにより自動的に挿入される待ち状態(T_w^*)を除き、待ち状態を付加することはできません。

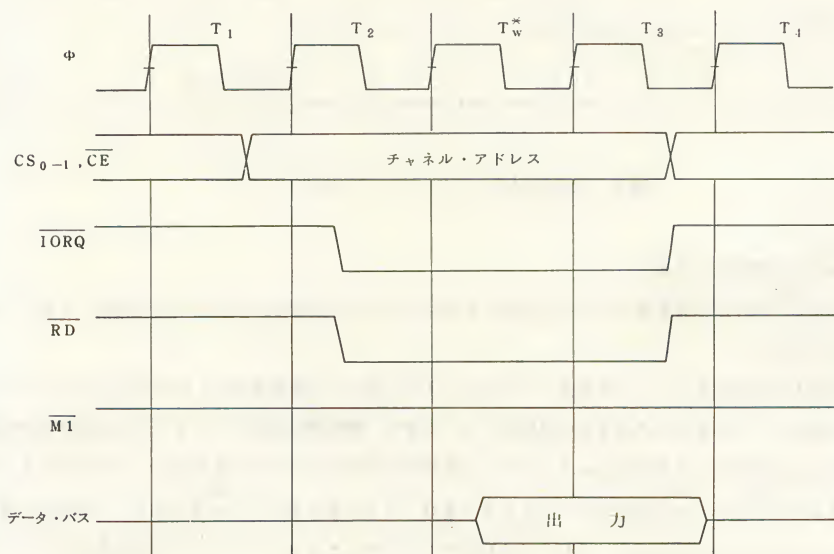


図 5 読み出しサイクル

*1 channel address

*2 pulse

○ 割り込みアクノリッジ・サイクル^{*1}

Z-80 CTCが割り込みを要求すると、CPUは割り込みアクノリッジ信号($\overline{M1}$ および \overline{IORQ})を送り出します。この間、Z-80 CTCの割り込み制御回路は、割り込みを要求しているチャンネルのうち最も優先順位の高いものを決定します。デジー・チェーン・イネーブル線の安定を保証するため、 $\overline{M1}$ が有効("L")である間、各チャンネルは割り込み要求の状態を変化させることができません。Z-80 CTCの割り込みイネーブル入力(\overline{IEI})が"H"で、 \overline{IORQ} が"L"になると、最優先割り込みチャンネルは割り込みベクトル・レジスタの内容をデータ・バスに送り出します。このサイクルでは、必要に応じて、待ち状態を付加することができます。タイミングを図6に示します。

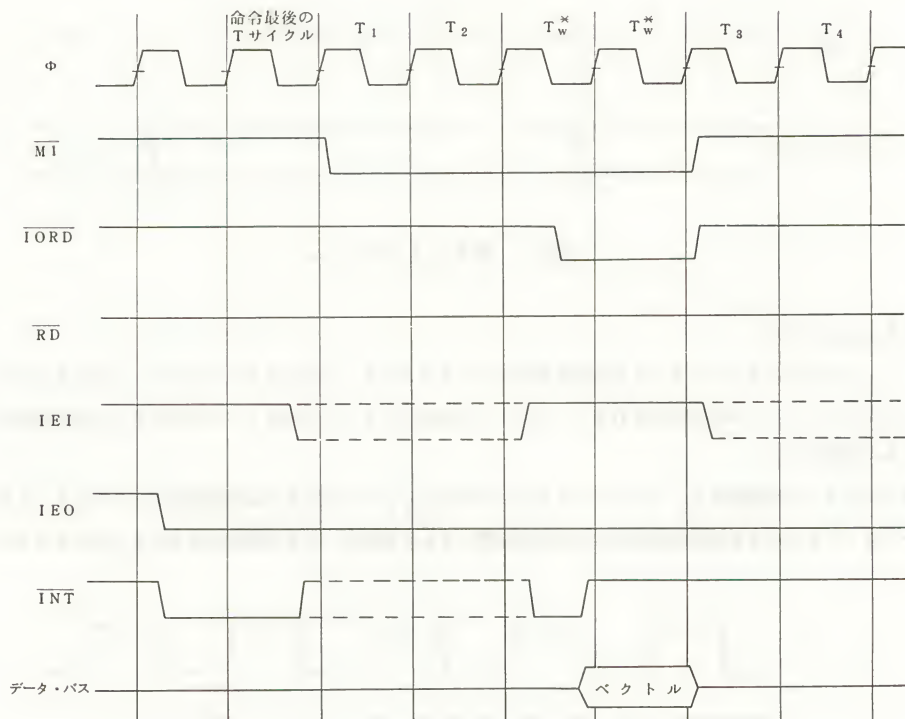


図6 割り込みアクノリッジ・サイクル

○ 割り込みからの復帰サイクル^{*2}

周辺デバイスが割り込み要求をしていない場合、または、割り込み処理が行われていない場合、そのデバイスの \overline{IEO} と \overline{IEI} は等しい。

CPUが割り込み処理を行っている場合(すなわち、すでに割り込み要求を出し、かつ割り込みアクノリッジを受けている場合)、そのデバイスの \overline{IEO} は常に"L"であり、優先順位の低いデバイスからの割り込みを禁止します。もし、割り込み要求を出しても割り込みアクノリッジを受けていないデバイスがある場合、 \overline{IEO} は"L"になっていますが、2バイトOPコードの最初のバイトとして"ED"(16進)^{*3}がデコードされると、 \overline{IEO} は"H"になり、次のOPコードがデコードされると、 \overline{IEO} はふたたび"L"にもどります。(CPU内の割り込みイネーブル・フリ^{*4} *5 decode

*1 interrupt acknowledge cycle

*3 byte

*5 decode

*2 device

*4 operation code

^{*1}
 ップ・フロップが0になっているとき、この状態が発生します。)もし、2バイト目のOPコードが“4D”であれば、命令はRETIです。

したがって、OPコード“ED”がデコードされたあと、現在割り込み処理を受けている周辺デバイスだけが、IEI = “H”かつIEO = “L”という状態におかれます。このデバイスは、デジー・チェーン中の割り込みアクノリッジを受けとった最優先順位のデバイスです。他のすべての周辺デバイスはIEI = IEOです。次にデコードされたOPコードが“4D”であると、この最優先順位のデバイスは、“割り込み処理中”という状態を解除します。

このサイクルの場合には、待ち状態をM1サイクルに挿入することができます。

割り込みからの復帰サイクルのタイミングを図7に示します。

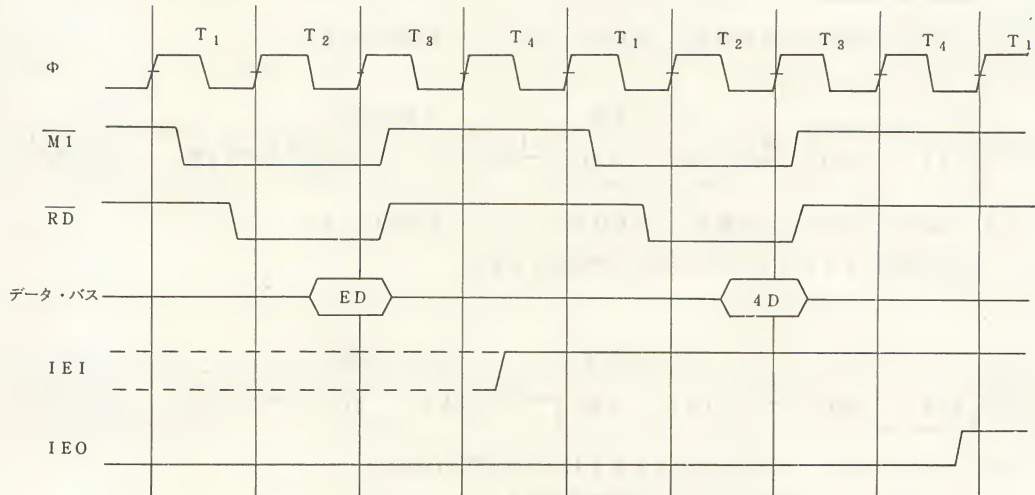


図7 割り込みからの復帰サイクル

○ デジー・チェーン割り込みサービス

図8はZ-80 CTCで起こる典型的なネスト構造の割り込み順序です。図では、まずチャンネル2が割り込みを要求し、サービスを受けることを許されます。^{*2}チャンネル2がサービスを受けている間に、優先順位の高いチャンネル1が割り込みを要求すると、チャンネル2のサービスは一時中断され、チャンネル1がサービスを受けることを許されます。チャンネル1のサービス・ルーチンの実行が完了すると、RETI命令を実行することにより、チャンネル1にサービスが終了したことを知らせます。^{*3}このとき、チャンネル2のサービスが再開されます。

*1 interrupt enable flip-flop

*2 nested interrupt

*3 service routine



図 8 デージー・チェーン割り込みサービスの説明図

○ カウンタ動作とタイマ動作

カウンタ・モードにおいては、CLK入力パルスの立ち上がり、または立ち下がりエッジでダウン・カウンタが動作します。このCLK入力パルスは非同期入力であり、パルスの最小幅を保証しなければなりません。カウンタはΦの立ち上がりに同期しており、CLK入力パルスの入力後、最初の中^{*1}の立ち上がりでカウンタを動作させようとする場合、CLK入力パルスは必要なセットアップ時間を満たすものでなければなりません。

タイマ・モードにおいては、TRG入力パルスの立ち上がり、または立ち下がりによりプリスケアラの動作を開始させることができます。カウンタ・モードの場合と同様に、このTRG入力パルスは非同期入力であり、パルスの最小幅を保証しなければなりません。したがって、TRG入力パルスの入力後、最初のΦの立ち上がりでプリスケアラを起動しようとする場合、TRG入力パルスは必要なセットアップ時間を満たすものでなければなりません。プリスケアラはΦの立ち上がりで動作します。

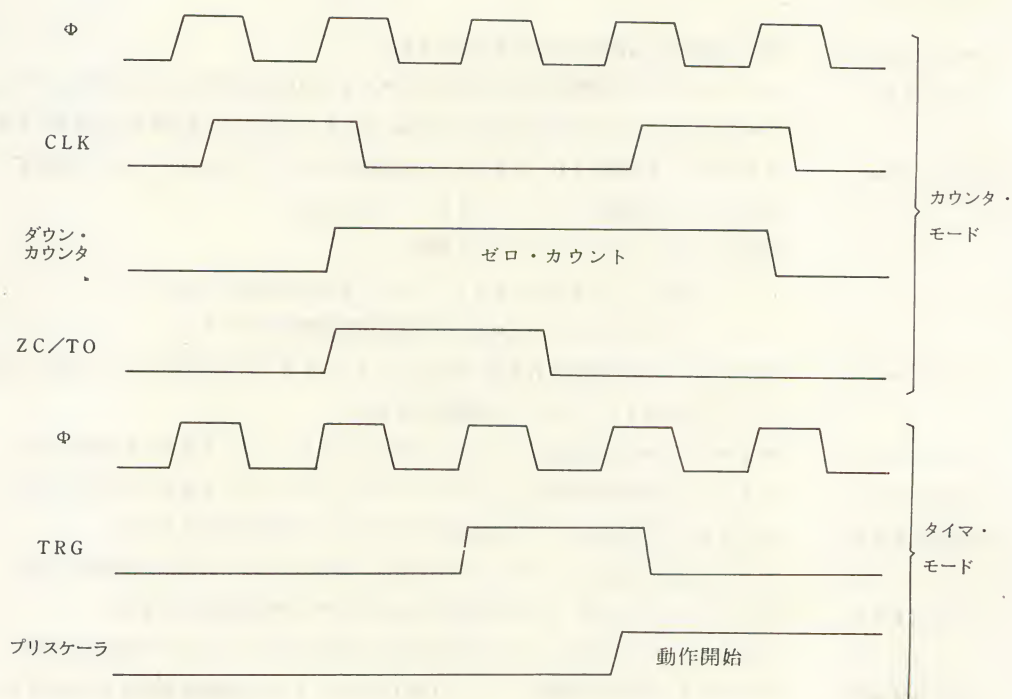


図 9 カウンタ動作とタイミング

*1 setup time

5. 動作条件のプログラム

○ 動作モードの選択

チャンネルの動作モードを選択するとき、ビット0を1にしたチャンネル制御ワードをチャンネル制御レジスタに書き込まなければなりません。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
割り込みイネーブル	モード	プリスケアラ選択	エッジの選択	トリガの有無	時間定数の有無	リセット	1

D₃ および D₅ はタイマ・モードのときだけ使用します。

- ビット7=0 チャンネル割り込みがかからないようにします。
- ビット7=1 ダウン・カウンタの内容がゼロになるたびにチャンネル割り込みがかかります。ただし、ビット7=0でダウン・カウンタがゼロになった後、ビット7を1にしても割り込みは発生しません。
- ビット6=0 タイマ・モードが選択され、プリスケアラ出力がダウン・カウンタのクロックとなります。このクロックの周期は、 $t_C \cdot P \cdot TC$ となります。
ただし、 t_C ; システム・クロック周期
P ; 16または256 (プリスケアラによる分割の大きさ)
TC ; 8ビットのプログラム可能な時間定数 (最大256)
- ビット6=1 カウンタ・モードが選択されます。外部クロック (CLK入力) 信号がダウン・カウンタのクロックとなります。プリスケアラは使用しません。
- ビット5=0 タイマ・モードにのみ使用し、プリスケアラはシステム・クロックΦを16分割します。
- ビット5=1 タイマ・モードにのみ使用し、プリスケアラはシステム・クロックΦを256分割します。
- ビット4=0 タイマ・モードのとき、トリガ入力の立ち下がりでタイマ動作が始まります。
カウンタ・モードのとき、クロック入力の立ち下がりでダウン・カウンタが動作します。
- ビット4=1 タイマ・モードのとき、トリガ入力の立ち上がりでタイマ動作が始まります。
カウンタ・モードのとき、クロック入力の立ち上がりでダウン・カウンタが動作します。
- ビット3=0 タイマ・モードにのみ有効で、ビット1=1のとき、タイマは時間定数の書き込みサイクルの次のマシン・サイクルのT₂の立ち上がりから動作を始めます。ビット1=0のとき、タイマは、この制御情報の書き込みサイクルの次のマシン・サイクルのT₁の立ち上がりから動作を始めます。
- ビット3=1 タイマ・モードにのみ有効で、時間定数の書き込みサイクルの次のマシン・サイクルのT₂の立ち上がり後に入力された外部トリガ入力によりタイマが動作を始めます。
トリガ入力がセットアップ時間を満たすときは2つ目のΦの立ち上がりから、また、満たさないときは3つ目のΦの立ち上がりからプリスケアラが動作を始めます。時間定数の書き込み以前に外部トリガ入力が増えられ、ビット3=0の場合と同じになります。
- ビット2=0 チャンネル制御情報のあとに、時間定数の書き込みがないことを示します。ただし、チャンネルがリセット状態にあり、そのあと最初に与える制御情報においては、このビットを0にすることができません。

- ビット 2 = 1 チャンネル制御情報のあとに、時間定数の書き込みがあることを示します。ダウン・カウンタの動作中に時間定数の書き込みが行われた場合、時間定数レジスタには新しい時間定数がセットされますが、カウントはそのまま続行されます。そして、ゼロ・カウントになったときに初めて新しい時間定数が使用されます。
- ビット 1 = 0 チャンネルはダウン・カウンタとして動作を行います。
- ビット 1 = 1 ダウン・カウンタとしての動作を停止させます。ビット 2 = 1 のとき、時間定数が書き込まれたあと動作を再開します。
ビット 2 = 0 のとき、新しい制御情報を書き込むまで、チャンネルは動作しません。
- 時間定数の書き込み
8 ビットの時間定数は、ビット 2 = 1 としたチャンネル制御情報に続いて、時間定数レジスタに書き込まれます。
“ 0 0 ” (1 6 進) は時間定数 2 5 6 を意味します。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
TC ₇	TC ₆	TC ₅	TC ₄	TC ₃	TC ₂	TC ₁	TC ₀

○ 割り込みベクトルの書き込み

割り込みをかけているチャンネルは、Z-80 CPU に割り込みベクトルを与えることが必要です。CPU はこのベクトルを使用して、割り込みサービス・ルーチンの番地を作ります。割り込みアクノリッジ・サイクルにおいて、サービスを要求しているチャンネルのうち最も優先順位の高いチャンネルが CPU にベクトルを与えます。必要な割り込みベクトルは、D₀ = 0 としてチャンネル 0 の割り込みベクトル・レジスタに書き込まれます。この際使用されるのは D₃ ~ D₇ であり、D₁ および D₂ は無視されます。Z-80 CTC が割り込みに応答するとき、ベクトルのうち D₃ ~ D₇ は割り込みベクトル・レジスタの値であり、D₁ および D₂ は割り込みを要求したチャンネルのうち最も優先順位の高いチャンネルの 2 進符号です。割り込みサービス・ルーチンの開始番地を指示する間接番地が偶数番地であるため、D₀ には 0 がセットされます。チャンネル 0 が最も優先順位の高いチャンネルです。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
V ₇	V ₆	V ₅	V ₄	V ₃	X	X	0

D ₂	D ₁	チャンネル
0	0	0
0	1	1
1	0	2
1	1	3

6. 絶対最大定格

項 目	記 号	定 格	単 位
入 力 電 圧	V_{IN}	$-0.3 \sim +7$	V
出 力 電 圧	V_{OUT}	$-0.3 \sim +7$	V
動 作 温 度	T_{opr}	$0 \sim +70$	℃
保 存 温 度	T_{stg}	$-65 \sim +150$	℃

7. 電 気 的 特 性

7.1 DC 特性

($T_a = 0^\circ\text{C} \sim +70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$)

記 号	項 目	最 小 値	最 大 値	単 位	測 定 条 件
V_{ILC}	クロック“L”入力電圧	-0.3	0.45	V	
V_{IHC}	クロック“H”入力電圧	$V_{CC} - 0.6$	$V_{CC} + 0.3$	V	
V_{IL}	“L”入力電圧	-0.3	0.8	V	
V_{IH}	“H”入力電圧	2.0	V_{CC}	V	
V_{OL}	“L”出力電圧		0.4	V	$I_{OL} = 2\text{mA}$
V_{OH}	“H”出力電圧	2.4		V	$I_{OH} = -250\mu\text{A}$
I_{CC}	消費電流		120	mA	$t_C = 400\text{ns}$
I_{LI}	入力リーク電流		10	μA	$V_{IN} = 0\text{V} \sim V_{CC}$
I_{LOH}	トライステート出力リーク電流		10*	μA	$V_{OUT} = 2.4\text{V} \sim V_{CC}$
I_{LOL}	トライステート出力リーク電流		-10*	μA	$V_{OUT} = 0.4\text{V}$
I_{OHD}	ダーリントン駆動電流	-1.5*		mA	$V_{OH} = 1.5\text{V}$ $ZC/TO_0 \sim ZC/TO_2$ に適用

* 流入電流を正、流出電流を負とします。

7.2 端 子 容 量

($T_a = +25^\circ\text{C}$, $f = 1\text{MHz}$)

記 号	項 目	最大値	単 位	測 定 条 件
C_Φ	クロック入力容量	25	pF	被測定端子以外の全ての端子は接地
C_{IN}	入 力 容 量	5	pF	
C_{OUT}	出 力 容 量	10	pF	

7.3 AC 特性

(T_a = 0℃ ~ +70℃, V_{cc} = +5V ± 5%)

信 号	記 号	パ ラ メ ー タ	最小値	最大値	単位	備 考
Φ	t _c	クロック周期	4 0 0	[1]	ns	
	t _w (Φ _H)	クロック・パルス幅("H")	1 7 0	2 0 0 0	ns	
	t _w (Φ _L)	クロック・パルス幅("L")	1 7 0	2 0 0 0	ns	
	t _r , t _f	クロック立ち上がり・立ち下がり時間		3 0	ns	
	t _H	ホールド時間	0		ns	
CS, \overline{CE}	t _{SΦ} (CS)	読み出し、または書き込みサイクルの制御信号のセットアップ時間	1 6 0		ns	
D ₀ —D ₇	t _{DR} (D)	\overline{RD} の立ち下がりからデータ出力までの遅延		4 8 0	ns	[2]
	t _{SΦ} (D)	書き込み、またはM1サイクルのデータのセットアップ時間	6 0		ns	
	t _{DI} (D)	INTAサイクルの \overline{IORQ} の立ち下がりからデータ出力までの遅延		3 4 0	ns	[2]
	t _F (D)	\overline{RD} の立ち上がりから出力バッファ・フロートまでの遅延		2 3 0	ns	
IEI	t _S (IEI)	INTAサイクルの \overline{IORQ} の立ち下がりに対するセットアップ時間	2 0 0		ns	
IEO	t _{DH} (IO)	IEIの立ち上がりからの遅延		2 2 0	ns	[3]
	t _{DL} (IO)	IEIの立ち下がりからの遅延		1 9 0	ns	[3]
	t _{DM} (IO)	M1の立ち下がりからの遅延(M1サイクルの直前で割り込みが発生したとき)		3 0 0	ns	[3]
\overline{IORQ}	t _{SΦ} (IR)	読み出し、または書き込みサイクルのセットアップ時間	2 5 0		ns	
$\overline{M1}$	t _{SΦ} (M1)	INTA、またはM1サイクルのセットアップ時間	2 1 0		ns	
\overline{RD}	t _{SΦ} (RD)	読み出し、またはM1サイクルのセットアップ時間	2 4 0		ns	
\overline{INT}	t _{CLK} (IT)	CLK/TRGの立ち上がりからの遅延		$2 t_c \text{ (t)}$ + 2 0 0	ns	カウンタ・モード
	t _{DΦ} (IT)	Φの立ち上がりからの遅延		$t_c \text{ (t)}$ + 2 0 0	ns	タイマ・モード
CLK/TRG 0—3	t _c (CK)	カウンタ・クロック周期	2 t _c (t)		ns	カウンタ・モード
	t _r (CK/TR) t _f (CK/TR)	カウンタ・クロックおよびトリガの立ち上がり・立ち下がり時間		5 0	ns	
	t _S (CK)	即時カウンタに要するクロックのセットアップ時間	2 1 0		ns	カウンタ・モード
	t _S (TR)	プリスケアラの即時起動に要するトリガのセットアップ時間	2 1 0		ns	タイマ・モード
	t _w (CTH)	カウンタ・クロックおよびトリガのパルス幅("H")	2 0 0		ns	カウンタ・モード および
	t _w (CTL)	カウンタ・クロックおよびトリガのパルス幅("L")	2 0 0		ns	タイマ・モード
ZC/TO 0—2	t _{DH} (ZC)	Φの立ち上がりからZC/TO="H"までの遅延		1 9 0	ns	カウンタ・モード および
	t _{DL} (ZC)	Φの立ち下がりからZC/TO="L"までの遅延		1 9 0	ns	タイマ・モード

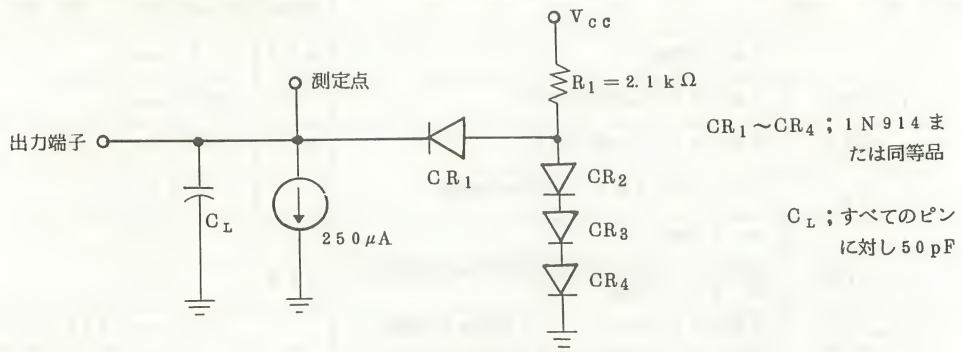
注 [1] t_c = t_w(Φ_H) + t_w(Φ_L) + t_r + t_f

[2] 負荷容量の50 pF増加につき、遅延は10 ns増加します。負荷容量の最大値は、データ・バスが200 pFであり、他は100 pFです。

[3] 負荷容量の10 pF増加につき遅延は2 ns増加します。負荷容量の最大値は100 pFです。

[4] RESETの入力幅は最低3クロック・サイクル必要です。

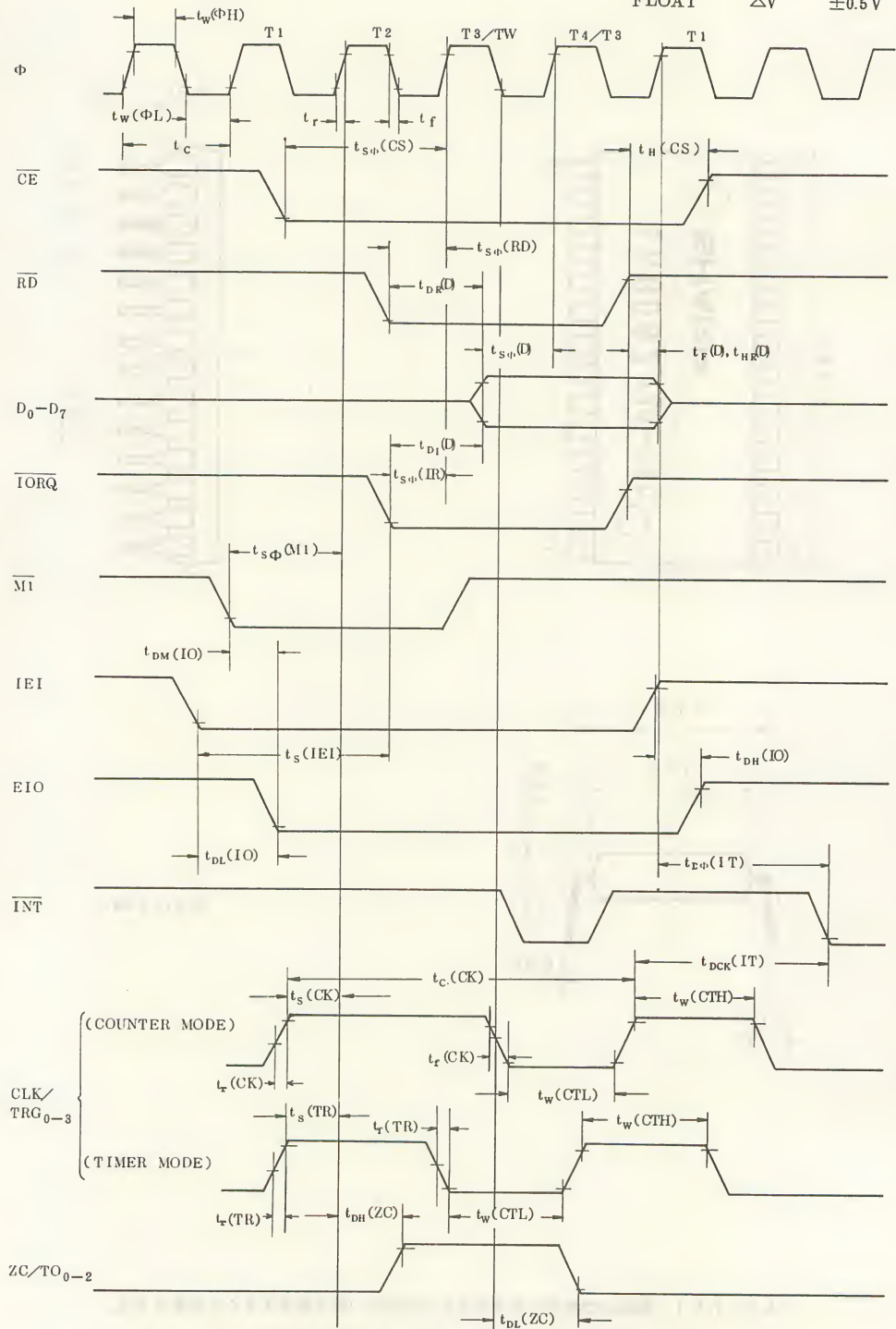
出力端子測定回路



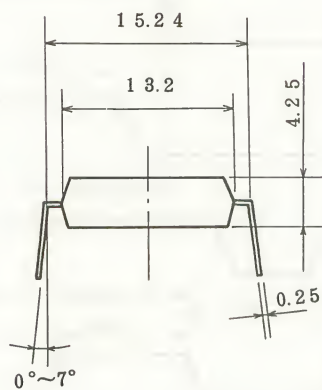
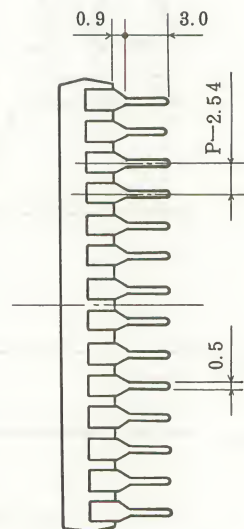
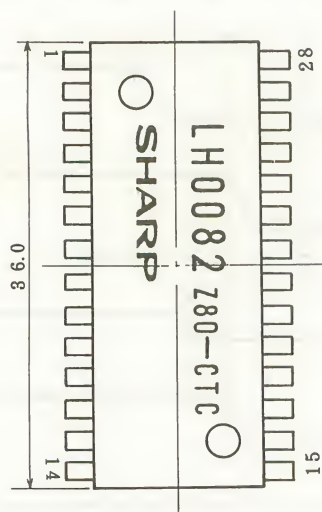
7.4 ACタイミング図

測定条件は次の通りです。

	"H"	"L"
CLOCK	$V_{CC} - 0.6V$	$0.45V$
OUTPUT	$2.0V$	$0.8V$
INPUT	$2.0V$	$0.8V$
FLOAT	$\triangle V$	$\pm 0.5V$



8. 外形寸法図



Unit : mm

(おことわり) 製品の改良のため予告なしに内容の一部を変更することがあります。
規格契約が必要な場合は製品仕様書をご用命の上、ご契約ください。

SM-B-80D

テクニカルマニュアル

4

目 次

1. 概 要	1
2. 特 長	1
2.1 ハードウェア	1
2.2 ソフトウェア	2
3. 機能概要	2
4. コマンド	3
4.1 記述形式	3
4.2 コマンド一覧表	4
5. 基本仕様	5
5.1 一般基本仕様	5
5.2 バス信号一覧表	7
5.3 シリアル I / O インターフェース信号線説明	8
5.4 ブロック図	9
5.5 プリント基板寸法図	9

1. 概 要

シャープマイクロコンピュータボードSM-B-80Dは、1枚のプリント基板上にZ-80CPU、PIO、CTCチップ、OS用ROM、RAM、ユーザ用RAM、シリアルI/Oインターフェース、パラレルI/Oインターフェースなどを搭載したものであり、入出力装置を接続するだけでプログラム開発用や制御用のコンピュータとして使用できます。

SM-B-80DはZ-80マイクロコンピュータ・システムのプログラム開発用の簡易形サポート・ツールとして用意されたものであり、特にそのOS ROM領域にモニタROMを実装することによりユーザ・プログラムのデバッグを効果的に行うことができます。一方、本ボードは、OS ROM領域に制御用プログラムを実装することにより直接、機器に組み込み使用できるようになっており、汎用性を考慮した種々の機能を有しています。

Z-80サポート・ボードとしては、本ボードの他にROM/RAMボードやユニバーサルボードがあります。これらのボードによりSM-Bシステムの拡張が容易に行えるようにボード間でバス信号の共通化を図っています。

モニタ機能によりユーザ・プログラムのロード、パンチ、実行、デバッグなどを行うことができ、また、レジデント・アセンブラやテキスト・エディタもモニタ管理下で使用することができます。これらの場合の入出力装置としてTTYかRS-232C規格の装置を使用できるようになっていますが、ユーザ側で別の入出力装置を定義し、それらをTTYと同じようにモニタで管理することもできます。

2. 特 長

2. 1 ハードウェア

- (1) Z-80CPUチップを中心として構成したワンボード・コンピュータです。
- (2) ユーザRAMとして16ピン・タイプのRAMを使用しており、ソケット実装によりメモリ容量を4Kバイトまたは、16Kバイトにできます。

4Kバイト実装製品：LH-8H01A、16Kバイト実装製品：LH-8H01B

- (3) OS ROMの容量は4Kバイトであり、1Kバイト単位に実装できます。
- (4) OS ROMとして、2708タイプ、またはそれとピン互換性のあるPROMを実装できます。
- (5) OS ROMとして2Kバイト・モニタを用いることによりユーザ・プログラムの実行、デバッグなどができます。(2Kバイト・モニタLH-8S03P/E別売)
- (6) 256バイトのOS用スクラッチ・パッドRAM(スタティック)
- (7) ユーザRAM、OS ROMのベース・アドレスを変更できます。
- (8) Z-80 PIOチップによる汎用パラレルI/Oインターフェース(8ビットのI/Oポート、2ビットの制御線 各2チャンネル)
- (9) Z-80 CTCチップによるカウンタ・タイマ機能 3チャンネル
- (10) ハードウェア割り込み入力2本(ユーザ用NMI、ユーザ用INT)
- (11) シリアルI/Oインターフェースには、TTY、RS-232C規格装置を接続できます。
- (12) ボー・レートを変更できます。110、150、300、600、1200、2400、4800、9600ボー(モニタROM使用時)
- (13) 電源投入後、またはリセット後のプログラム開始番地を0000かE000のいずれかに選択できます。
- (14) すべてのバス信号線はバッファを内蔵しています。

2.2 ソフトウェア

2Kバイト・モニタの特長(注)

- (1) モニタではデータの入出力を次のチャンネルのいずれかを用いて行います。

CI.....コンソール入力チャンネル
CO.....コンソール出力チャンネル
OI.....オブジェクト入力チャンネル
OO.....オブジェクト出力チャンネル
SI.....ソース入力チャンネル
SO.....ソース出力チャンネル

- (2) 通常シリアルI/Oインターフェースのドライバ・ルーチンを上記チャンネルに割り当てます。

(例)TTY

- (3) 別のI/Oインターフェースのドライバ・ルーチンを用意し、それらを上記チャンネルに割り当てることもできます。(例)高速パラレルI/O

- (4) Z-80 CTCを用いて、8種類のボー・レートを発生できます。

- (5) モニタ・コマンド15種

(注) 2Kバイト・モニタ LH-8S03P/E 別売

3. 機能概要(モニタROM実装時)

- (1) オブジェクト・プログラムのロード

Lコマンド インテル16進フォーマット

- (2) オブジェクト・プログラムのパンチ

Pコマンド インテル16進フォーマット

- (3) ユーザ・プログラムの実行

Gコマンド

- (4) ユーザ・プログラムのデバッグ

ソフトウェア・ブレーク・ポイント B、D、Kコマンド

ユーザ・プログラムのトレース Tコマンド

ユーザ・プログラムのn命令実行 Sコマンド

メモリ内容の表示と変更 スナップ・ショット

ユーザCPUレジスタの表示 Rコマンド

I/Oポートのテスト I、Oコマンド

- (5) モニタで管理している入出力チャンネル(CI、CO、OI、OO、SI、SO)としてユーザ側で定義したI/Oドライバ・ルーチンを使用できます。

- (6) モニタ・プログラム内のI/Oドライバ・ルーチンをユーザ・プログラム内で使用できます。

- (7) 汎用パラレルI/Oインターフェース

PIOのA、Bポート(データ線 8ビット×2、制御線 2ビット×2)

ユーザ配線領域(16ピン DIP IC 4個実装可能)

50ピン フラット・ケーブル用コネクタ 1

(8) カウンタ／タイマ

CTC 1個使用、チャンネル1～3 ユーザ開放

クロック入力 2.4576MHz

(9) リスタート・アドレス切換え機能 0000またはE000

4. コマンド

4.1 記述形式

モニタ・コマンドにおいては、以下に示す文字セット、およびファンクション・キー（印刷出力しない）を使用します。

0～9、A～Z

\$ ' + , - . / ; = ↑]

CR LF ETX (CTRL C)

上記以外の文字セット、ファンクション・キーを使用した場合、そのコマンドは無効となり（?を出力する）、再度コマンド待ちとなります。

コマンドは、コマンド識別記号、アーギュメント（argument）、およびターミネータにより構成されており、その一般的な形式は次のいずれかです。

arg1 /

arg1 , arg2 / （/以外にLFまたは↑でも可）

arg1 ; c

arg1 , arg2 ; c

ただし、arg1 , arg2 はアーギュメント、cはコマンド記号

アーギュメントは、数値、ニーモニック、ロケーション・カウンタ、または、それらを演算子+、-で結合した式のいずれかです。上記の一般形式において、arg1 と arg2 の間はコンマ・で分離しなければなりません。

4.2 コマンド一覧表

機 能	コ マ ン ド	機 能 説 明															
メモリ、レジスタの表示	arg1 / nn	arg1 で指定されるメモリ・アドレス、またはユーザCPUレジスタの内容を2桁の16進数で/の直後に表示する。表示後ターミネータ待ち。															
メモリ、レジスタの変更	arg1 / nn mm	arg1 で指定されるメモリ・アドレス、またはユーザCPUレジスタの内容を変更する場合に使用する。変更は上記コマンドにより表示された数値に続いて希望する数値(mm)を16進数で入力し、さらにターミネータを入力することによって行う。															
ブレーク・ポイントの設定・解除	arg1 ; nB	arg1 がある場合、ブレーク・ポイントの設定を行う。nは0~7で0は省略可能。このコマンドによりアドレスarg1に識別番号nのブレーク・ポイントを設定する。arg1 を省略すると、n番のブレーク・ポイントを解除する。															
ブレーク・ポイントの表示	; D	現在設定されているブレーク・ポイントの識別番号とそのアドレス(ブレーク・ポイント・アドレス)をnの順に表示する。															
ユーザ・プログラムの実行	arg1 ; G	arg1 で指定されるメモリ・アドレスより、プログラム(ユーザ・プログラム)を実行する。arg1 を省略した場合、現在のPC(ユーザ・CPUレジスタ)で示されるアドレスから実行する。															
ポート入力	arg1 ; nI	arg1 + nで指定されるポートからデータ(1バイト)を読み込み、表示する。nを省略した場合はn=0と等価である。nは0~255の10進数とする。															
ポート出力	arg1, arg2 ; nO	arg1 + nで指定されるポートへarg2 で示される1バイトデータを書き込む。nの意見は上記ポート入力の場合と同じ。															
ブレーク・ポイントの全解除	; K	現在設定されているすべてのブレーク・ポイントを解除する。															
ステップ	arg1 ; nS	arg1 で指定されるメモリ・アドレスより、nステップ実行させ、各ステップごとにPC、AFの内容を印刷出力する。nを省略すると1ステップ動作。															
トレース	arg1 ; T	arg1 で指定されるメモリ・アドレスよりトレースする。トレースはCTRL Cのキー入力、またはブレーク・ポイント・アドレスにおいて終了し、コマンド待ちとなる。arg1 を省略した場合、現在のPCの値よりトレースする。															
プログラムのロード	; L	オブジェクト・チャンネルよりインテル標準16進フォーマットのオブジェクト・プログラムをメモリへロードする。															
プログラムのパンチ	arg1, arg2 ; P	arg1, arg2 で指定されるメモリ・アドレスの範囲の内容をオブジェクト・チャンネルにインテル標準16進フォーマットで出力する。															
レジスタの表示	; R	すべてのユーザCPUレジスタの内容を表示する。 ; 1 Rでレジスタ名とその内容を表示する。															
メモリ・ブロックの表示	arg1, arg2 /	arg1, arg2 で指定されるメモリ・アドレスの範囲の内容を2桁の16進数で表示する。															
表示モードの指定	; n Mまたは arg1, arg2 ; mM	<p>ステップ、トレース、ブレーク・ポイントの各コマンド入力前に表示モードを指定できる。</p> <table> <tr> <td>n (m)</td><td>表 示</td><td>た だ し</td></tr> <tr> <td>0</td><td>PC AF</td><td>arg1 メモリ・ブロックの先頭</td></tr> <tr> <td>1</td><td>全レジスタ</td><td>arg2 メモリ・ブロックの最後</td></tr> <tr> <td>2 (0)</td><td>PC、AFとメモリ・ブロック</td><td></td></tr> <tr> <td>3 (1)</td><td>全レジスタとメモリ・ブロック</td><td></td></tr> </table>	n (m)	表 示	た だ し	0	PC AF	arg1 メモリ・ブロックの先頭	1	全レジスタ	arg2 メモリ・ブロックの最後	2 (0)	PC、AFとメモリ・ブロック		3 (1)	全レジスタとメモリ・ブロック	
n (m)	表 示	た だ し															
0	PC AF	arg1 メモリ・ブロックの先頭															
1	全レジスタ	arg2 メモリ・ブロックの最後															
2 (0)	PC、AFとメモリ・ブロック																
3 (1)	全レジスタとメモリ・ブロック																

5. 基本仕様

5.1 一般基本仕様

項 目	仕 様	備 考
CPU	Z-80 CPU LH-0080	
語 長	1語 8ビット 命令 8, 16, 24, 32ビット データ 8ビット アドレス 16ビット I/Oアドレス 入力、出力、各8ビット	
最小命令実行時間	1.63μs	4クロック・サイクル (8ビットレジスタ加算) (8ビットレジスタ間転送)
CPUクロック	内部クロック(水晶発振) 2.4576MHz または 外部クロック 0.7~2.5MHz	下限周波数はダイナミックRAM のリフレッシュ・サイクルで決ま る。
メモ リ	OS ROM LH-2708 最大4個 実装可能 OS RAM LH-2111A4 2個 実装 ユーザRAM LH-4027-3またはLH-4116-3 8個	ソケット実装、ROMは未実装 ソケット実装
メモ リ 容 量	OS ROM 最大4Kバイト OS RAM 256バイト ユーザRAM 4Kバイト、または16Kバイト	ユーザRAM 4Kバイト実装製品 LH-8H01A 16Kバイト実装製品 LH-8H01B
メモ リ ・ ア ド レ ス	OS ROM 4Kバイト単位にベース・アドレス設定可能 OS RAM FF00~FFFF(固定) ユーザRAM 4Kバイト、または16Kバイト単位にベース アドレス設定可能	ジャンパ端子 ジャンパ端子
パラレル I/O インターフェース	Z-80 PIO LH-0081 1個使用 8ビット 入出力データ線×2 2ビット シェーク・ハンド制御線×2 ユーザ配線領域 16ピンDIP IC 4個実装可能 コネクタ 50ピン フラット・ケーブル用	コネクタ J ₁
シリアル I/O インターフェース	UART(8251) 1個使用 TTYインターフェース(20mA電流ループ)および RS-232Cインターフェース コネクタ 26ピン フラット・ケーブル用	コネクタ J ₂
カウンタ/タイマ	Z-80 CTC LH-0082 1個使用 チャンネル0 システム使用(ポーレート作成用) チャンネル1~3 ユーザ開放 クロック入力 2.4576MHz(406.9ns)	

項 目	仕 様	備 考
I/O ポート・アドレス	ユーザ開放 00~CF	
	システム使用 D0~DF	
	システム・リザーブ E0~FF	
	ただし、D0 P I O ポート A データ	
	D1 P I O ポート A コントロール	
	D2 P I O ポート B データ	
	D3 P I O ポート B コントロール	
	D8 CTC チャンネル 0	
	D9 CTC チャンネル 1	
	DA CTC チャンネル 2	
	DB CTC チャンネル 3	
	DC UART データ	
	DD UART コントロール	
	DE W システムNMI (N-Delay)	ブレーク・ポイント用
	R ボー・レート、アドレスEリセット	
	DF W システムNMI (Delay)	ステップ・トレース用
	R リーダ・ステップ	
ボー・レート	8種類切り換え可能 110, 150, 300, 600, 1200, 2400, 4800, 9600	ジャンパ端子
電 源	+5V±5% 2.2A max +12V±5% 450mA max -12V±5% 150mA max	-5Vは内部電源により発生
動 作 温 度	0°C~50°C	
ボ ー ド 寸 法	270×190×20 単位 mm	
	J ₁ 50ピン フラット・ケーブル・コネクタ (ヒロセ HIF3-50P-2.54DS 相当) J ₂ 26ピン (同上 HIF3-26P-2.54DS 相当) J ₃ 100ピン コネクタ 3.175mmピッチ (ケル製 4800-100-135相当)	

関連ソフトウェア(別売)

ソフトウェア名称	形 名	備 考
アセンブラ	LH-8S01P, LH-8S01E	16KB RAM必要
エディタ	LH-8S02P, LH-8S02E	16KB RAM必要
モニタ	LH-8S03P, LH-8S03E	
SM-4用クロスアセンブラ	LH-4S04P, LH-4S04E	16KB RAM必要
	P:紙テープ版 E:EPROM版	

5. 2 バス信号一覧表

端 番	子 号	信号名 (部品面)	端 番	子 号	信号名 (配線面)
1		+5V	51		+5V
2		+5V	52		+5V
3		+5V	53		+5V
4			54		
5		+12V	55		+12V
6		*CK/TG ₁	56		
7		*ZC/TO ₁	57		
8		*CK/TG ₂	58		
9		*ZC/TO ₂	59		
10		*CK/TG ₃	60		
11		*MRESET	61		
12		*DEBUG	62		∅
13		EXCLK	63		XSCCLK
14		REC DATA	64		TRANS DATA
15		*DDIS	65		*RENB
16			66		
17			67		
18			68		
19			69		
20		IEI	70		IEO
21			71		
22		*A ₀	72		*A ₁
23		*A ₂	73		*A ₃
24		*A ₄	74		*A ₅
25		*A ₆	75		*A ₇
26		*A ₈	76		*A ₉
27		*A ₁₀	77		*A ₁₁
28		*A ₁₂	78		*A ₁₃
29		*A ₁₄	79		*A ₁₅
30		*WAIT	80		*BUSRQ
31		*NMIU	81		*INTU
32			82		
33			83		
34		*BUSAK	84		*HALT
35		*M ₁	85		*RFSH
36		*RD	86		*WR
37		*MREQ	87		*IORQ
38			88		
39			89		
40			90		
41			91		
42		*D ₀	92		*D ₁
43		*D ₂	93		*D ₃
44		*D ₄	94		*D ₅
45		*D ₆	95		*D ₇
46		-12V	96		-12V
47			97		
48		GND	98		GND
49		GND	99		GND
50		GND	100		GND

(注)

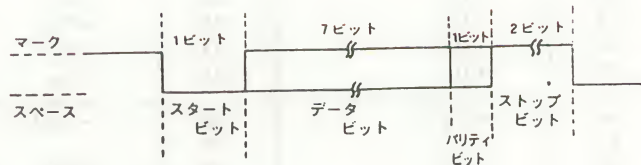
* 記号は "L" レベルで有効 (active) になるという意味であり、信号名の上に — (bar) 記号をつけたものと同じ。
空きバスはシステム拡張用としてリザーブ。

5.3 シリアル I/O インターフェース信号線説明

信号名	J ₂ 番号	信号説明
GND	1, 13	接地線
RS (+) RS (-)	6 16	リーダ・ステップ。リーダ・オン時に RS (+)、RS (-) を通じて電流が流れる。 (+12V で直列抵抗 94Ω)
CARRIER DETECT	15	20mA SEND 信号と同一信号。20mA SEND 端子開放時は本端子は +12V である。電流ループ使用の場合、UART の送信データありの状態 (スペース) で H レベル、なしの状態 (マーク) で L レベルとなる。(注 1)
20mA SEND 20mA SEND RET	24 25	20mA 電源ループで TTY (ASR-33) を使用する場合、本信号を用いる。 UART の送信データがマークの状態ではループ電流オン、スペースの状態ではループ電流オフとなる。
20mA REC 20mA REC RET	22 23	20mA 電流ループで TTY (ASR-33) を使用する場合、本信号を用いる。 TTY からの送信データがマークの状態では端子 22 は L レベルに、スペースの状態では H レベルになっている。
TRANS DATA	3	RS-232C 規格で端末装置からデータが送られてくる場合に用いる入力端子。 受信データがマークの状態では L レベルに、スペースの状態では H レベルになっている。
REC DATA	5	RS-232C 規格で端末装置へデータを送る場合に用いる出力端子。送信データがマークの状態では L レベルに、スペースの状態では H レベルになっている。
DSR (Data Set Ready)	11	UART の $\overline{\text{DTR}}$ 信号の反転記号。RS-232C 規格。出力。 UART (8251) のコマンドビット 1 をセットすると $\overline{\text{DTR}} = 0$ となる。
CTS (Clear To Send)	9	UART の $\overline{\text{RTS}}$ 信号の反転信号。RS-232C 規格。出力。 UART のコマンドビット 5 をセットすると $\overline{\text{RTS}} = 0$ となる。
DTR (Data Term Ready)	14	本信号の反転信号が UART の $\overline{\text{DSR}}$ に等しい。RS-232C 規格。入力。 UART の $\overline{\text{DSR}}$ を L レベルにすると、ステータスビット 7 がセットされる。
RTS (Request To Send)	7	ボード上のチェック端子 (記号 TTY) の結線状態により動作が異なる。 TTY A-C 結線; RTS 信号 無効 A-B 結線; RTS の反転信号 = UART の $\overline{\text{CTS}}$ 本信号は RS-232C 規格で入力信号である。 なお、UART の $\overline{\text{CTS}}$ 信号は $\overline{\text{CTS}} = \text{L}$ でデータ送信可能。 $\overline{\text{CTS}} = \text{H}$ でデータ送信不可 (ただしコマンド TxEN = 1 とする)。

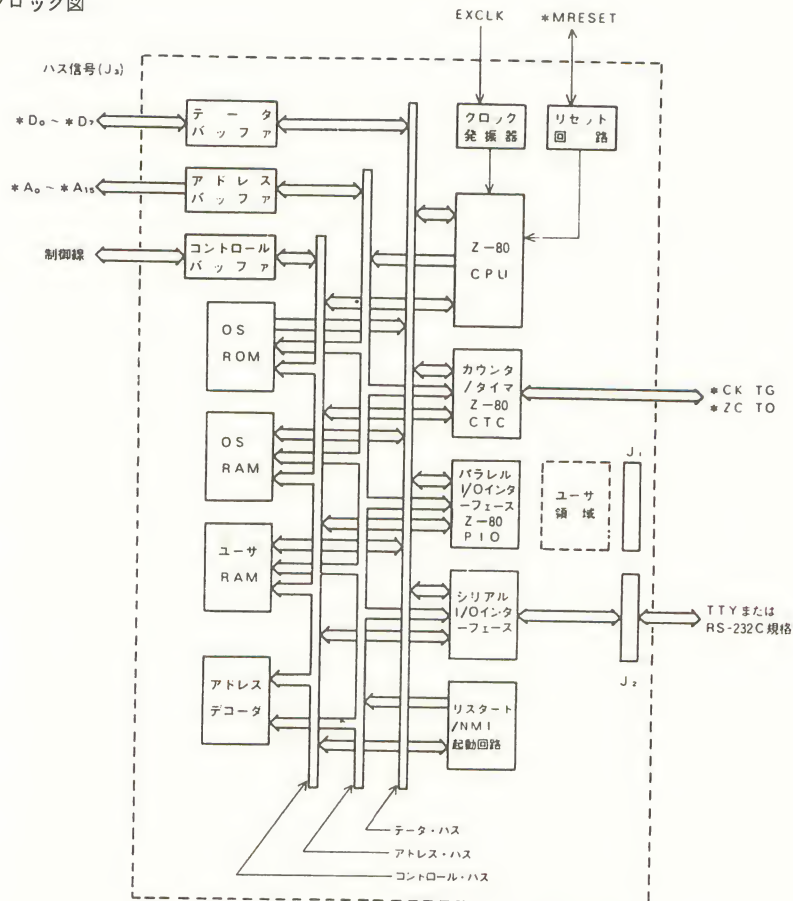
(注 1)

UART の受信または
送信データ
(RxD, TxD)



2KB モニタではデータ送信時偶パリティ、
受信時パリティ無視でデータを処理している。

5. 4 ブロック図

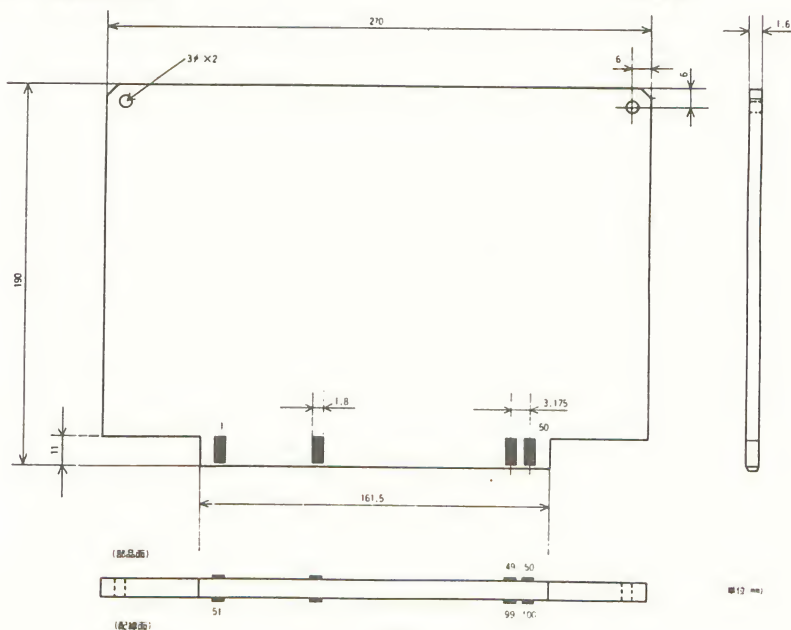


J₁ 50ピン コネクタ

J₂ 26ピン コネクタ

*は負論理

5. 5 プリント基板寸法図



SM-B-80T 5

テクニカルマニュアル

目 次

1. 特 長	1
2. システム構成	1
3. 仕様概要	3
4. 機能概要	3
5. キー配列	4
6. モニタプログラム	5
6.1 キーボードパネルの構成	5
6.2 キーボードスイッチとコマンド	6
6.3 表 示	7
6.4 アドレス切り換えスイッチ	8
7. 機 能	9
8. 操作例	9
8.1 モニタプログラムスタート	9
8.2 データのセット	9
8.3 アドレスのセット	9
8.4 アドレスのインクリメントとデクリメント	10
8.5 メモリへのデータ書き込み	10
8.6 プログラムのオート実行	10
8.7 プログラムのシングルステップ実行	10
8.8 ブレーク動作	11
8.9 ユーザレジスタの内容表示と変更	11
8.10 オーディオカセットへのプログラムのストア	12
8.11 オーディオカセットよりのプログラムのロード	12

シャープマイクロコンピュータボードSMB-80Tは、これからマイクロコンピュータを理解し、実際に使ってみようという方々を対象にした教育用、学習用、ホビー用として、さらにはOEM用としても使用できることを目的に開発されたマイクロコンピュータ・トレーニングボードです。

1. 特 長

- 1) プリント配線済みのCPUボード上に、CPU、PIO、メモリ、モニタプログラムを、キーボード上には、8桁7セグメントLED、キースイッチを備えたマイクロコンピュータです。
- 2) キーボードを使用しないときは、キーボードとのインターフェースに使用しているPIOをユーザが単独で使用できます。さらに、ユーザオプションとしてPIOを1個増設可能で、44ピンコネクタ端子を使用して周辺装置との接続ができます。
- 3) CPUボード上に100ピンコネクタを設けており、バスドライバを実装することにより外部との接続が容易です。(3.175mmピッチ)
- 4) ボード内でユーザが使用できるメモリは、ROMが1 Kバイト(7055) RAMが3 Kバイト(2114)と大容量です。(RAM 1 Kバイト標準装備)
- 5) カンサシティ規格のオーディオカセットインターフェースを標準装備しています。(リモート端子による自動、マニュアル・スタート/ストップが可能)
- 6) リスタートアドレスを、モニタプログラム(E000番地)、または、ユーザプログラム(0000番地)にスイッチにて変更できます。このため、RESET・キー操作でユーザプログラムの実行が可能です。
- 7) Z-80の割り込みのうち、モード0、1、2をユーザに開放しています。
- 8) CPUボードは、システムに組み込み可能なサイズを採用しています。(270×190mm) SMB-80Dと同寸法です。

2. システム構成

SMB-80Tボードは、CPUボード(270×190mm)と、キーボード(135×190mm)の2枚より構成し、34本のフラットケーブルで接続します。

図2.1に、80Tボードを使用する際の基本的な構成を、図2.2に、システム構成を示します。

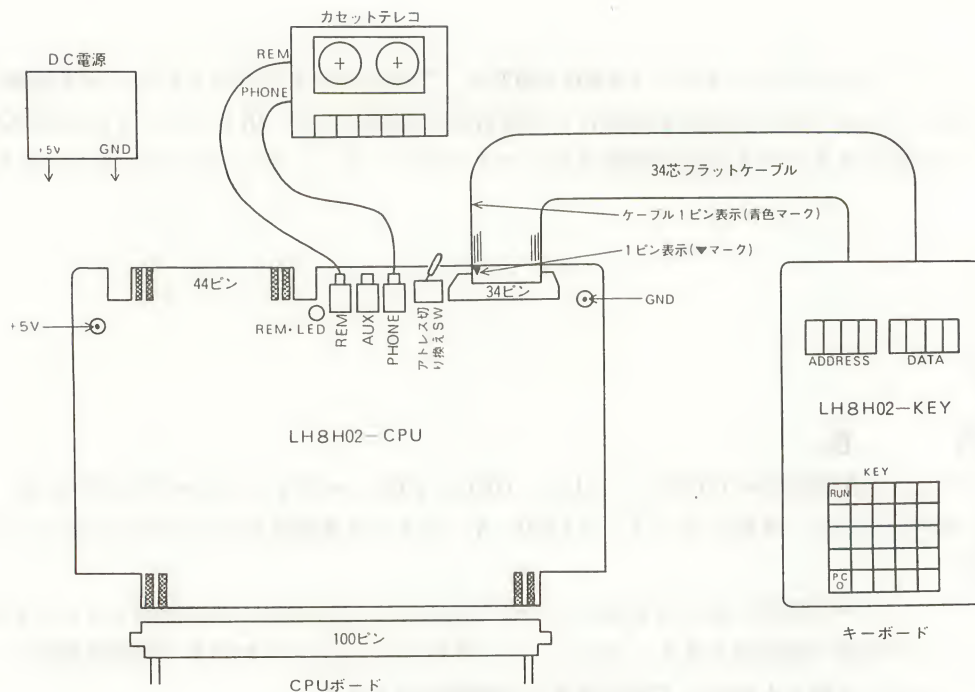


図2.1 SMB-80 Tボードの基本的な構成

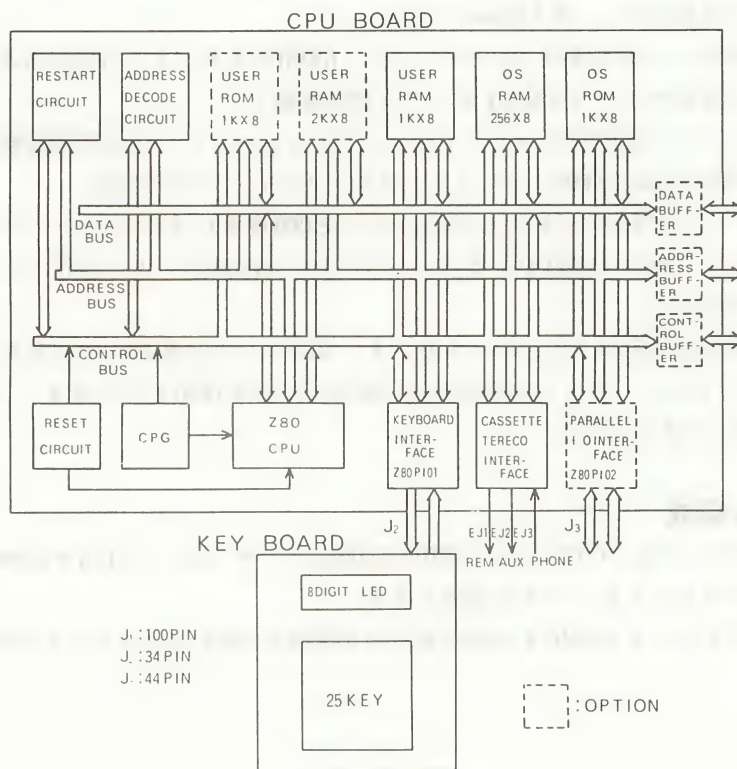


図2.2 システム構成

3. 仕様概要

C P U	LH-0080 8ビット並列処理プロセッサ
ク ロ ッ ク	2.4576MHz (4.9152MHz 水晶使用)
R O M	MAX 2 Kバイト (LH-7055×2 個) モニタプログラムを1 Kバイトに書き込んで実装。 残り1 Kバイトはユーザ用で、ICソケットのみ実装。
R A M	MAX 3.25 Kバイト (LH-2114×6 個+LH-2111 A 4×2 個) モニタプログラム用としてLH 2111 A 4×2 個(256バイト)をユーザ用としてLH 2114×2 個(1 Kバイト)を実装。
I/Oポート	LH-0081(PIO)×1 個をキーボードとのインターフェースに使用。 ユーザ用としてLH-0081(8ビット×2ポート)×1個オプション(ICソケットのみ実装)。
カセット・インターフェイス	8251×1 個をデータの並列↔直列変換に使用。 市販オーディオカセット接続可能。 入/出力端子: REM, AUX, イヤホン端子 転送速度: 300ビット/秒 規格: カンサシティ規格に準拠
入力装置	データキー、ファンクションキーによる入力。(25キー)
出力装置	7セグメントLEDにより、アドレス、データの16進表示
動作モード	シングルステップ(1 命令実行)&オート実行。
モニタプログラム	アドレスE000~E3FF番地の1 Kバイトを使用。
コネクタ	100ピンバスライン用コネクタ。 34ピンキーボード接続用コネクタ。 44ピンユーザPIO用コネクタ(コネクタはオプション)
ケーブル	34本フラットケーブル (80cm) REM端子用ケーブル (150cm) AUXまたはイヤホン用ケーブル (150cm)
電源	+5 V ± 5 % MAX×2 A (標準構成)
使用温度	0 ~ 40°C

4. 機能概要

プログラム機能	O~Fまでの16進データ・キーによる入力。
コンソール機能	メモリの内容表示とその内容の変更。 ユーザレジスタの内容表示と、その内容変更。
デバッグ機能	ユーザプログラムのシングルステップ/オート実行。 ブレークポイント、ブレークカウンタの設定と解除。
オーディオカセット	ユーザが開発したプログラムをオーディオカセットテープへ録音、テープからの再生。(リモート端子により、カセットのスタート/ストップ)

リスタートアドレス	リスタートアドレスを変更可能。 0000：ユーザプログラム開始アドレス E000：モニタプログラム開始アドレス
割　り　込　み	割り込みは、NMIをモニタが使用。 ユーザには、モード0、1、2を開放。
割　り　込　み　優　先	CPU(NMI)>PIO1>PIO2に設定。 ボード外にて、PIO1の上位、PIO2の下位に設定可能。

5. キー配列

RUN	STEP	LOAD INC	STOR DEC	RESET
C	D	E	F	SHIFT
H 8	L 9	A	B	REG REG
BA 4	BC 5	I 6	IF 7	REM ADRS
PC 0	SP 1	IX 2	IY 3	WRITE

0～F　：データキー

P C～F：レジスタキー

上記以外はファンクションキー

図4.1 キー配列

6. モニタプログラム

SMB-80Tには、プログラムの誤りを捜し出し、修正する機能を有したモニタプログラムを実装しています。以下にモニタプログラムの簡単な説明をします。

6.1 キーボードパネルの構成

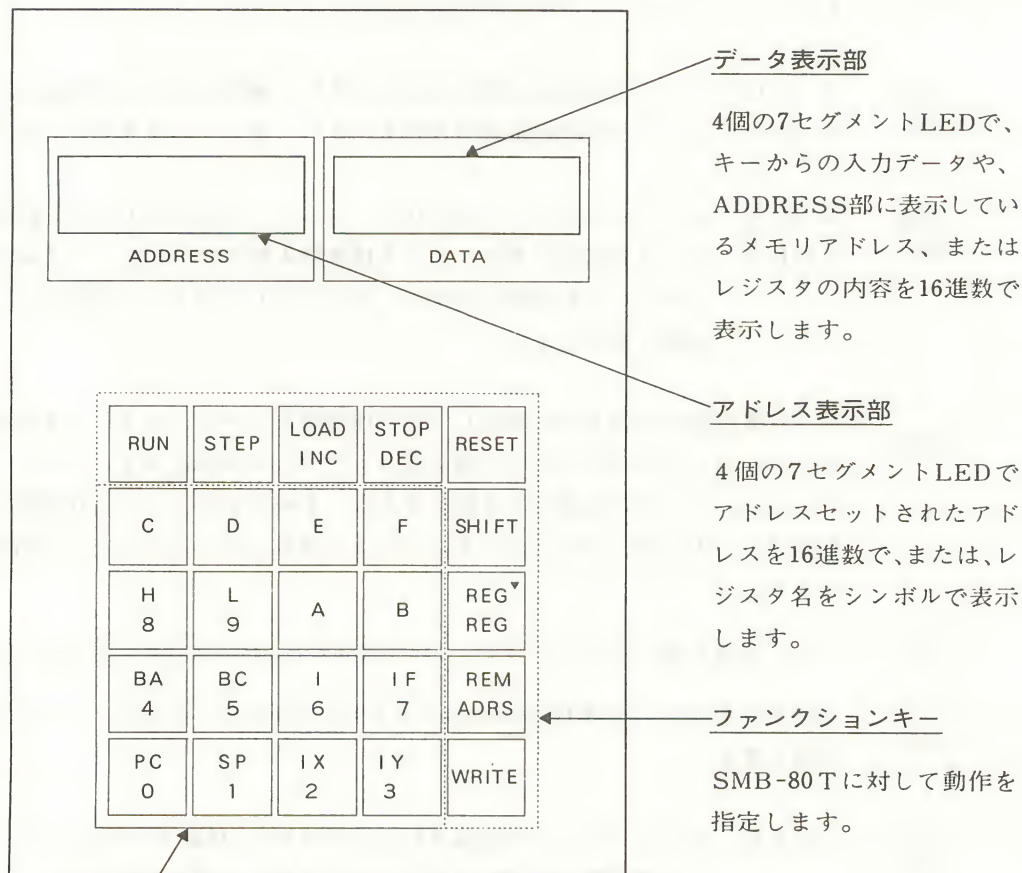


図6.1 キーボードパネル

- レジスタキー（上部分とA～Fキー）
レジスタの指定に使用します。
- データキー（下部分とA～Fキー）
16進数を入力するときに使用します。

6.2 キーボードスイッチとコマンド

SMB-80 Tで使用するキーボードスイッチのコマンドについて説明します。

RESET

プログラム異常(プログラム暴走)によるCPU停止などに対して、システムを初期状態に戻します。

SHIFT

このキー操作後、ダブルファンクション構成キーの上部コマンドが有効になります。(ファンクションキーの青色文字のコマンド)

REG
REG

R E G[▼]:レジスタの内容を表示させるときに、補助レジスタを指定します。

R E G:レジスタの内容を表示させるときに、主レジスタを指定します。

REM
ADRS

R E M:オーディオカセット用のリモートスイッチをON/OFFします。

A D R S:データ表示部に表示している16進数4桁のデータを、アドレスとしてアドレス表示部に表示し、そのアドレスのメモリ内容をデータ表示部に表示します。

WRITE

データ表示部の下位2桁に表示している16進数データを、アドレス表示部に表示しているメモリのアドレスへ書き込み、アドレス表示を+1します。

あるいは、データ表示部の下2桁、または、4桁に表示している16進数データをアドレス表示部に表示しているレジスタに書き込み、次のレジスタ名を表示します。

RUN

アドレス表示部に表示しているアドレスからユーザプログラムを実行します。

STEP

プログラムカウンタ(PC)が示しているアドレスからユーザプログラムを1命令実行します。

LOAD
INC

L O A D:カセットテープに記録されたプログラム(16進データ)をそのプログラムで指定されているアドレスのメモリへ書き込みます。(プログラムのロード)

I N C:アドレス表示部に表示しているアドレスを+1し、データ表示部にそのアドレスのメモリの内容を表示します。または、アドレス表示部に表示しているレジスタ名を次のレジスタ名に変更し、データ表示部にそのレジスタの内容を表示します。

STOR
DEC

S T O R:アドレス表示部に表示しているアドレスから、データ表示部に表示しているアドレスまでのメモリの内容をカセットテープに記録します。(プログラムのストア)

D E C:アドレス表示部に表示しているアドレスを-1し、データ表示部に

そのアドレスのメモリの内容を表示します。または、アドレス表示部に表示しているレジスタ名を前のレジスタ名に戻し、データ表示部にそのレジスタの内容を表示します。

データ
キー

0 ～ F：データ(16進数)の入力に使用します。

レジスタ
キー

アドレス表示部にレジスタ名を表示し、データ表示部にそのレジスタの内容を表示します。

PC プログラムカウンタ
SP スタックポインタ
IX インデックスレジスタX
IY インデックスレジスタY
BA ブレークアドレスレジスタ
BC ブレークカウンタ
I インターラプトページアドレスレジスタ
IF インターラプトイネーブルフラグレジスタ
A(A') アキュムレータ
F(F') フラグレジスタ
B(B') Bレジスタ
C(C') Cレジスタ ()内は補助レジスタ
D(D') Dレジスタ
E(E') Eレジスタ
H(H') Hレジスタ
L(L') Lレジスタ

6.3 表 示

16進数とレジスタ名は、7セグメントLEDに次のように表示します。

(1) 16進数キーと表示

キー	表 示	キー	表 示	キー	表 示	キー	表 示
0		4		8		C	
1		5		9		D	
2		6		A		E	
3		7		B		F	

表6.1 16進数の表示

(2) レジスタキーと表示

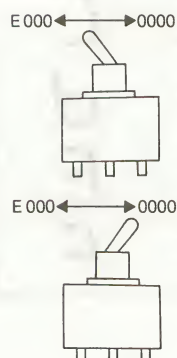
レジスタを表示させる場合、主レジスタは REG[▼]
REG キーを、補助レジスタは SHIFT キーを押した後、REG[▼]
REG キーを押してから下記レジスタキーで表示させます。

主 レ ジ ス タ				補 助 レ ジ ス タ	
キ ー	表 示	キ ー	表 示	キ ー	表 示
PC	<i>PC</i>	A	<i>A</i>	A	<i>A'</i>
SP	<i>SP</i>	B	<i>b</i>	B	<i>b'</i>
IX	<i>IX</i>	C	<i>C</i>	C	<i>C'</i>
IY	<i>IY</i>	D	<i>d</i>	D	<i>d'</i>
I	<i>I</i>	E	<i>E</i>	E	<i>E'</i>
IF	<i>IF</i>	F	<i>F</i>	F	<i>F'</i>
H	<i>h</i>			H	<i>h'</i>
L	<i>L</i>			L	<i>L'</i>

表6.2 レジスタの表示

6.4 アドレス切り換えスイッチ

SMB-80Tは、アドレス切り換えスイッチの設定を変えることによりCPUのリスタートアドレスを次のように変更できます。



リスタートアドレスはE000番地となります。

E000：モニタプログラムの開始アドレス

リスタートアドレスは0000番地となります。

0000：ユーザプログラムの開始アドレス

7. 機能

- (1) プログラム機能
- (2) メモリの内容表示と変更
- (3) ユーザレジスタの内容表示と変更
- (4) ユーザプログラムのシングルステップ/オート実行
- (5) ブレークポイント、カウンタを使用してのプログラム実行
- (6) オーディオカセットへのプログラムストア
- (7) オーディオカセットよりのプログラムロード

8. 操作例

8.1 モニタプログラムスタート

キー操作

アドレス切り換えスイッチ

E O O O 側設定

電源スイッチ投入

ADDRESS

DATA

--	--	--	--

--	--	--	--

0	0	0	0
---	---	---	---

0	0	0	0
---	---	---	---

8.2 データのセット

キー操作

RESET

SP 1

A

ADDRESS

DATA

0	0	0	0
---	---	---	---

0	0	0	0
---	---	---	---

0	0	0	0
---	---	---	---

0	0	1	A
---	---	---	---

データ 1 A

8.3 アドレスのセット

キー操作

RESET

PC 0

SP 1

PC 0

PC 0

REM ADRS

ADDRESS

DATA

0	0	0	0
---	---	---	---

0	0	0	0
---	---	---	---

0	1	0	0
---	---	---	---

0	0	X	X
---	---	---	---

(注) XXは、0～Fの16進数のうち
どれでも可

アドレス0100番地

0100番地内容

8.4 アドレスのインクリメントとデクリメント

キー操作

RESET

LOAD
INC

STOR
DEC

ADDRESS

DATA

0 0 0 0

0 0 0 0

0 0 0 1

0 0 X X

0000番地 + 1

0001番地内容

0 0 0 0

X X X X

0001番地 - 1

0001番地 0000番地内容
内容シフト

8.5 メモリへのデータ書き込み

I Y
3

E

WRITE

ADDRESS

DATA

0 1 0 0

X X 3 E

書き込みたいアドレス

書き込みデータ

0 1 0 1

3 E X X

0100番地 + 1

0101番地内容

8.6 プログラムのオート実行

キー操作

P C
0

S P
1

I X
2

I Y
3

REM
ADRS

RUN

ADDRESS

DATA

0 1 2 3

2 3 X X

プログラム実行開始アドレス

0123番地の内容

実行中は消灯します。

8.7 プログラムのシングルステップ実行

キー操作

REG
REG

P C
0

P C
0

I X
2

P C
0

P C
0

WRITE

ADDRESS

DATA

P C -

X X X X

プログラムカウンタシンボル

プログラムカウンタ内容

S P -

X X X X

スタックポインタシンボル

スタックポインタ内容

STEP

0 2 0 1

X X X X

1 命令実行後のアドレス

アキュムレータ
内 容

フラグレジスタ
内 容

3.8 ブレーク動作

キー操作

REG[▼]
REG BA
4

ADDRESS

DATA

b A -

X X X X

ブレークアドレスレジスタシンボル

PC IY PC PC WRITE
0 3 0 0

b C -

0 0 0 0

ブレークカウンタシンボル

IX PC WRITE
2 0

1 -

0 0 X X

インタラプトページアドレスレジスタ

PC SP PC PC REM
0 1 0 0 ADRS

0 1 0 0

0 0 X X

RUN

0 3 0 0

X X X X

0300番地で実行停止

アキュムレータ
内 容

フラグレジスタ
内 容

(注)引き続きステップ動作を実行するときは、STEP キー操作で実行できます。また、RUN キー操作で 0 3 0 0 番地よりプログラムをオート実行できます。

8.9 ユーザーレジスタの内容表示と変更

キー操作

REG[▼]
REG H
8

ADDRESS

DATA

h -

0 0 X X

Hレジスタシンボル

Hレジスタ内容

SHIFT REG[▼] H
REG 8

h ' -

0 0 X X

H[▼]レジスタシンボル

H[▼]レジスタ内容

A B WRITE

L ' -

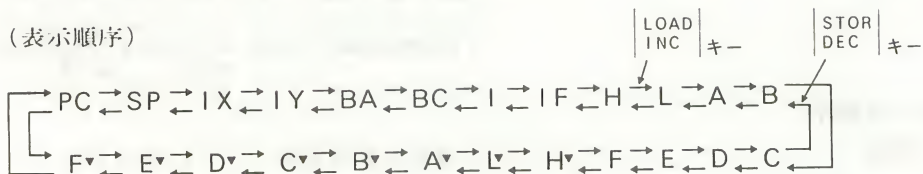
0 0 X X

L[▼]レジスタシンボル

L[▼]レジスタ内容

H[▼]レジスタ
内容を AB
に変更

(注) ユーザレジスタは、**LOAD INC** キー、または、**STOR DEC** キーで順次表示できます



8.10 オーディオカセットへのプログラムのストア(記録)

キー操作

ADDRESS . DATA REM-LED

SHIFT **REM ADRS** リモートスイッチON

テープを巻き戻して録音
状態にしておきます。



SHIFT **REM ADRS** リモートスイッチOFF

PC 0 PC 0 PC 0 PC 0 REM ADRS

0 0 0 0 0 0 X X

PC 0 IY 3 PC 0 PC 0

0 0 0 0 0 3 0 0

ストア開始アドレス

ストア終了アドレス

SHIFT **STOR DEC**

0 0 0 0 0 0 0 0

ストア実行中は消灯



ストア終了

0 3 0 1 0 3 0 0

終了アドレス+1

終了アドレス

8.11 オーディオカセットよりのプログラムのロード(再生)

テープを巻き戻して再生状態にしておきます。

キー操作

ADDRESS

DATA

REM-LED

SHIFT **LOAD INC**

0 0 0 0 0 0 0 0

ロードを実行中は消灯



ロード終了

0 0 0 0 0 3 0 0

ロードしたプログラムの
開始アドレス

終了アドレス

(おことわり) 本資料は製品の改良のため予告なしに内容の一部を変更することがあります。

SM-B-80D 6

ユーザーズマニュアル



目 次

1. 概 要	1
1-1 特 長	1
1-2 機能概要	2
1-3 基本仕様	3
2. システム構成	7
2-1 基本システム構成	7
2-2 メモリ・マップ	9
2-3 リスタートとNMI制御	12
2-4 INT割り込み	15
3. ハードウェア	17
3-1 構 成	17
3-2 動 作	20
3-2-1 アドレス・バッファ	20
3-2-2 データ・バッファ	20
3-2-3 コントロール・バッファ	20
3-2-4 クロック発振器	24
3-2-5 リセット回路	24
3-2-6 リスタート/NMI起動回路	24
3-2-7 アドレス・デコーダ	29
3-2-8 OS ROM	32
3-2-9 OS RAM	32
3-2-10 ユーザRAM	35
3-2-11 カウンタ/タイマ	35
3-2-12 パラレル I/O インターフェース	38
3-2-13 シリアル I/O インターフェース	40
3-2-14 そ の 他	40

3-3	バス信号	47
3-4	動作モードの選択	54
3-4-1	ラッピング端子による方法	54
3-4-2	プラットホーム端子による方法	54
4.	ソフトウェア	60
4-1	構成	60
4-1-1	メモリ	60
4-1-2	I/Oポート	60
4-1-3	ゼネラル・フロー	69
4-2	機能	71
4-2-1	ニーマニックの定義	71
4-2-2	I/Oチャンネル	74
4-3	コマンド	79
4-3-1	記述形式	79
4-3-2	アーギュメント	80
4-3-3	コマンド識別記号	80
4-3-4	ターミネータ	81
5.	操作方法	84
5-1	前準備	84
5-1-1	動作モード	84
5-1-2	I/O装置	85
5-1-3	その他	87
5-2	モニタ・コマンド	87
5-2-1	コマンド待ち	87
5-2-2	プログラムのロード	88
5-2-3	プログラムのパンチ	90
5-2-4	メモリ・レジスタの内容表示	90
5-2-5	メモリ・レジスタの内容変更	92
5-2-6	メモリ・ブロックの表示	93

5-2-7	ユーザ・レジスタの表示	94
5-2-8	ユーザ・プログラムの実行	94
5-2-9	ブレイク・ポイントの設定と解除	95
5-2-10	ブレイク・ポイントの表示	96
5-2-11	ブレイク・ポイントの全解除	97
5-2-12	ステップ	98
5-2-13	トレース	99
5-2-14	表示モードの指定	100
5-2-15	ポート入力	103
5-2-16	ポート出力	103
6.	規 格	104
一般規格	104
バス信号線	106
ボード寸法	108
付録A	SM-B-80D モニタ ユーザ開放サブルーチン	109

1. 概 要

シャープ マイクロコンピュータ ボード SM-B-80D (LH-8H01 A/B) は、1枚のプリント基板上にZ-80 CPU、PIO、CTCチップ、OS用ROM、RAM、ユーザ用RAM、シリアル I/O インターフェース、パラレル I/O インターフェース等を搭載したものであり、それ自身でまとまったコンピュータ機能を有している。

SM-B-80DはZ-80マイクロコンピュータ・システムのプログラム開発用の簡易形サポート・ツールとして用意されたものであり、特にそのOS ROM領域にモニタROMを実装することにより、ユーザ・プログラムのデバッグを効果的に行うことができる。一方、本ボードは、OS ROM領域に制御用プログラムを実装することにより、直接に機器に組み込み使用できるようになっており、汎用性を考慮した種々の機能を有している。

Z-80 サポート・ボードとしては、本ボードの他にメモリ・ボードや汎用 I/O インターフェース・ボードがあるが、これらのボードによりSM-Bシステムの拡張が容易に行えるように、ボード間でバス信号の共通化を図っている。

モニタ機能によりユーザ・プログラムのロード、パンチ、実行、デバッグ等を行うことができ、またレジデント・アセンブラやテキスト・エディタもモニタ管理下で 사용할 ことができる。これらの場合の入出力装置として、TTYかRS-232C規格の装置を使用できるようになっているが、ユーザ側で別の入出力装置を定義し、それらをTTYと同じようにモニタで管理することもできる。

1-1 特 長

<ハードウェア>

- (1) Z-80 CPUチップを中心として構成した、ワン・ボード・コンピュータである。
- (2) ユーザRAMとして16ピン・タイプのRAMを使用しており、ソケット実装によりメモリ容量を4Kバイト、または16Kバイトにできる。

4Kバイト実装製品：LH-8H01A、16Kバイト実装製品：LH-8H01B

- (3) OS ROMの容量は4Kバイトであり、1Kバイト単位に実装できる。
- (4) OS ROMとして、2708タイプ、またはそれとピン互換性のあるPROMを実装できる。
- (5) OS ROMとして2Kバイト・モニタを用いることによりユーザ・プログラムの実行、デバッグ等ができる。(2K バイト モニタ オプション)

- (6) 256バイトのOS用スクラッチ・パッドRAM(スタティック)
- (7) ユーザRAM、OS ROMのベース・アドレスを可変できる。
- (8) Z-80 PIOチップによる汎用パラレル I/O インターフェース(8ビットの I/O ポート、2ビットの制御線 各2チャンネル)
- (9) Z-80 CTCチップによるカウンタ・タイマ機能 3チャンネル
- (10) ハードウェア割り込み入力 2本(ユーザ用NMI、ユーザ用INT)
- (11) シリアル I/O インターフェースには TTY、RS-232C規格装置を接続できる。
- (12) ボー・レートを可変できる。110、150、300、600、1200、2400、4800、9600ボー
- (13) 電源投入後、または リセット後のプログラム開始番地を0000かE000のいずれかに選択できる。
- (14) すべてのバス信号線はバッファを内蔵している。

〈ソフトウェア〉

2Kバイト・モニタの特長(2Kバイト・モニタ LH-8S03 はオプション)

- (1) モニタではデータの入出力を次のチャンネルのいずれかを用いて行う。
 - CI コンソール入力チャンネル
 - CO コンソール出力チャンネル
 - OI オブジェクト入力チャンネル
 - OO オブジェクト出力チャンネル
 - SI ソース入力チャンネル
 - SO ソース出力チャンネル
- (2) 通常シリアル I/O インターフェースのドライバ・ルーチンを上記チャンネルに割り当てる。

例 TTY
- (3) 別の I/O インターフェースのドライバ・ルーチンを用意し、それらを上記チャンネルに割り当てることもできる。

例 高速パラレル I/O
- (4) Z-80 CTCを用いて8種類のボー・レートを発生できる。
- (5) モニタ・コマンド 15種

1-2 機能概要

- (1) オブジェクト・プログラムのロード

Lコマンド、インテル16進フォーマット

- (2) オブジェクト・プログラムのパンチ
P コマンド：インテル 16 進フォーマット
- (3) ユーザ・プログラムの実行
G コマンド
- (4) ユーザ・プログラムのデバック
ソフトウェア・ブレイク・ポイント：B、D、K コマンド
ユーザ・プログラムのトレース：T コマンド
ユーザ・プログラムの n 命令実行：S コマンド
メモリ内容の表示と変更：スナップ・ショット
ユーザ CPU レジスタの表示：R コマンド
I/O ポートのテスト：I、O コマンド
- (5) モニタで管理している入出力チャンネル (CI、CO、OI、OO、SI、SO) としてユーザ側で定義した I/O ドライバ・ルーチンを使用できる。
- (6) モニタ・プログラム内の I/O ドライバ・ルーチンをユーザ・プログラム内で使用できる。
- (7) 汎用パラレル I/O インターフェース
PIO の A、B ポート (データ線 8 ビット × 2 制御線 2 ビット × 2)
ユーザ配線領域 (16 ピン DIP IC 4 個実装可能)
50 ピン フラット・ケーブル用 コネクタ 1
- (8) カウンタ/タイマ
CTC 1 個使用、チャンネル 1 ~ 3 ユーザ開放
クロック入力：2.4576 MHz
- (9) リスタート・アドレス切換え機能

1-3 基本仕様

項 目	仕 様
C P U	Z-80 CPU チップ
語 長	1 語 8 ビット
	命 令 8、16、24、32 ビット
	デ-タ 8 ビット
	アドレス 16 ビット
	I/O アドレス 入力、出力 各 8 ビット

項 目	仕 様
最小命令実行時間	8 ビット レジスタ間加算 1.63 μ s 8 ビット レジスタ間転送
CPU クロック	2.4576 MHz (水晶発振器 内蔵) 但し、外部クロック 動作可能
メモ リ	64 Kバイト アクセス可能 (1 Kバイト = 1024 バイト) OS ROM (1) 4 Kバイト (ソケットにより 1 Kバイト単位に 実装可能) (2) ベース・アドレス 4 Kバイト単位に可変 (3) 2708タイプのEPROM、またはそれとピン 互換性のあるPROM 実装可能 OS RAM (1) 256 バイト スタティック RAM (2) アドレス固定 FF00 (h) ~ FFFF (h) ユーザ RAM (1) 16 Kバイトまたは4 Kバイト ダイナミック RAM (2) 16 Kバイト、4 Kバイトどちらでも実装可能 (16ピン ソケット 実装) (3) ベース・アドレス 16 Kバイトまたは4 Kバ イト単位に可変
I/O	パラレル I/O (Z-80 PIO 1個使用) 8 ビット 信号線 $\times 2$ 2 ビット 制御線 $\times 2$ (シェークハンド可能) シリアル I/O (8251 1個使用) モニタで使用 (シリアル・クロック 外部供給 可能) カウンタ/タイマ (Z-80 CTC 1個使用) チャンネル 1 モニタで使用 チャンネル 2 ~ 4 ユーザ開放

項 目	仕 様
I/O アドレス	<p>ユーザ開放 0 0 (16) ~ C F (16)</p> <p>システム使用 D 0 (16) ~ D F (16)</p> <p>但し</p> <p> D 0 P I O ポート A データ</p> <p> D 1 ♫ ポート A コマンド</p> <p> D 2 ♫ ポート B データ</p> <p> D 3 ♫ ポート B コマンド</p> <p> D 8 C T C チャンネル 1</p> <p> D 9 ♫ ♫ 2</p> <p> D A ♫ ♫ 3</p> <p> D B ♫ ♫ 4</p> <p> D C U A R T データ</p> <p> D D ♫ コマンド</p> <p> D E W システム N M I 制御 (N - D E L A Y)</p> <p> R ボー・レート E リセット</p> <p> D F W システム N M I 制御 (D E L A Y)</p> <p> R リーダ・ステップ</p> <p>システム・リザーブ E 0 (16) ~ F F (16)</p>
ボー・レート	<p>ジャンパ線により 8 レベル切換可能</p> <p>1 1 0、1 5 0、3 0 0、6 0 0、1 2 0 0、2 4 0 0、4 8 0 0、9 6 0 0</p> <p>Baud</p>
インターフェース	<p>パラレル I/O (コネクタ J₁)</p> <p> P I A ポート出力 配線なし</p> <p>ユーザ領域 1 6 ピン I C 4 個実装可能</p> <p>シリアル I/O (コネクタ J₂)</p> <p> T T Y (2 0 m A 電流 ループ) 及び</p> <p> R S - 2 3 2 C 規格</p>

項 目	仕 様
	バス (コネクタ J ₃) すべての入出力信号は負論理とする 入力信号 TTL (標準又はLSタイプ) インターフェース 出力信号 TTL (標準タイプ) インターフェース
電 源	+5V ± 5% 2.2 A max +12V ± 5% 450 mA max -12V ± 5% 150 mA max
動 作 温 度	0℃ ～ 50℃
ボ ー ド 寸 法	270 × 190 × 20 単位mm
コネクタ型格	J ₁ 50ピン フラット・ケーブル・コネクタ J ₂ 26ピン フラット・ケーブル・コネクタ J ₃ 100ピン コネクタ 3.175mm ピッチ

J₁ H I F 3 - 5 0 P - 2.5 4 D S (ヒロセ) 相当

J₂ H I F 3 - 2 6 P - 2.5 4 D S (ヒロセ) 相当

J₃ 4 8 0 0 - 1 0 0 - 1 3 5 (ケル) 相当

2. システム構成

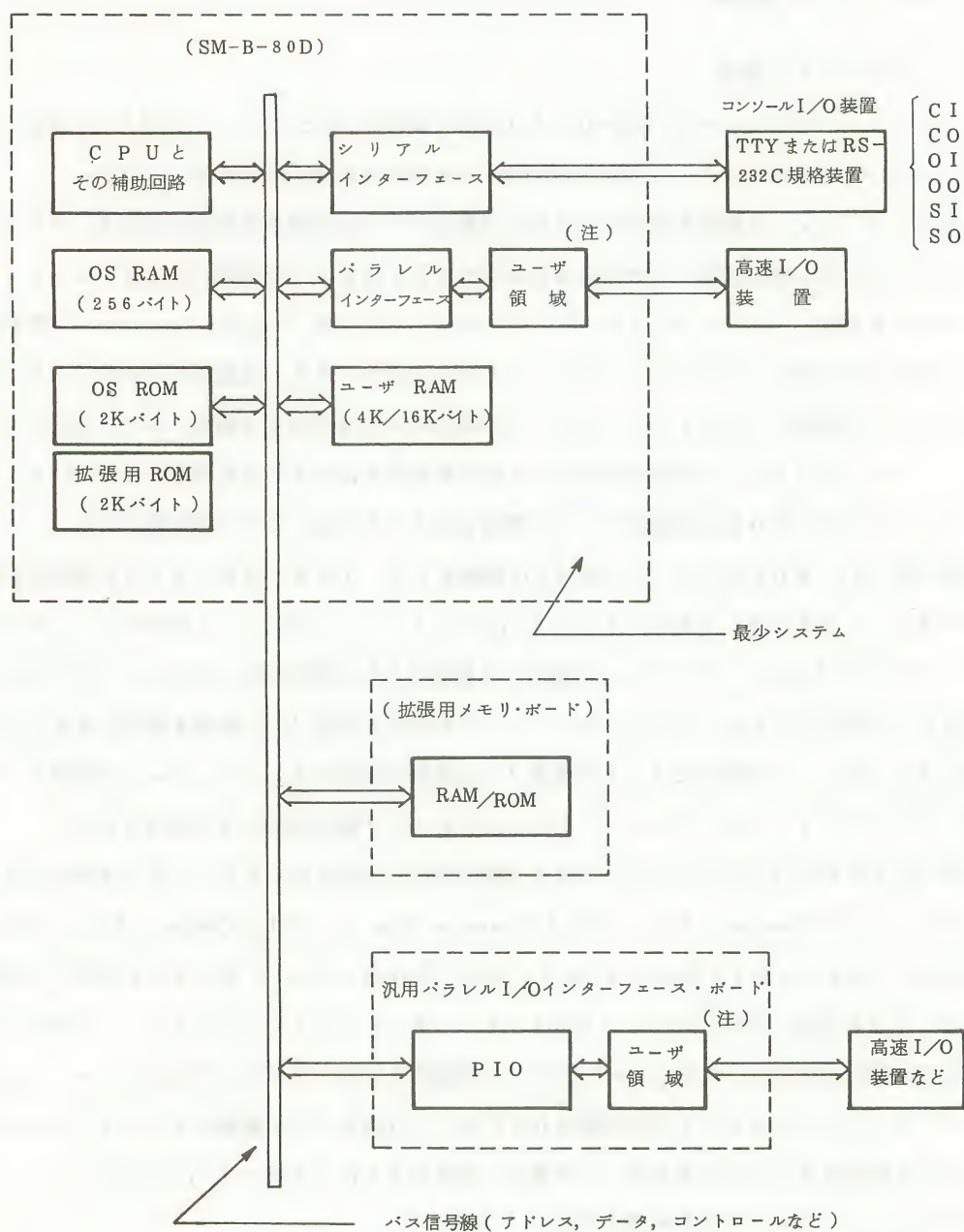
2-1 基本システム構成

ワン・ボード・コンピュータ SM-B-80Dは1枚のボードと、コンソール用 I/O 装置(例 TTY)により、手軽にプログラム開発が行えるように用意されたものである。したがって、ボード上には、コンピュータ機能を実現するために必要なリソースは最小限搭載している。すなわち、CPUチップとその補助回路、OS用のROMやRAM(但し、OS用ROMはオプション)、ユーザ用のRAM、シリアル I/O インターフェースや、パラレル I/O インターフェース等がボード上に実装されており マイクロコンピュータとしての最小システムを構成している。一方 ボード上のメモリ容量、I/O インターフェースの能力だけでは不足する場合、ボード外部にアドレス、データ、コントロール等の拡張用のバス信号線を取り出せるような構成になっている。図2-1は、SM-B-80Dと拡張用ボード(開発予定)からなるシステム構成図である。

通常 SM-B-80Dのコンソール用 I/O 装置として、TTYかRS-232C規格の装置で用いるが、これらはボード上のシリアル I/O インターフェースによって結線する。しかしながら、シリアル I/O インターフェース経由では低速であり不便な場合、SM-B-80D上か、またはボード外のパラレル I/O インターフェースを用いて高速 I/O 装置を動作させることも可能である。但し この場合には、その高速 I/O 装置に適合するインターフェース回路(ハードウェア)とドライバ・ルーチン(ソフトウェア)をユーザ側で用意しなければならない。

SM-B-80Dの I/O データとしては6種類の形式が定義されており、これらに対応するチャンネル CI(Console In)、CO(Console Out)、OI(Object In)、OO(Object Out)、SI(Source In)、SO(Source Out)のいずれかを用いて入出力する。TTYでは、これらのチャンネルは、キー・ボード、タイプ・ヘッド、リーダ等のハードウェアに対応しており、これらのハードウェアを動作させるソフトウェアはシリアル I/O ドライバ・ルーチンとしてモニタ内に内蔵されている。一方高速 I/O 装置によってもこれらのデータ形式を処理することができるが、この場合、前述のようにパラレル I/O インターフェースと、そのドライバ・ルーチンを必要とする。

図2-1のシステム構成では、拡張用のメモリやパラレル I/O インターフェースはSM-B-80D内のCPUによってアクセスされる。SM-Bシステムでは、ボード内部のメモリや I/O インターフェースをボード外部からもアクセスできるように考慮されており、このような用途のために、データ・バスだけでなくアドレス・バスも双方向性としている。また、メモリや I/O 装置に対するコントロール信号(*MREQ、*IORQ、*MI、*RD、*WR、*RFSH)



(注) 目的のI/O 装置に合った回路を作製する。

図2.1 シャープ・マイクロコンピュータ・ボード(SM-B)システム構成

も双方向性となっている。この様子を図2.2に示す。このようにすることによって、SM-B-80D内のメモリやI/O装置(のバッファ)を外部CPUによってアクセスしたり、DMA転送することが可能になり、SM-B-80D単独で使用する用途だけでなく、より大きいシステムが構成でき、システムの自由度が大きくなる。図2.2は、バス・マスタとなるボードを複数個使用し、その間にバス支配の優先レベルを設ける場合の方法を示したものであり、*BUSAKをデージー・チェーン接続にすればよい。

2-2 メモリ・マップ

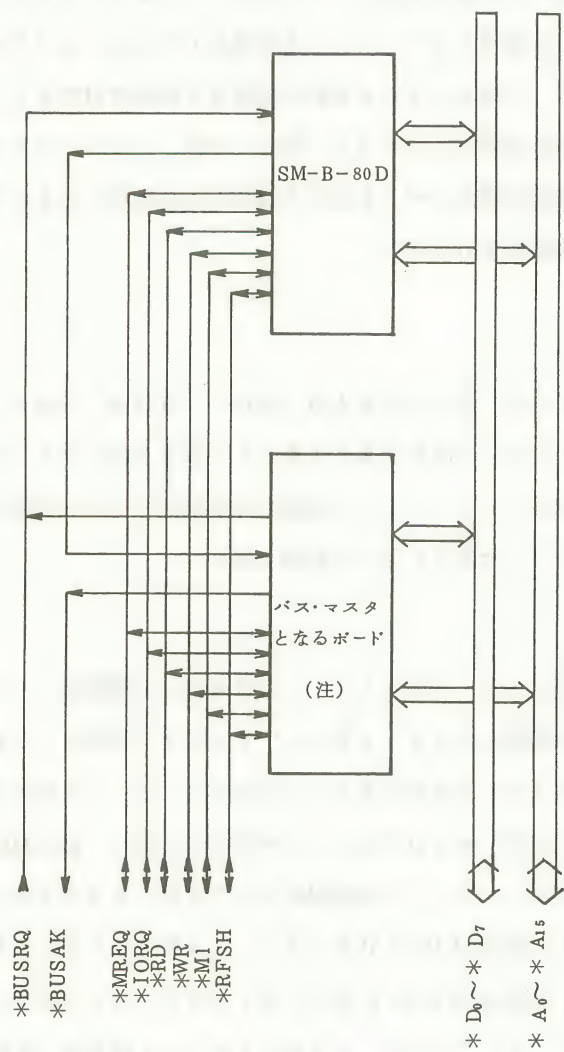
SM-B-80Dのメモリは ①ユーザRAM ②OS ROM ③OS RAMにより構成されている。Z-80 CPUチップは64K(1K=1024)のメモリ・アドレスを指定できるが、①~③のメモリはこのメモリ・アドレス領域内での指定アドレスが決まっている。以下、これら①~③のメモリのアドレス配分について説明する。

ユーザRAM

ユーザRAMは16ピン・タイプのダイナミックRAMを8個使用しており、ボード上のプログラム・ジャンパK₃の切換えにより 4Kビット(4027相当)、16Kビット(4116相当)いずれのタイプのメモリも使用できる。したがって、ボード上のメモリ容量は4Kバイトか16Kバイトである。SM-B-80Dでは、ユーザRAM、OS ROM共にそのベース・アドレスはボード上のプログラム・ジャンパの配線によって変更できるようになっている。ベース・アドレスは、4Kバイトの場合(LH-8H01A)、64Kバイトを16等分することによって求められ、16Kバイトの場合は(LH-8H01B)4等分することによって求められる。この様子を図2.3のメモリ・マップに示す。すなわち4Kバイトの場合、そのベース・アドレスは、0000、1000、2000、……………、E000、F000であり、16Kバイトの場合、0000、4000、8000、C000のいずれかに設定可能である。

OS ROM

OS ROMのメモリ容量は4Kバイトであり、そのベース・アドレスは4KバイトのユーザRAMの場合とまったく同じように設定できる。しかしながら、OS ROMとしてモニタ用ROMを使用する場合、そのベース・アドレスはE000としなければならない。SM-B-80DではOS ROMとして、2708タイプのEPROMを使用することを前提としており、4Kバイトのメモリ領域はさらに1Kバイト単位に分割される。4個のEPROMに配分されるメモリ・アドレスはOS ROMのベース・アドレスが決まると1Kバイト単位に自動的に決定する。



(注) バス・マスタとなるボードとしては、例えばユーザ側で作製したCPUボードやDMAボードがある。

図2.2 バス共用の結線法

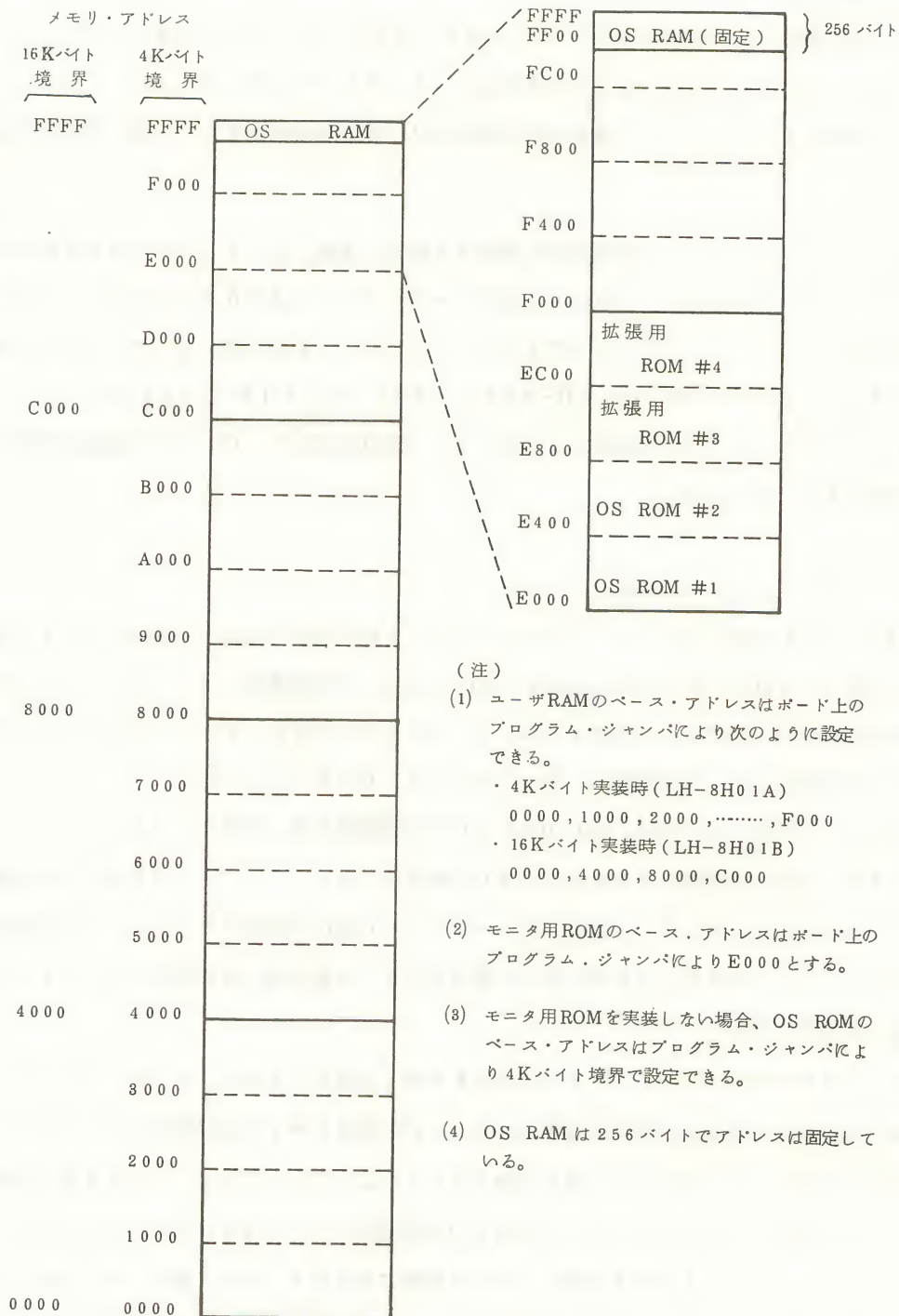


図2.3 メモリ・マップ

OS RAM

OS RAMのメモリ容量は256バイトであり、そのベース・アドレスはハードウェアで固定しており、FF00である。OS RAMはモニタ・プログラムのスクラッチ・パッド・メモリとして用意されており、モニタ用ROM実装時には、通常この領域をユーザ側で使用してはならない。

SM-B-80Dをプログラム開発用途に使用する場合、通常、ボード上のユーザRAMのベース・アドレスは0000とし、OS ROMのベース・アドレスはE000とする。ユーザRAM領域には、レジデント・アセンブラやテキスト・エディタ、あるいは、ユーザ・プログラムをロードする。(レジデント・アセンブラ LH-8S01, テキスト・エディタ LH-8S02はオプション)

なお、①～③のメモリや、拡張用メモリのアドレス配分において、互いにその領域が重複するような使用をしてはならない。

2-3 リスタートとNMI制御

Z-80 CPUではリスタート・アドレス(リセット終了後のプログラム開始アドレス)は0000であり、NMI(Non Maskable Interrupt)の処理開始アドレスは0066である。SM-B-80Dでは通常モニタ管理下でユーザ・プログラムの実行、デバッグ等を行うために、これらの処理開始アドレスを変更し、各々、E000、E066としている。

リスタートが問題となるのは、SM-B-80Dへの電源投入後、及びボード上のリセット・スイッチSW₁を投入した場合であるが、いずれの場合もリスタート・アドレスをE000に強制的にすることにより、プログラムはモニタ・ルーチンから実行を開始する。但し、この動作が行われるのは、スイッチSW₂をE側に倒した場合であり、0側に倒した場合はリスタート・アドレスは0000となる。

SM-B-80Dではモニタ・プログラム内でもNMIを使用しており、ユーザ・プログラム内でNMIを使用する場合と区別する必要がある。この区別はNMIの処理開始アドレスをモニタ・プログラムとユーザ・プログラム間で切替えることによって行っている。モニタNMIの処理開始アドレスはE066であり、ユーザNMIの処理開始アドレスは0066である。図2.4にリスタート・アドレスとNMI処理アドレスの制御の考え方を、また、図2.5にそのメモリ・マップを示す。図2.4において、*NMIUは、ユーザ用NMIのバス信号線であり、ユーザに開放されているものである。*NMIDはモニタで使用しているNMI信号である。ポート・アドレスDEまたは、DFに対する出力命令によって*NMIDとMNT R信号が出力し

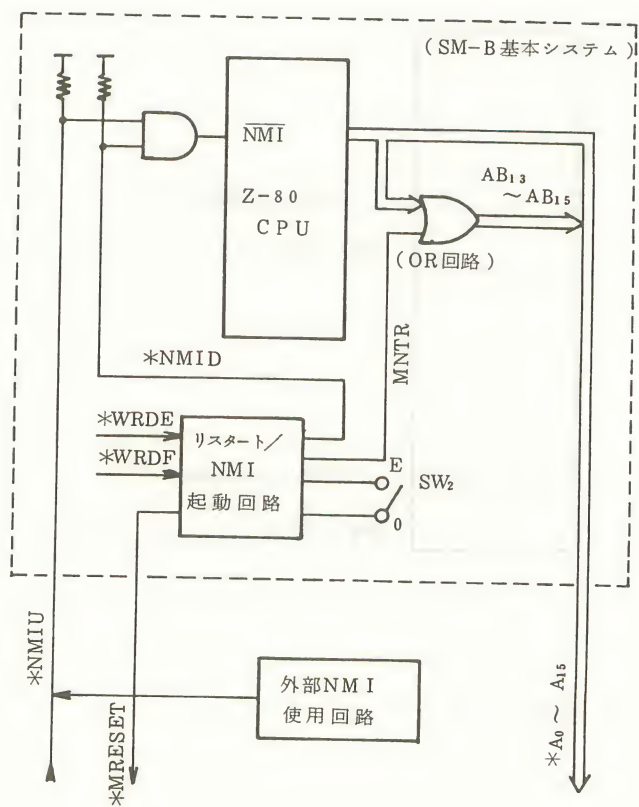


図2.4 リスタート・アドレスとNMI処理アドレスの制御

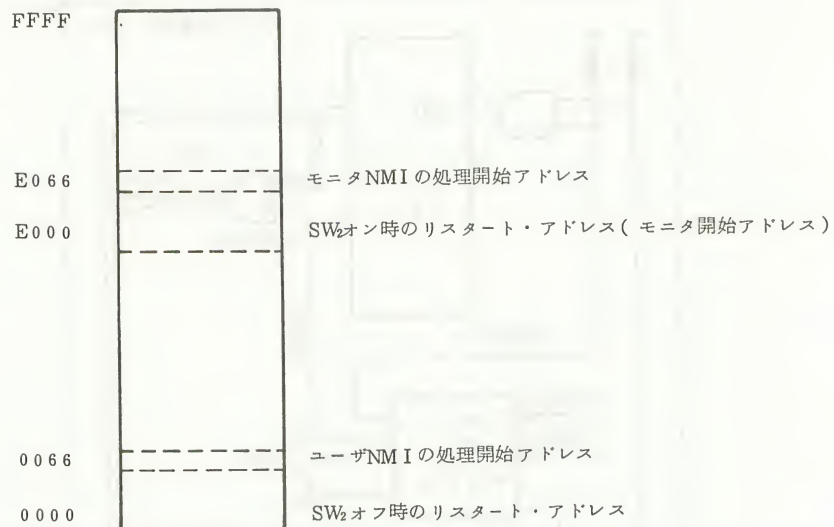
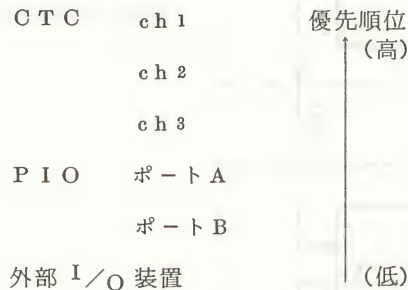


図2.5 NMIメモリ・マップ

プログラム制御はE066に移る。なおモニタ用NMIの制御においてはスイッチSW₂の状態は関係しない。一方、電源投入後、または、SW₁ オン時には、SW₂ がE側にある場合に限りMNT R信号が出力する。詳細は3.2.6 参照。

2-4 INT割り込み

図2.6は、SMB-80D内におけるINT関係の信号線を示したものである。モニタ・プログラム内では、CPUのINT信号は使用しておらず、本ボードではINT割り込みの使用はすべてユーザ側に委せられている。図において、CTCのチャンネル0はポーレート発振器用として、SMB-80D内で使用されているのでユーザ側での使用はできない。このため、チャンネル0からの割り込みはモニタ・プログラムによりマスクされている。図からもわかるように、SMB-80DではINT割り込みはモード2での使用を前提としており、CTCのチャンネル1、2、3、PIOのポートA、Bの順にデジー・チェーン接続になっている。また、PIOのIEO出力はボード外部へ取り出せるようになっており、図のように外部I/Oインターフェースもデジー・チェーン接続にできる。この場合の割り込み優先順位は次のようになる。




INT割り込みをモード2で使用する場合、次の点に留意しなければならない。まず、電源投入後やりセット後ではCPUのINT割り込みはモード0になっているので、モード2にプログラムしなければならない。さらに、各INT割り込みの開始アドレス（下位バイト）を与えるポインタを指定するために、CPUのIレジスタとCTC、PIO等の各コントロール・レジスタにベクタをロードしなければならない。

SM-B-80Dでは、上記のモード2以外にモード0やモード1の割り込みを使用することも可能であるが、これはCPUにINT割り込みのモードを指示することによって行う。シリアル・インターフェースの8251から割り込みをかけることもできるが、これは通常ジャンパ線K₁により動作しないようにしている。

3. ハードウェア

3-1 構成

図3. 1は、SM-B-80 Dのブロック図であり、で囲まれた部分は各機能単位のブロックを示している。太線はバス信号を示し、細線は1本の信号を示している。各ブロックの動作は次の3. 2において述べるので、ここでは全体的な動作について説明する。

SM-B-80 DはZ-80 CPUチップを中心として、図に示すように13のブロックにより構成されている。

アドレス・バッファはCPUから出力するアドレス信号をまずバッファし、ボード内の各ブロック、及びボード外部へ供給する。アドレス・バッファを双方向性とすることにより、ボード外部から内部のメモリやI/O バッファをアクセスできるようになっている（これはDMA転送やマルチCPUのときに用いる）。

データ・バッファはデータの双方向性バッファ、及び レシーバとドライバの制御回路により構成される。レシーバは通常ディセーブルになっており、レシーバの制御は外部制御信号*REN Bによってのみ可能となる。ドライバはSM-B-80 D内のメモリかI/O インターフェースが読み出された場合にイネーブルになり、外部に対してデータを出力する。なお、ドライバは外部制御信号*DDISによっても制御可能である。

コントロール・バッファは2つに分かれる。一方はCPUへの制御入力に対するバッファであり、*WAIT、*BUSRQ、*NMIU、*INTU信号をバッファする。他方はCPUからの制御出力に対するバッファである。制御出力のうち*HALT、*BUSAKは出力専用でありボード自身の状態を表わす。*MREQ、*IORQ、*RD、*WR、*MI、*RFSHに対するバッファは双方向性であり、ボード外からこれらの制御線を使用できるようになっている。

クロック発振器は水晶発振回路とバッファから成り、CPU、ボード内の各部、及び ボード外部へクロックを供給している。クロックは外部から供給することもできる。

リセット回路はCPU、及び 各部へのリセット信号を作成する回路であり、パワー・オン・リスタート回路とマニュアル・リセット回路から成る。マスタ・リセット信号*MRSETは双方向性であり、外部からもSM-B-80 Dをリセットできる。

リスタート/NMI起動回路は2つの機能を有している。一方はパワー・オン・リスタートやマニュアル・リセットやモニタでのNMIの使用時に、アドレスの上位3ビット(A B₁₅~₁₃)を強制的に1にする信号MNT Rを作成する回路であり、他方はモニタ・ルーチンで使用するNM

I 信号(* N M I D)を作成する回路である。モニターのトレース、ステップ、ブレイク・ポイントの各コマンドでは N M I 信号を使用している。

アドレス・デコータはメモリ・アドレス・デコーダと I/O ポート・アドレス・デコーダに分類できる。メモリ・アドレス・デコーダは OS、ROM、OS、RAM、ユーザ RAM の各選択信号を作成し、I/O ポート・アドレス・デコーダはカウンタ/タイマ、パラレル I/O インターフェース、シリアル I/O インターフェース、ボードのステータスやコマンド・ビットの各選択信号を作成する。

OS ROM のメモリ容量は 4 K バイトであり、1 K バイト単位にソケット実装ができる。通常 ROM としては 2708 タイプの EPROM を使用するが、2708 とピン互換性のある PROM も実装できるように電源ラインを考慮してある。モニタを用いる通常の使用法では、モニタ用 EPROM をソケット # 1、# 2 に実装する。(モニタ LH-8S03 はオプション)

OS RAM のアドレスは固定しており、FF00 ~ FFFF の範囲の 256 バイトである。OS RAM としては、2111 タイプのスタティック RAM (18 ピン 256 × 4 ビット) を 2 個使用する。

ユーザ RAM は 16 ピン・タイプのダイナミック RAM と RAS/CAS 切換え回路、及びデータ・バッファから成る。ダイナミック RAM は 4 K ビット (4027 相当)、16 K ビット (4116 相当) いずれのタイプでも使用できるようにソケット実装になっている。

カウンタ/タイマ回路は、CTC チップとボー・レート設定回路から成る。ボー・レート設定回路は 3 ビットのプログラム・ジャンパにより 8 種類のボー・レートを設定できる。CTC はチャンネル 0 をモニタで使用している。チャンネル 0 をタイマ・モードで使用するにより、UART 用のボー・レート・クロックを作成しているが、ボー・レートの選定は既述の 3 ビットのジャンパの状態をプログラムにより読み込むことにより行う。

パラレル I/O インターフェースは PIO チップとユーザ領域、及び インターフェース用 50 ピン・コネクタから成る。PIO の A、B ポート入出力は何も配線されていない。PIO をどのように使用するかはユーザ側に委されている。ユーザ領域は、16 ピンの DIP IC を 4 個実装できる。

シリアル I/O インターフェースは UART (8251 相当) と、TTY 及び RS-232C インターフェース回路により構成されている。UART に対するシリアル・クロックは既述のように CTC のチャンネル 0 から供給しているが、外部からシリアル・クロックを供給することもできる。

3-2 動作

3-2-1 アドレス・バッファ

図3.2 にアドレス・バッファの回路図を示す。U₅₇ ～ U₆₀ は双方向性バッファ 8T26 である。アドレス信号のうち、ビット0～11とビット12～15の動作は異なる。

アドレス信号 A₀ ～ A₁₁ は *BUSAK = H のときバス信号 *A₀ ～ A₁₁ として外部へ出力する。また、U₅₇ ～ U₅₉ のレシーバは常にイネーブルになっており、ドライバの出力信号、または外部からの入力信号はレシーバを経てボード内の各部に供給される。*BUSAK = L のときドライバ出力はトライ・ステートになるが、外部からはアドレス信号を供給できる。

アドレス信号 A₁₂ ～ A₁₅ は図に示すように、CPUの出力とレシーバの出力をワイアドOR にしてボード内各部に供給している。U₆₀ において、ドライバとレシーバは *BUSAK により制御されており、*BUSAK = H のときレシーバ出力がトライ・ステートになり、*BUSAK = L のときドライバ出力がトライ・ステートになる。ボード内の各部に供給されるアドレス信号 A_{B0} ～ A_{B15} は正論理となっており、リスタート / NM I 起動回路の出力信号 MNT R が H レベルのとき A_{B13} ～ A_{B15} は強制的に 1 になる。

3-2-2 データ・バッファ

図3.3 にデータ・バッファの回路図を示す。U₆₂、U₆₃ は双方向性バッファ 8T26 である。

U₆₂、63 のレシーバはバス信号線 *RENB によって制御され、通常レシーバはデイスエーブルされている。*RENB = L のときレシーバはイネーブルになりボード外部からデータを入力できる。

U₆₂、63 のドライバはバス信号線 *DDIS、または内部ドライバ制御信号により制御される。ドライバがイネーブルになる条件は、*DDIS = H、かつ内部ドライバ制御信号 = H のときであり、さらに内部ドライバ制御信号が H レベルとなるのは次のいずれかの場合である。

- ① *MREQ か *IORQ が L レベルであり、かつ、*M₁、*BUSAK、*RD がいずれも H レベルのとき。
- ② RF SH = H、かつ *RD = L、かつ *MREQ = L であり、SM-B-80D 上のいずれかのメモリがアクセスされたとき。

3-2-3 コントロール・バッファ

図3.4 にコントロール・バッファの回路図を示す。U₆₁、U₆₄ は単方向バッファ 8T97

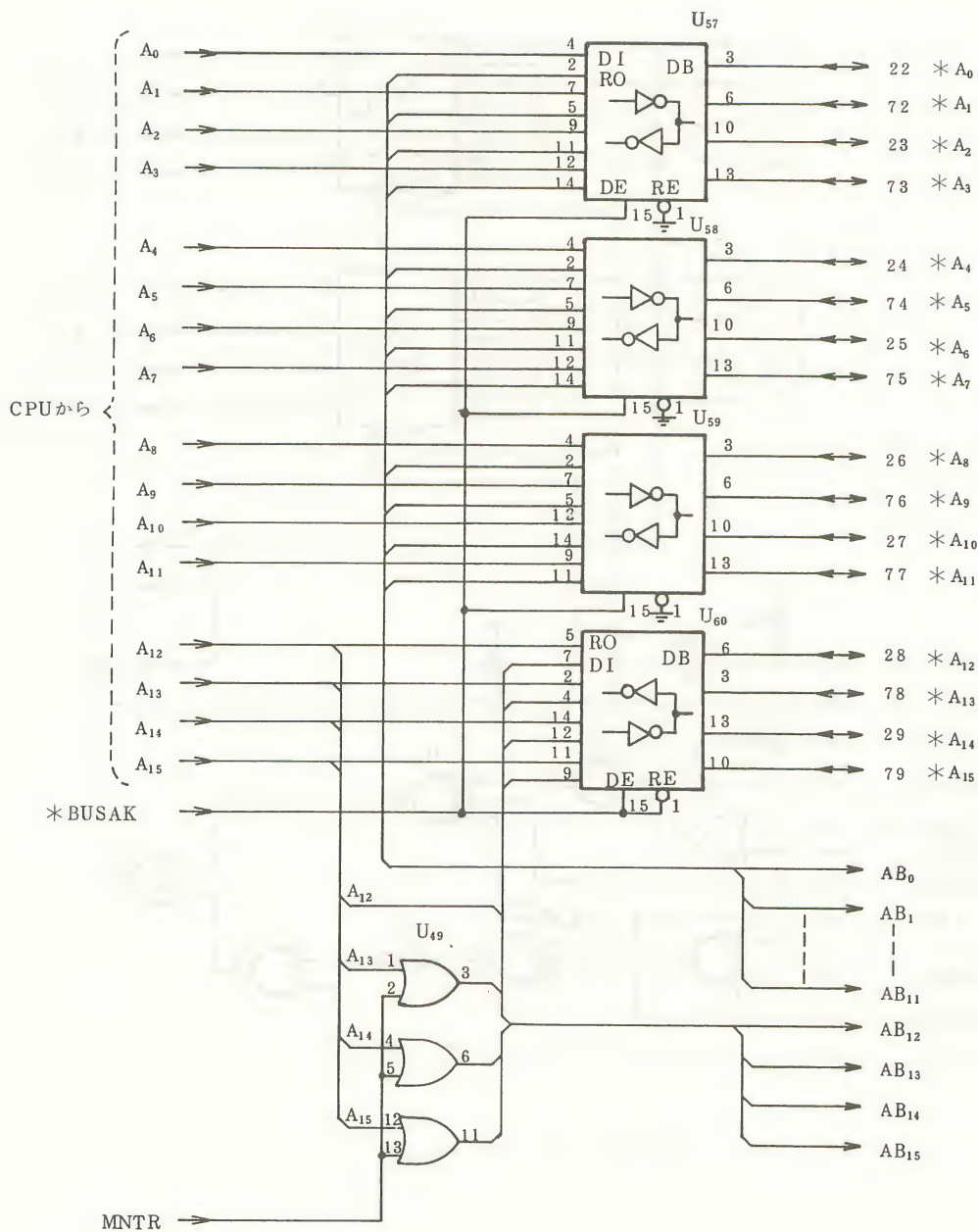


図3.2 アドレス・バッファ

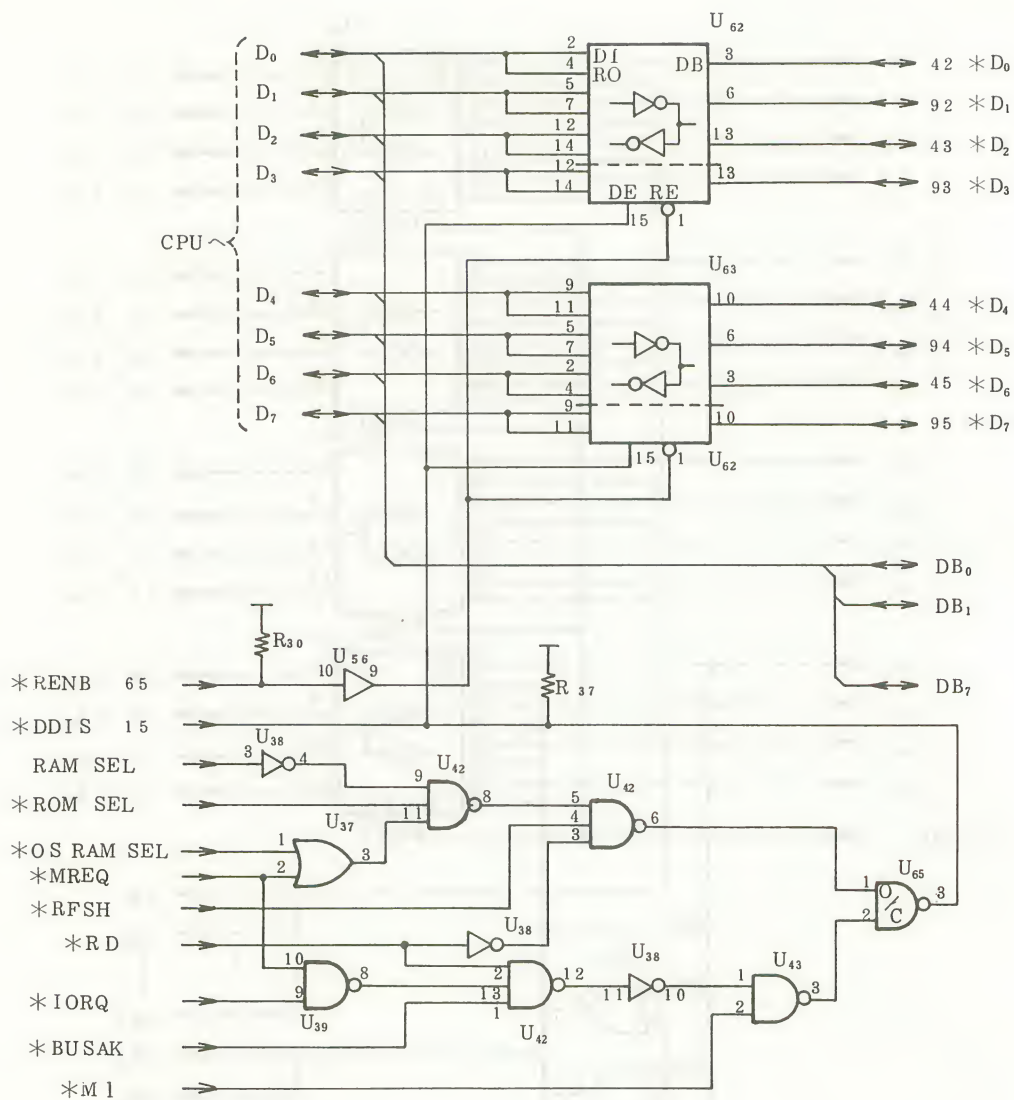


図3.3 データ・バッファ

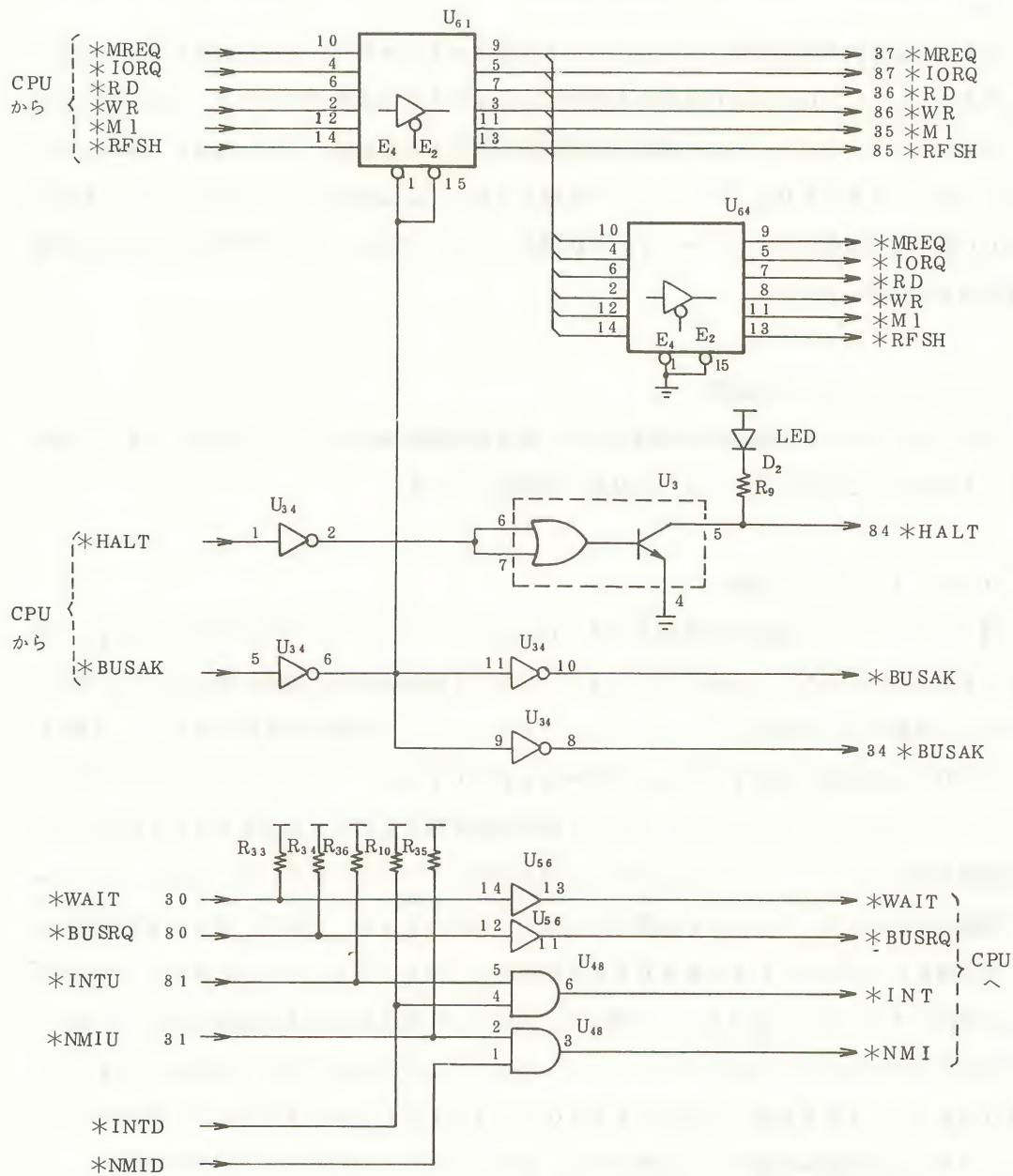


図3.4 コントロール・バッファ

である。

HALT命令の実行の結果、CPUがホルト状態になると*HALT=Lとなり、LEDが点灯する。また、CPUが*BUSRQを受け付けると*BUSAK=Lとなり、U₆₁の出力はトライ・ステートとなってCPU側からの制御出力信号*MREQ、*IORQ、*RD、*WR、*M₁、*RFSHはフローティング状態となる。U₆₄は常にイネーブルになっているので、CPU側からの制御信号がフローティング状態となっている場合、ボード外部からこれらの信号を入力することもできる。

3-2-4 クロック発振器

図3.5にクロック発振器の回路図を示す。基本発振周波数は4.9152MHzであり、SM-B-80Dでは2分周した2.4576MHzを使用している。

3-2-5 リセット回路

図3.6にリセット回路の回路図を示す。U₄₄はシュミット・トリガのNANDである。このNANDの入力のうち、一方はパワー・オン・リセット回路の出力に接続し他方はマニュアル・リセット回路の出力に接続している。パワー・オン・リセット回路の時定数CRにより、SM-B-80Dでは電源投入後約100msの間*MRESETはLレベルになりボード内の各部のイニシャライズを行う。マニュアル・リセット回路の時定数CRにより*MRESETは約15μsの間負方向のリセット・パルスとなりボード内各部のイニシャライズを行う。なお、このリセット回路によりイニシャライズされる素子として、CPU、PIO、CTC、8251等がある。バス信号として出力している*MRESETは図のようにオープン・コレクタを用いているので入力信号とすることも可能であり、外部からこのボードをリセットする用途に用いられる。CPUのリセット中はCPUからリフレッシュ・アドレスは出力しないので、外部からSM-B-80Dをリセットする場合、*MRESETのパルス巾を余り大きくするとボード内部のダイナミックRAMの情報が消滅する可能性がある。図3.7にリセットのタイミングを示す。

3-2-6 リスタート/NMI起動回路

図3.8にリスタート/NMI起動回路の回路図を示す。この回路の出力はMNTTRと*NMI Dである。MNTTRはアドレスの上位3ビットを強制的に1にする信号でありアドレス・バッファに入力している。*NMIDはモニタ・ルーチンにおいて制御されており、モニタ・コマンドのステップ、トレース、ブレイク・ポイントにおいて使用される。

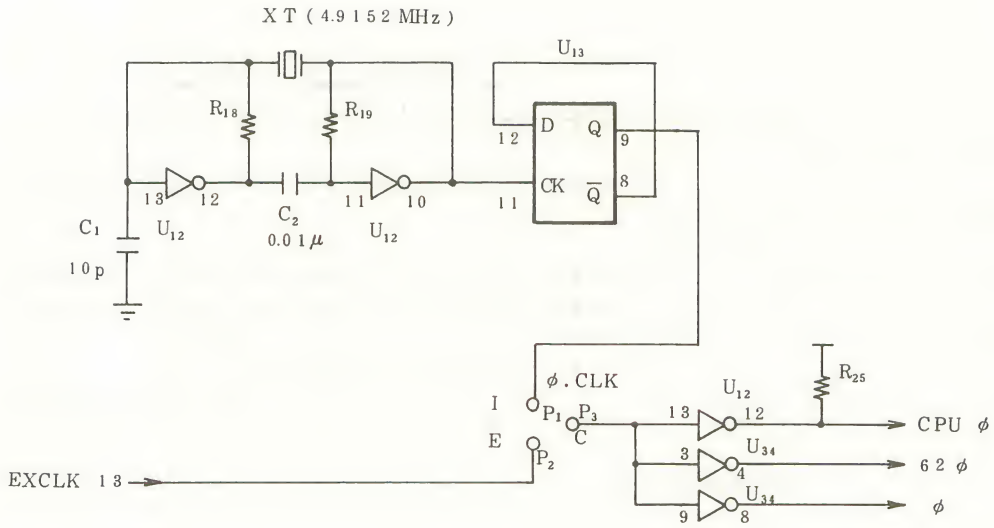


図 3.5 クロック発振器

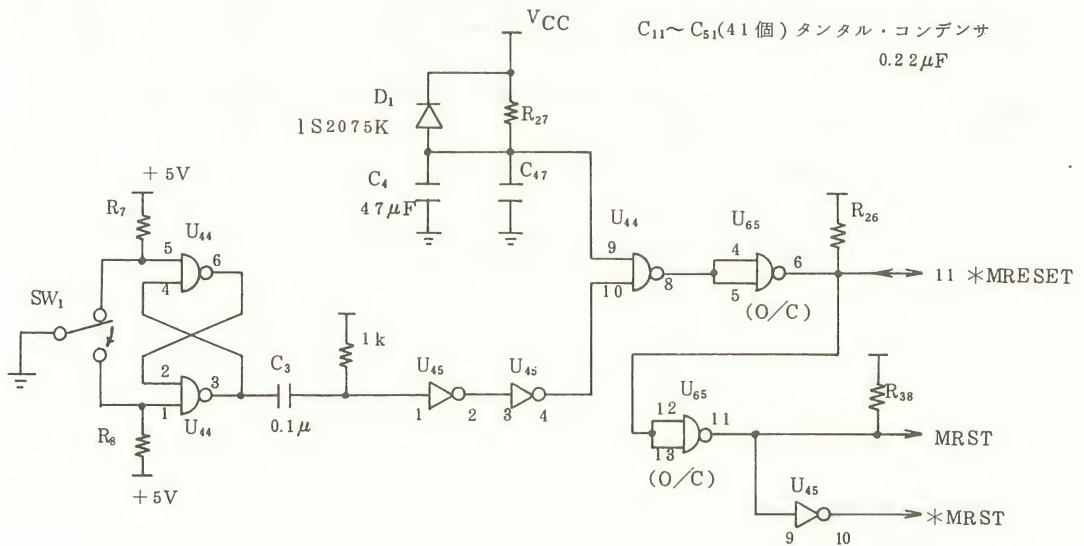
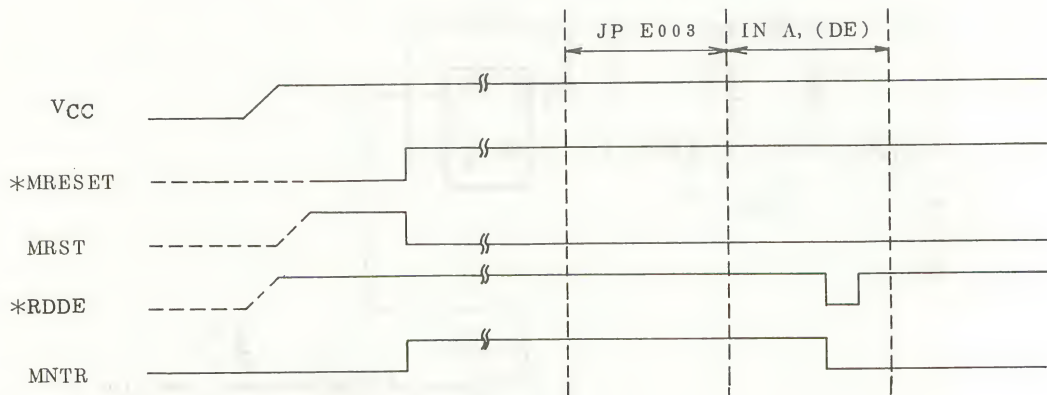
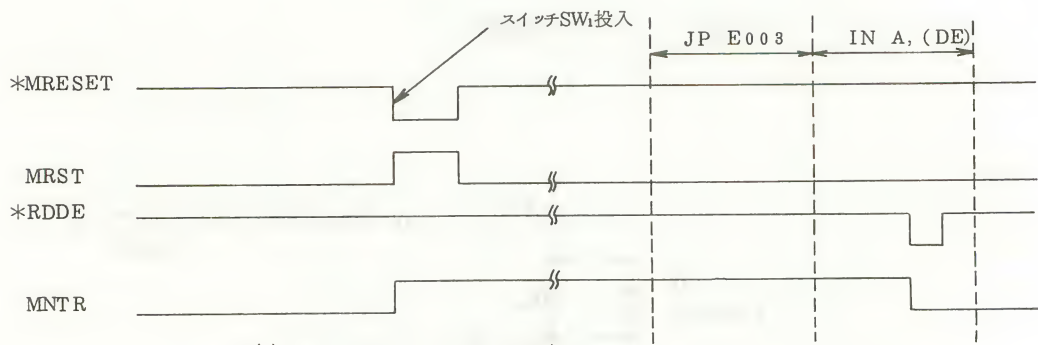


図 3. 6 リセット回路



(a) 電源投入時



(b) マニュアル・リセット時

図3.7 リセット／リスタート タイミング

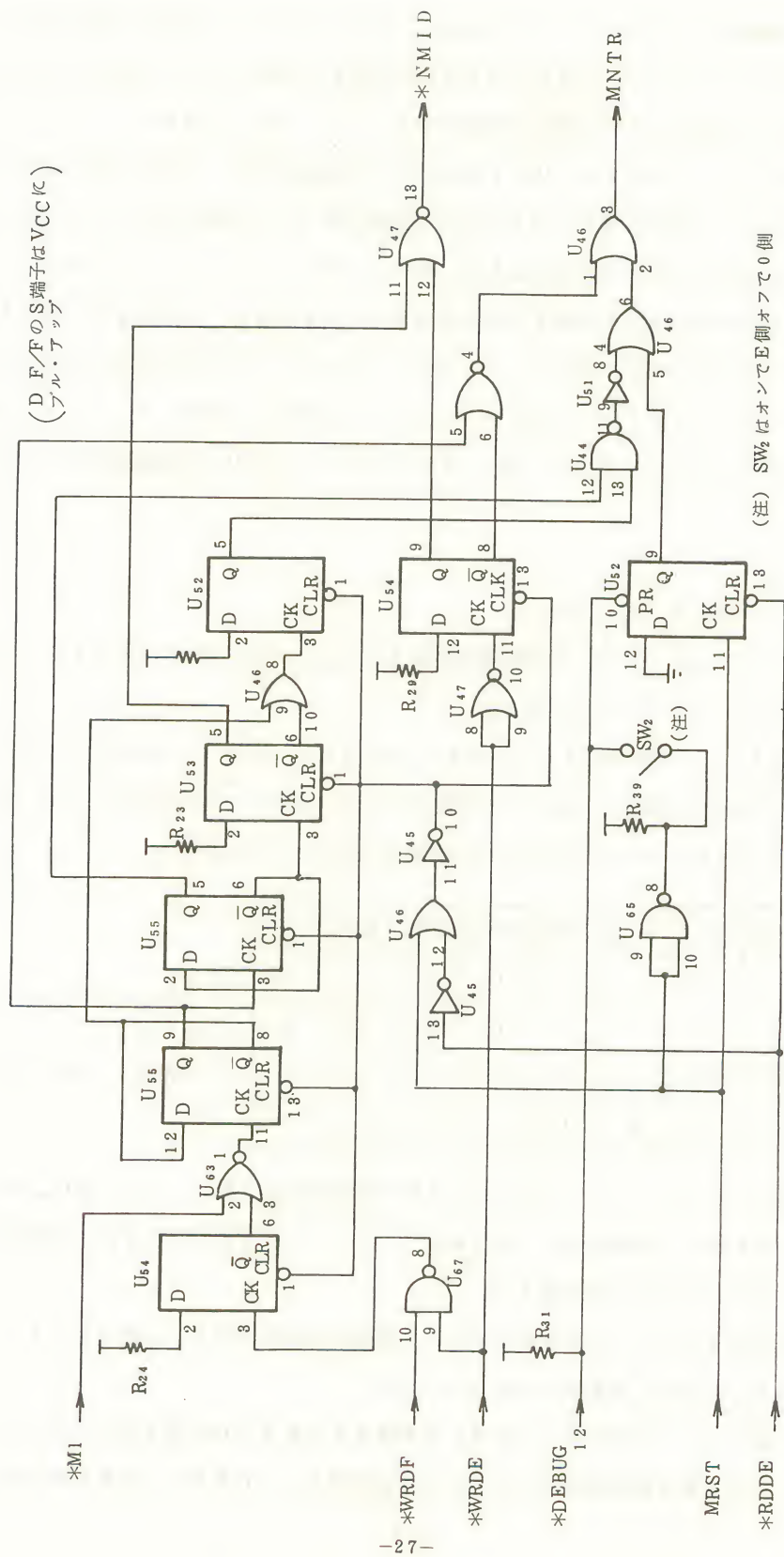


図3.8 リスタート/NMI 起動回路

この回路は機能的に3つのブロックに分かれる。図3.8において上段の5個のD型フリップ・フロップは、ポート・アドレスDFに対する出力命令から5M₁ サイクル後に*NMIDとMNTTRを出力する回路である。中段の1個のD型フリップ・フロップはポート・アドレスDEに対する出力命令により*NMIDとMNTTRを出力する回路である。下段の1個のD型フリップ・フロップはリセット直後にMNTTRを出力する回路であり、この動作はスイッチSW₂ がオン（ボード上ではE側）のときのみ有効である。なお、このフリップ・フロップではSW₂ に関係なく外部信号*DEBUGによりMNTTRを出力することもできる。*NMIDとMNTTR信号は一度出力すると次に上述のD型フリップ・フロップをリセットするまで保持されており、これらのフリップ・フロップのリセットはマスタ・リセット信号か、または、ポート・アドレスDEに対する読み出し命令によって行う。図3.9にリスタート/NMI起動回路のタイミングを示す。

3-2-7 アドレス・デコーダ

図3.10 にアドレス・デコーダの回路図を示す。U₃₃、U₃₅ はデコーダ74139であり、U₄、U₆ はデコーダ74155である。

U₃₃ の入力はアドレスの上位4ビットであり、この4ビットをデコードすることにより、OS ROM、ユーザRAMに対する4Kバイト境界のベース・アドレスを作成する。U₃₃ の出力1Y₀ ~ 2Y₃ がLレベルとなるのは次の場合である。この表より

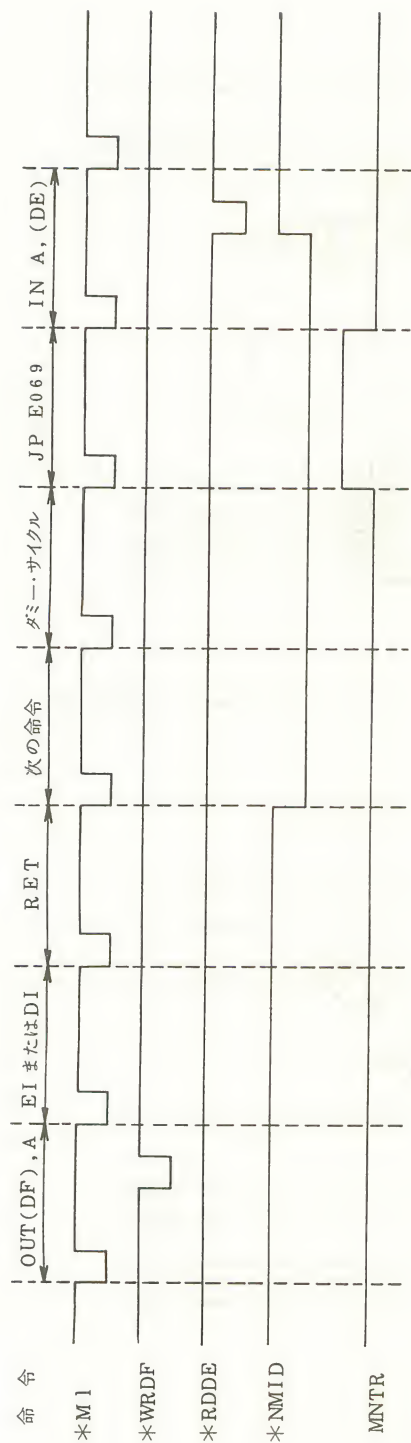
	1Y ₀	1Y ₁	1Y ₂	1Y ₃	2Y ₀	2Y ₁	2Y ₂	2Y ₃
AB ₁₅	×	×	×	×	0	0	1	1
AB ₁₄	×	×	×	×	0	1	0	1
AB ₁₃	0	0	1	1	×	×	×	×
AB ₁₂	0	1	0	1	×	×	×	×

出力がLレベルとなる組合せ
×印は1、0いずれでもよい

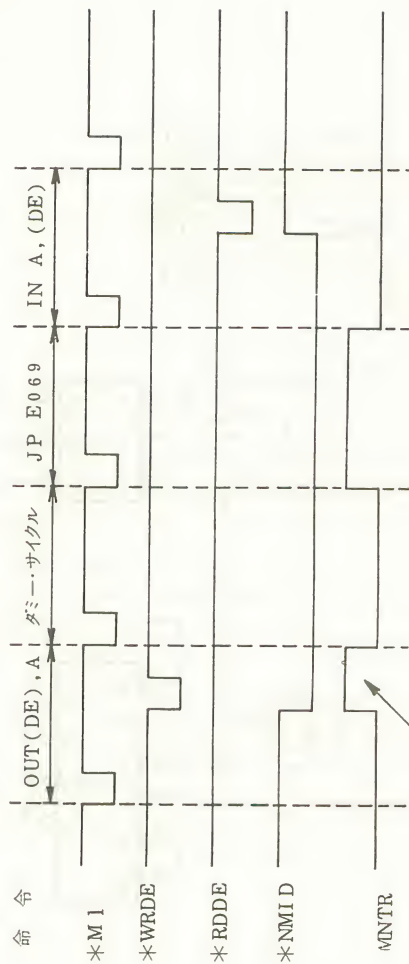
ユーザRAMのベース・アドレスを0000にする場合には1Y₀、2Y₀をU₃₆の入力とすればよいことがわかる。同様にOS ROMのベース・アドレスをE000にする場合には、1Y₂、2Y₃をU₃₇の入力とすればよい。

OS ROMは4Kバイトをさらに1Kバイト単位に分割しており、このアドレス・デコードはAB₁₁、AB₁₀をU₃₅に加えることによって行う。

OS RAMのデコードはAB₁₅ ~ AB₈を直接8入力NANDに加えることによって行う。したがって、OS RAMの割り当てアドレスは固定であり、FF00 ~ FFFFである。



(a) ステータス、トレースの場合



(b) ブレーク・ポイントの場合

(注) この期間アドレスの上位8ビット
($AB_{15} \sim AB_{13}$) はHレベルとなる。

図3.9 リスタート/NMI 起動回路タイミング

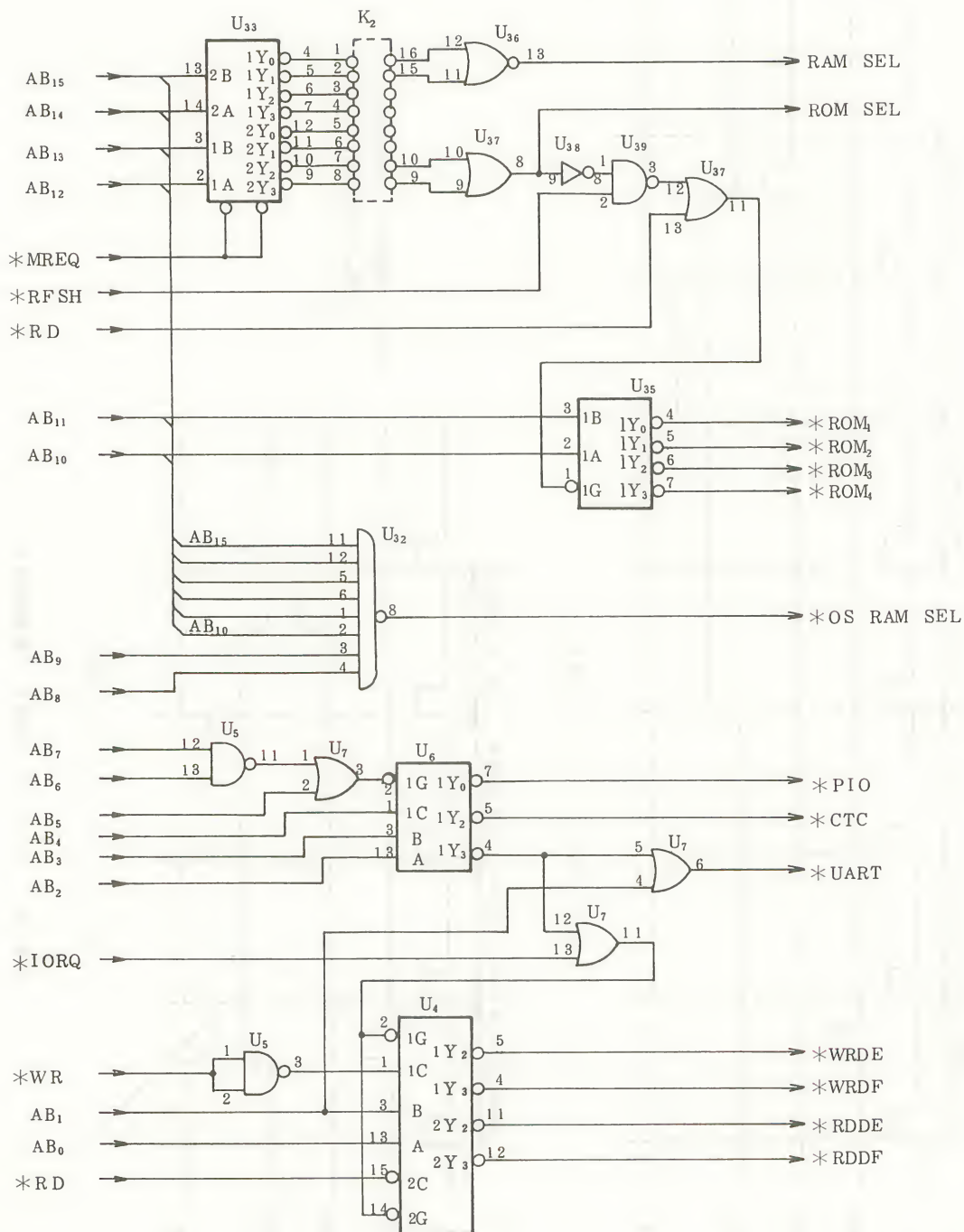


図8.10 アドレス・デコーダ

U₄、U₆ はポート・アドレスのデコーダであり、各出力信号がLレベルになる条件を次の表に示す。表で×印の個所は0、1いずれでもよいことを示しているが、PIO、CTC、UARTを選択する場合、これらの×印の信号は各デバイス側では確定している。

	*PIO	*CTC	*UART	*WRDE	*WRDF	*RDDE	*RDDF
AB ₇	1	1	1	1	1	1	1
AB ₆	1	1	1	1	1	1	1
AB ₅	0	0	0	0	0	0	0
AB ₄	1	1	1	1	1	1	1
AB ₃	0	1	1	1	1	1	1
AB ₂	0	0	1	1	1	1	1
AB ₁	×	×	0	1	1	1	1
AB ₀	×	×	×	0	1	0	1
*IORQ	×	×	×	0	0	0	0
*RD	×	×	×	1	1	0	0
*WR	×	×	×	0	0	1	1

3-2-8 OS ROM

OS ROMはソケットにより実装し、2708タイプのEPROMを最大4個まで装着できる。各EPROMは、アドレス・デコーダの出力信号*ROM₁～ROM₄によって選択される。OS ROMとしてEPROMの代りに、2708とピン互換性のあるバイポーラPROMを実装することもできるが、この場合、K₃によって電源線を一部変更しなければならない。(表3.10参照) バイポーラPROMの例 LH-7055。

3-2-9 OS RAM

OS RAMとして2111タイプのスタティックRAMを2個使用している。このタイプのメモリは256×4ビットの構成である。OS RAMの選択信号である*OS RAM SEL はアドレスFFF00～FFFFFの範囲でLレベルになり、これをメモリの*CE₁端子に印加している。また、メモリの*CE₂端子には*MREQ、R/W端子には*WR、OD端子には*RD信号を印加している。

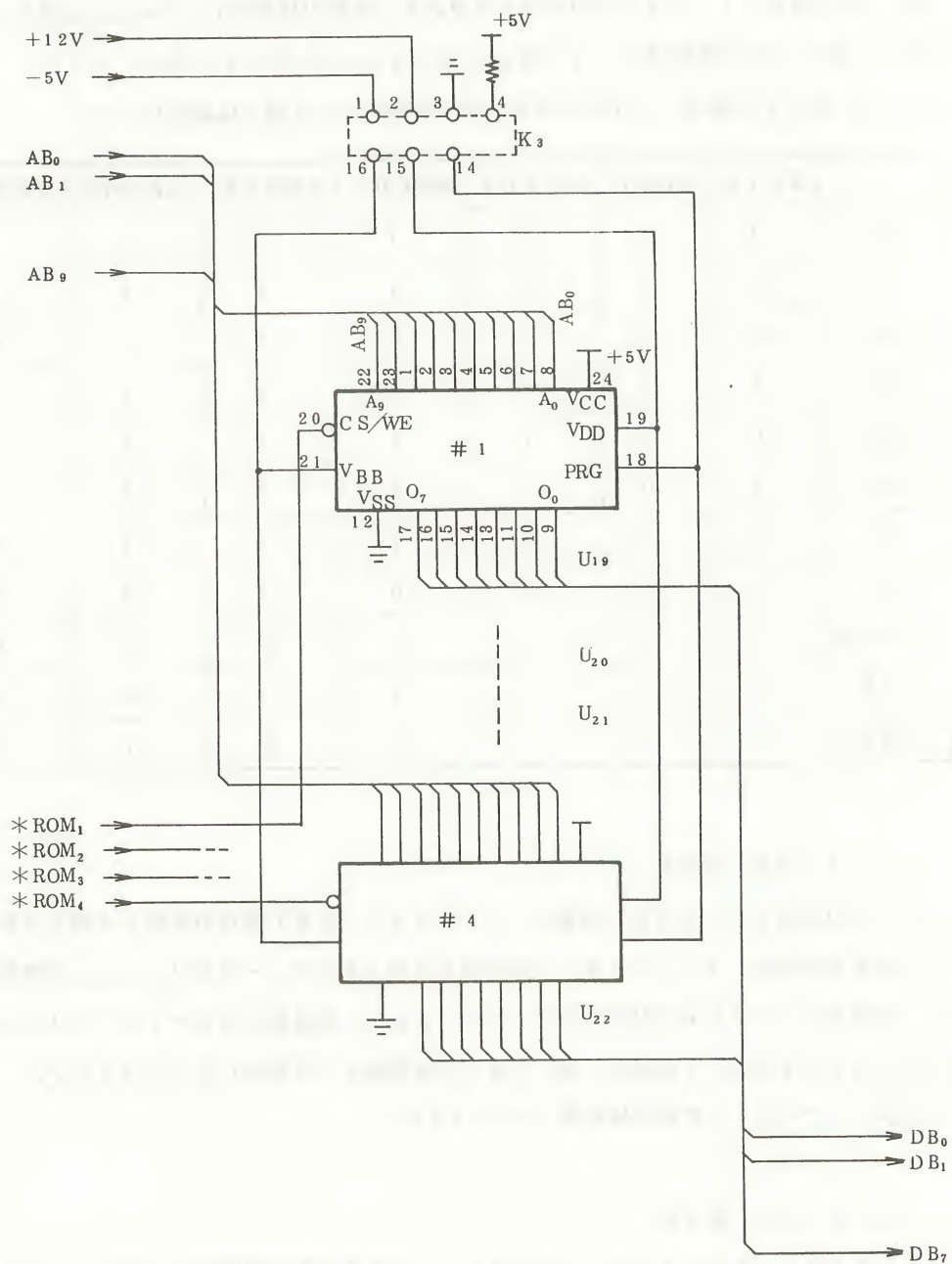


图 3. 11 OS ROM

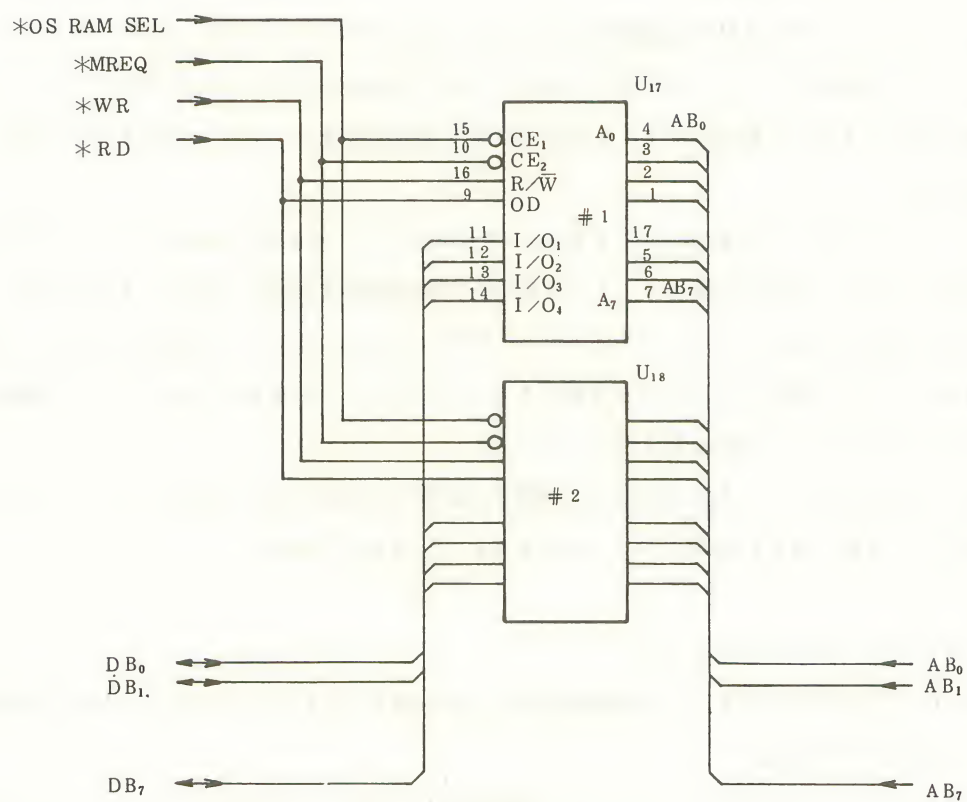


图 3.12 OS RAM

3-2-10 ユーザRAM

図3.13にユーザRAMの回路図を示す。U₁₆、U₃₁はデータ・マルチプレクサ74157であり、U₁₄は単方向バッファ8T97である。U₂₃～U₃₀は16ピン・タイプのダイナミックRAMであり、4027相当か4116相当のメモリを実装できる。U₂₃～U₃₀はソケットにより実装する。

U₁₆とU₃₁は16ピンRAMのロー（Row）アドレスとコラム（Column）アドレスの切り換えを行っており、その切り換えタイミングはU₅₀の遅延時間を利用して行う。4KRAM（4027相当）ではロー・アドレスとコラム・アドレスは各々6ビットであるのに対し、16KRAM（4116相当）ではそれらは各々7ビットである。そのため、K₃のジャンパ線によって6ビットと7ビットの切り換えを行っている。

U₁₄、U₁₅はダイナミックRAMの入出力端子を分離するために用いており、イネーブルになる条件はRAMSELがHレベル、かつ*RD=Lのときである。

3-2-11 カウンタ／タイマ

図3.14にカウンタ／タイマの回路図を示す。U₄₀はZ-80CTCであり、U₁₁は単方向バッファ8T97である。

CTCは4チャンネルのカウンタ／タイマ回路であり、各チャンネルのポート・アドレスは次のようになっている。3.2.8の表の*CTCの項参照。

チャンネル0 D8

チャンネル1 D9

チャンネル2 DA

チャンネル3 DB

通常チャンネル0はポー・レート・クロック作成用としてモニタで使用しており、ユーザ側で使用してはならない。チャンネル0の出力ZC/T0₀はポー・レートの16倍のクロックが出力しており、これをUARTのシリアル・クロックとしている。シリアル・クロックをXSKLK端子を用いて外部から供給する場合、チャンネル0をユーザ側で使用してもよい。チャンネル1～チャンネル3はユーザに開放されている。チャンネル1の出力ZC/T0₁はチャンネル0の入力CK/TRG₀に接続しているが、これはチャンネル0、チャンネル1を縦続接続にすることによってカウント数を大きくするためのものである。

モニタではチャンネル0をタイマ・モードで使用しており、基本クロックはCPUに供給するクロックと同じ周波数2.4576MHzとしている。シリアル・クロック（SERCLK）は

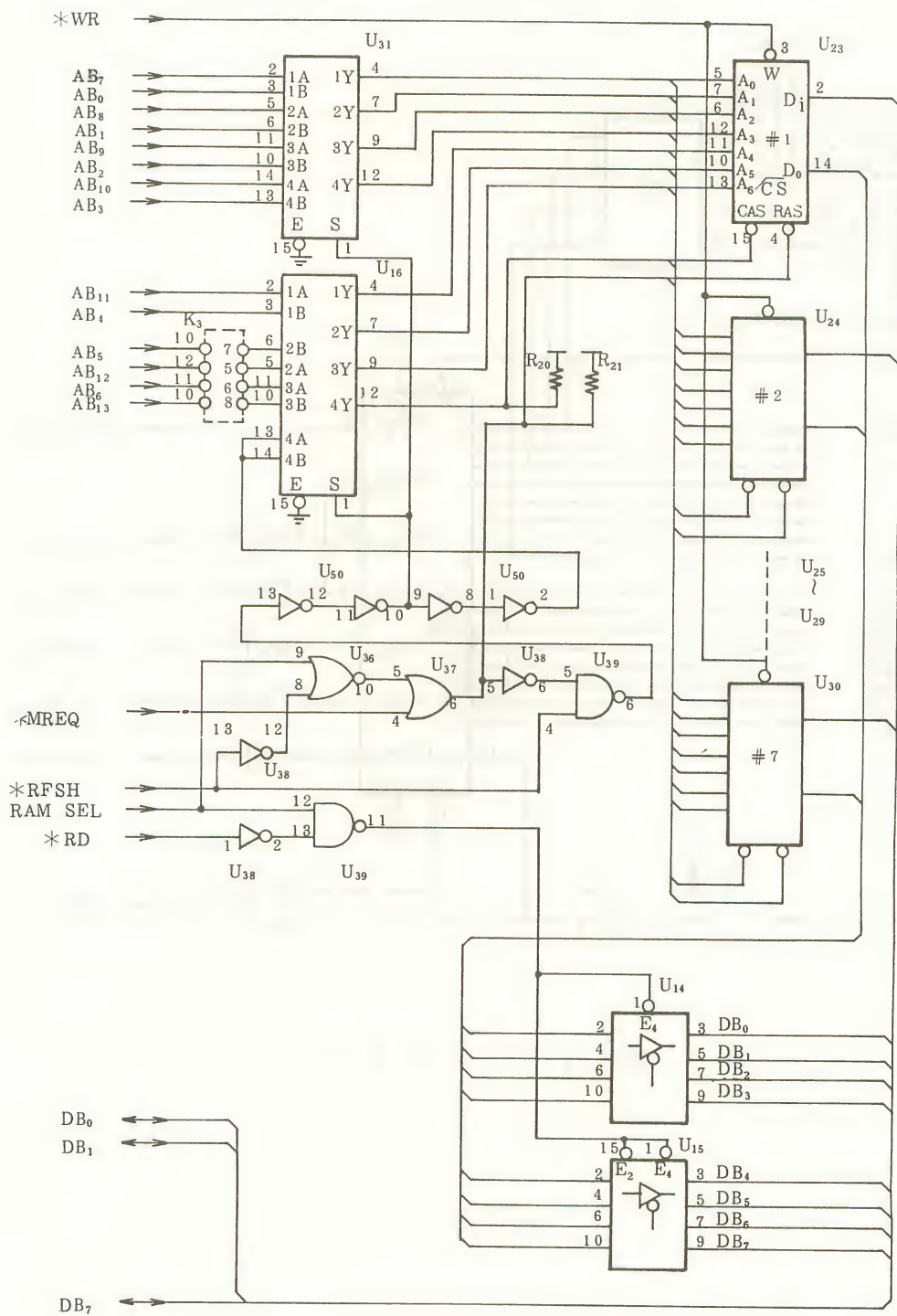


図3. 13 ユーザ RAM

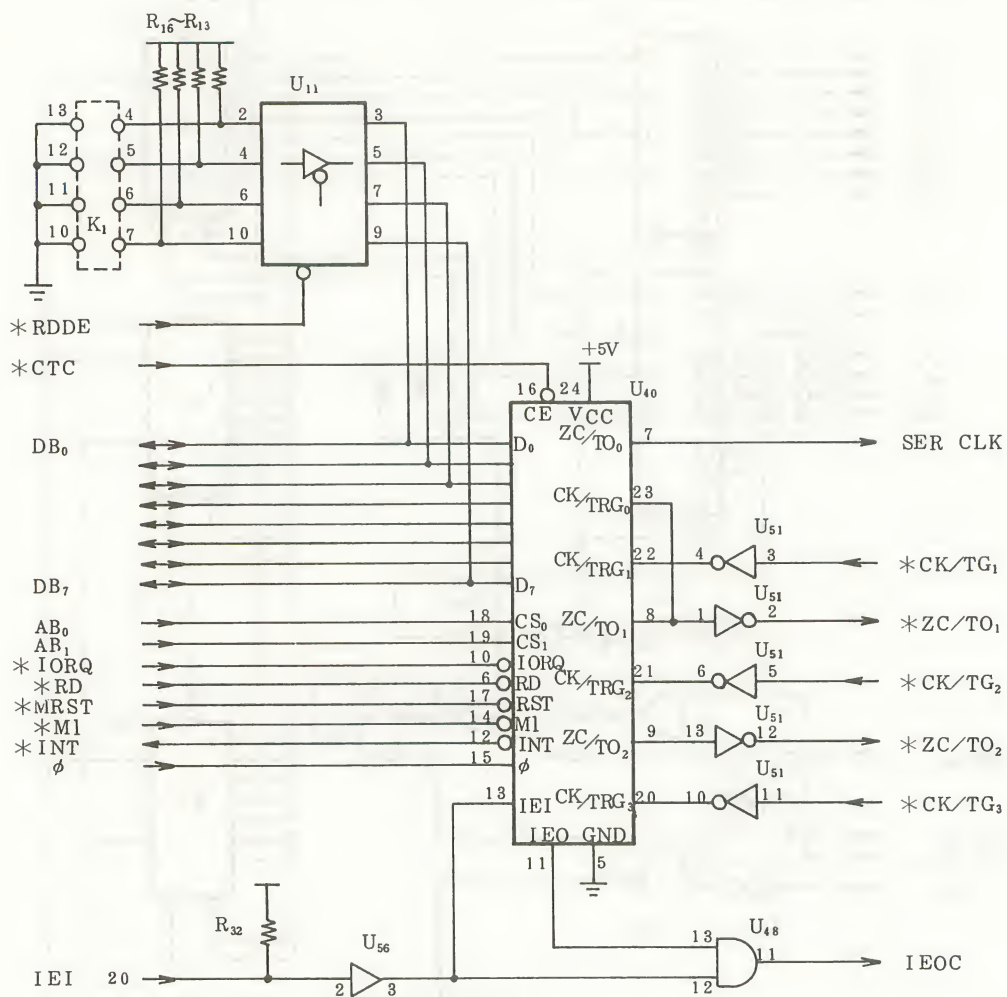
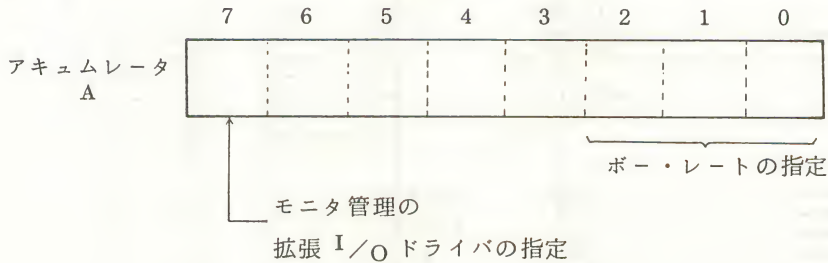


図 3. 14 カウンタ / タイマ

ボー・レートに応じてこのクロックを分周することによって得ている。

図の K_1 、 U_{11} はボー・レートとモニタ管理の拡張 I/O ドライバの指定に用いるものである。プログラム・ジャンプ K_1 の状態はポート・アドレス DE に対する入力命令によりアキュムレータ A に読み込まれる。この場合、アキュムレータ A の内容は次の意味を持っている。ここでモニタ管理の拡張 I/O ドライバとは、 $SM-B-80 D$ のデータの入出力形式である CI 、 CO 、 SI 、 SO 、 OI 、 OO に対する I/O 装置もユーザ側で定義した場合を指す。これらユーザ拡張



の I/O 装置のドライバ・ルーチンを $OS ROM$ の #2、#3 に置き、上図アキュムレータ A のビット 7 を 0 にすることにより、 I/O 装置をモニタ管理下に置くことができる。この動作については、4.2.2 I/O チャンネルの項において説明する。（ K_1 の端子 7-10 を接続すると、ポート DE に対する入力命令を実行するとアキュムレータのビット 7 は 0 になる。）

3-2-12 パラレル I/O インターフェース

図 3.15 はパラレル I/O インターフェースの回路図である。 U_{51} は $Z80 PIO$ である。 PIO は汎用の I/O インターフェース用 LSI であり、8 ビットの I/O ポートと 2 本のハンド・シェイク制御線を 2 個（ A ポート、 B ポートと呼ぶ）有している。 $SM-B-80 D$ では A ポート、 B ポートに配線はしておらず、 I/O 装置と PIO 間のインターフェース回路はユーザ側に委せられている。ユーザ領域には 16 ピン $DIP IC$ を 4 個まで置くことができる。

PIO には 4 個の 8 ビット・レジスタがあるが、これらに対するアドレスは次のように決まっている。3.2.8 の表の * PIO の項参照。

PIO	A ポート	データ・レジスタ	D_0
	A ポート	コントロール・レジスタ	D_1
	B ポート	データ・レジスタ	D_2
	B ポート	コントロール・レジスタ	D_3

PIO の M_1 端子には * $MRS T$ と * M_1 の AND 信号を印加しているが、これは M_1 端子により PIO のイニシャライズを行うためである。

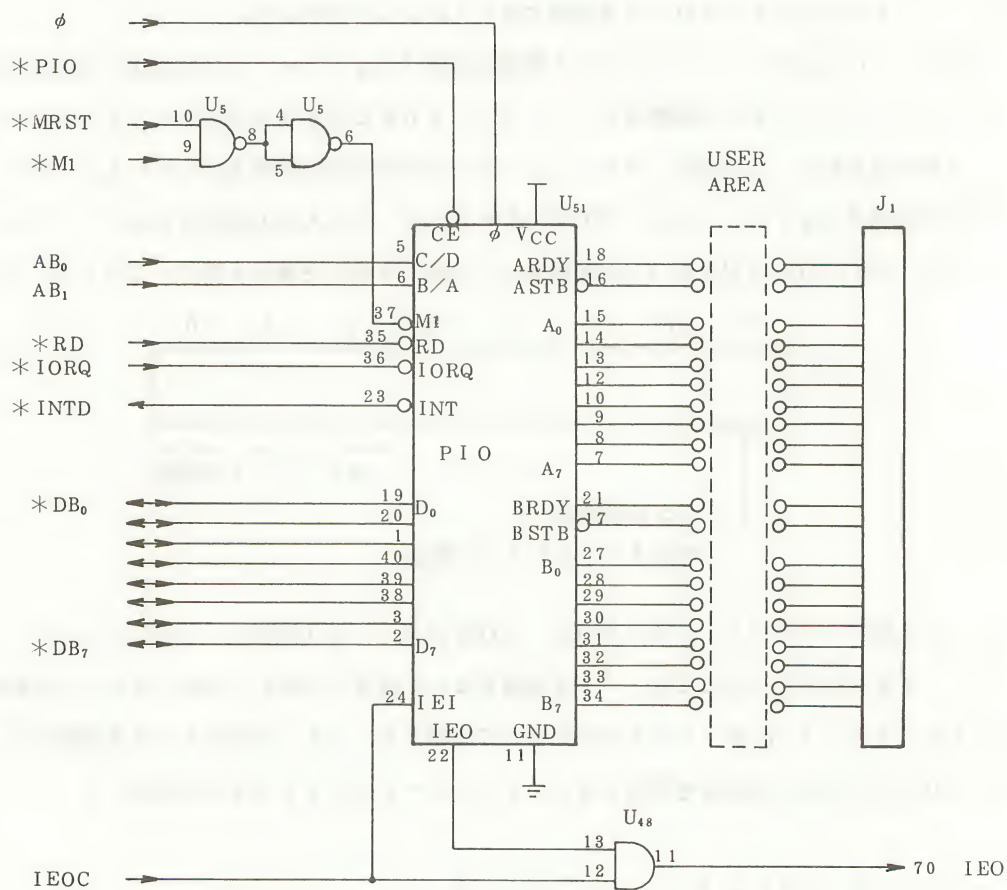


図3.15 パラレル I/O インターフェース

る。P I Oの各入出力信号線については、“Z-80-P I O テクニカル マニュアル”を参照のこと。

3 - 2 - 1 3 シリアル I/O インターフェース

図 3.16 にシリアル I/O インターフェースの回路図を示す。U₁₀ は USART (Universal Synchronous Asynchronous Receiver Transmitter) 8251 であり、U₈ はライン・ドライバ 75188、U₉ はライン・レシーバ 75189 である。

8251はパラレル・データとシリアル・データの変換機能を有しているが、その動作についての説明は省略する。シリアル I/O 装置としては、20 mA 電流ループの TTY と RS-232C 規模の I/O 装置が接続できるようになっている。SM-B-80D では TTY 用として U₂、U₉ により電流ドライブのインターフェースを構成しており、RS-232C 規格の装置用として U₈、U₉ により電圧ドライブのインターフェースを構成している。

8251のステータス・レジスタにおいて、Tx E、Rx RDY、Tx RDYビットがセットされると対応する出力端子TE、RR、TRがHレベルになる。これらのステータス・ビットによりCPUに割り込みをかける必要がある場合、図に示すK₁にジャンプ線を接続すればよい。

8 2 5 1に対するポート・アドレスは次のように決まっている。

UART データ・レジスタ DC (注)

コマンド・レジスタ DD

U₁₃ はリーダ制御用のフリップ・フロップであり、この出力はポート・アドレス DF に対する入力命令によりセットされ、シリアル・データの L レベル（リーダから読み込まれたデータのスタート・ビット）によってリセットする。

シリアル I/O インターフェースはフラット・ケーブル用コネクタ J₂ を介して行う。各インターフェース信号線の信号名、端子番号、信号説明を次の表にまとめる。(注)本マニュアルでは USART を UART と略している。

3 - 2 - 1 4 そ の 他

SM-B-80 Dのその他の回路を図3.17、図3.18に示す。図3.17はZ-80 CPUの各信号線である。図3.18はボードの電源回路図である。

図3.19はSM-B-80 Dの部品実装図であり、表3.1は対応する部品構成リストである。

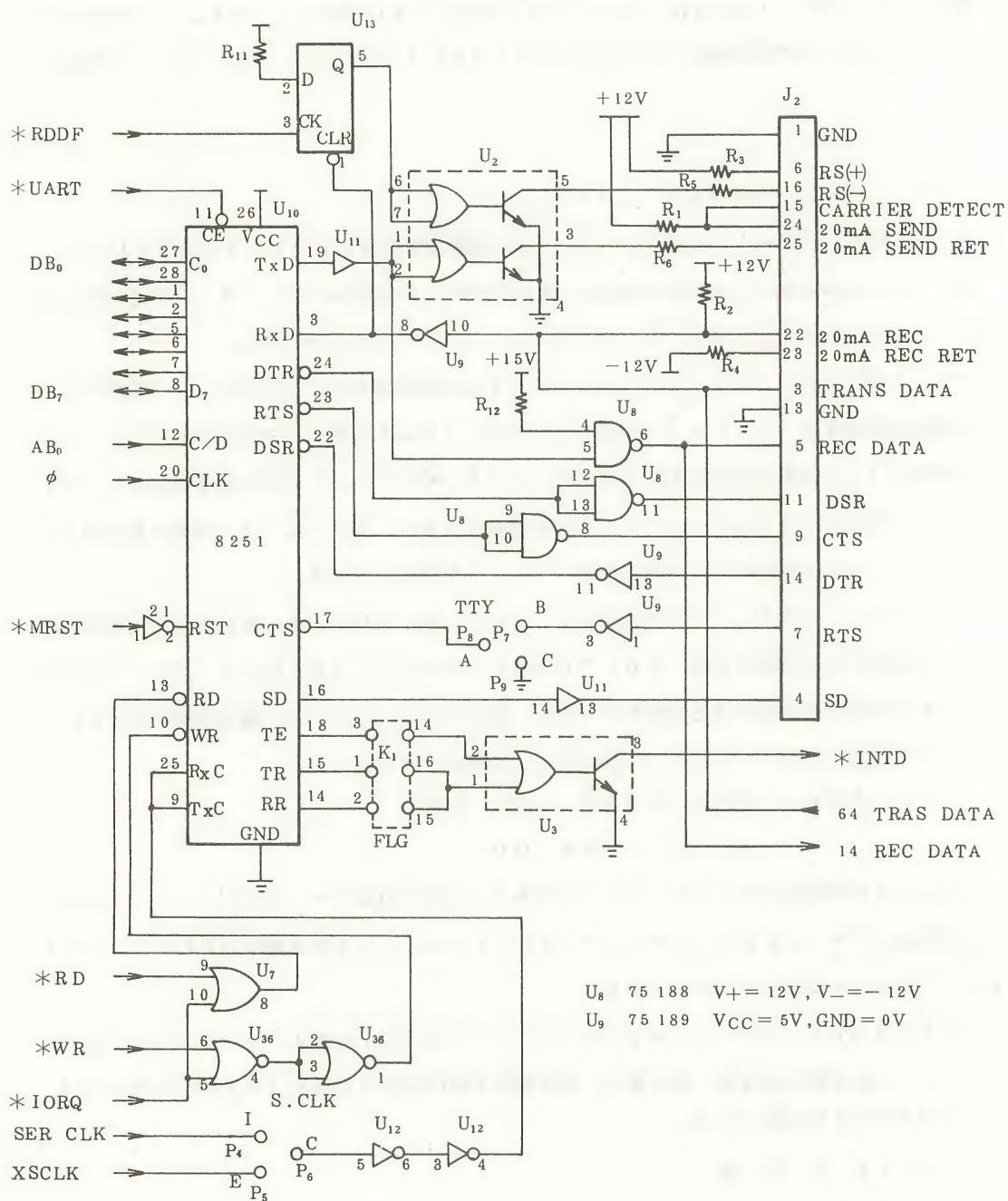


図3.16 シリアル I/O インターフェース

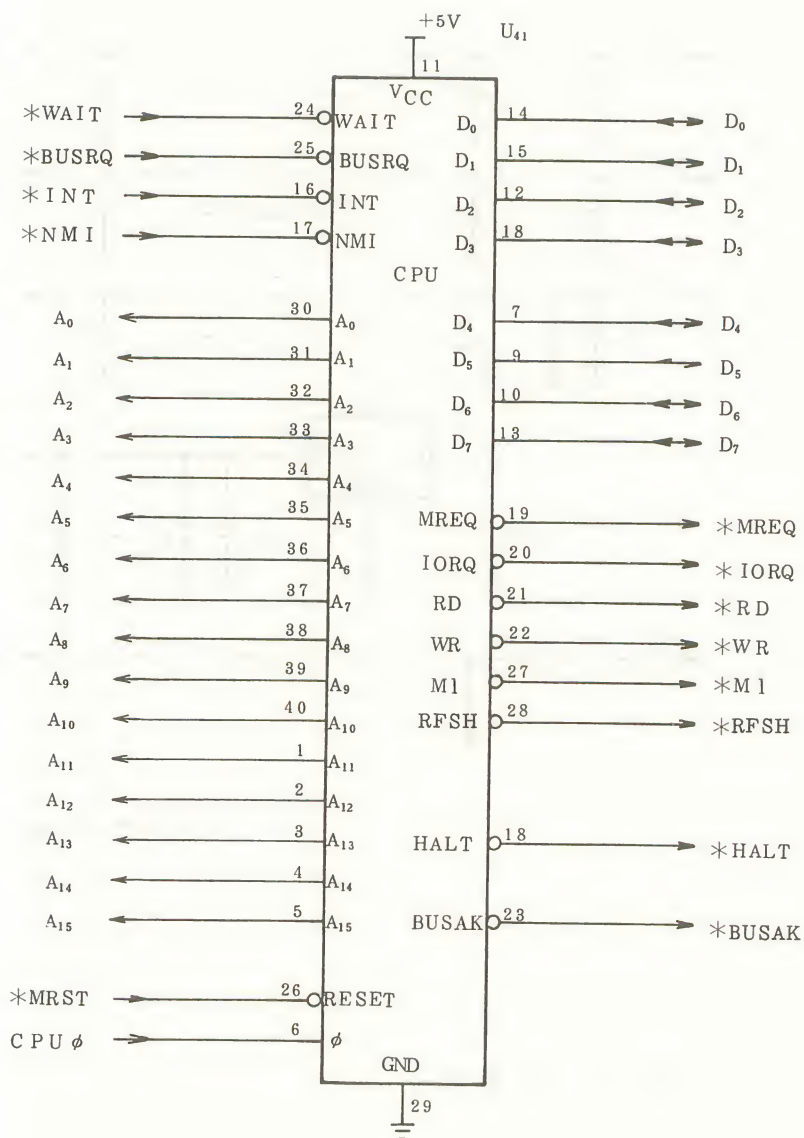
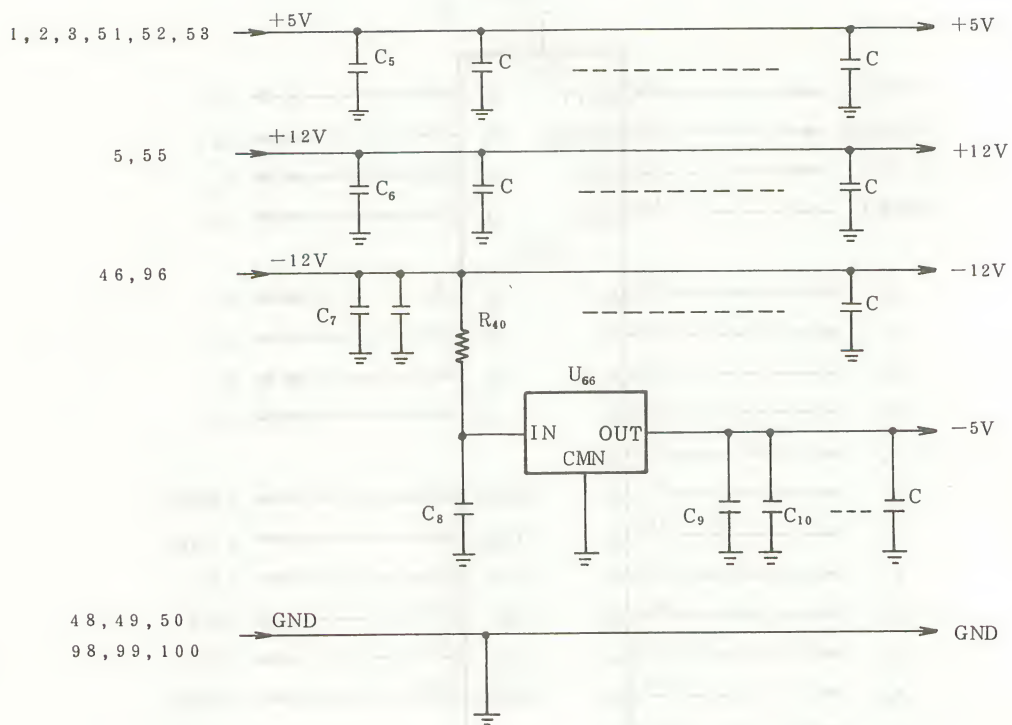


图3.17 Z-80 CPU 信号线



(注) $C : C_{11} \sim C_{51}$
(バスカン, $0.22 \mu F$)

図3.18 電源線

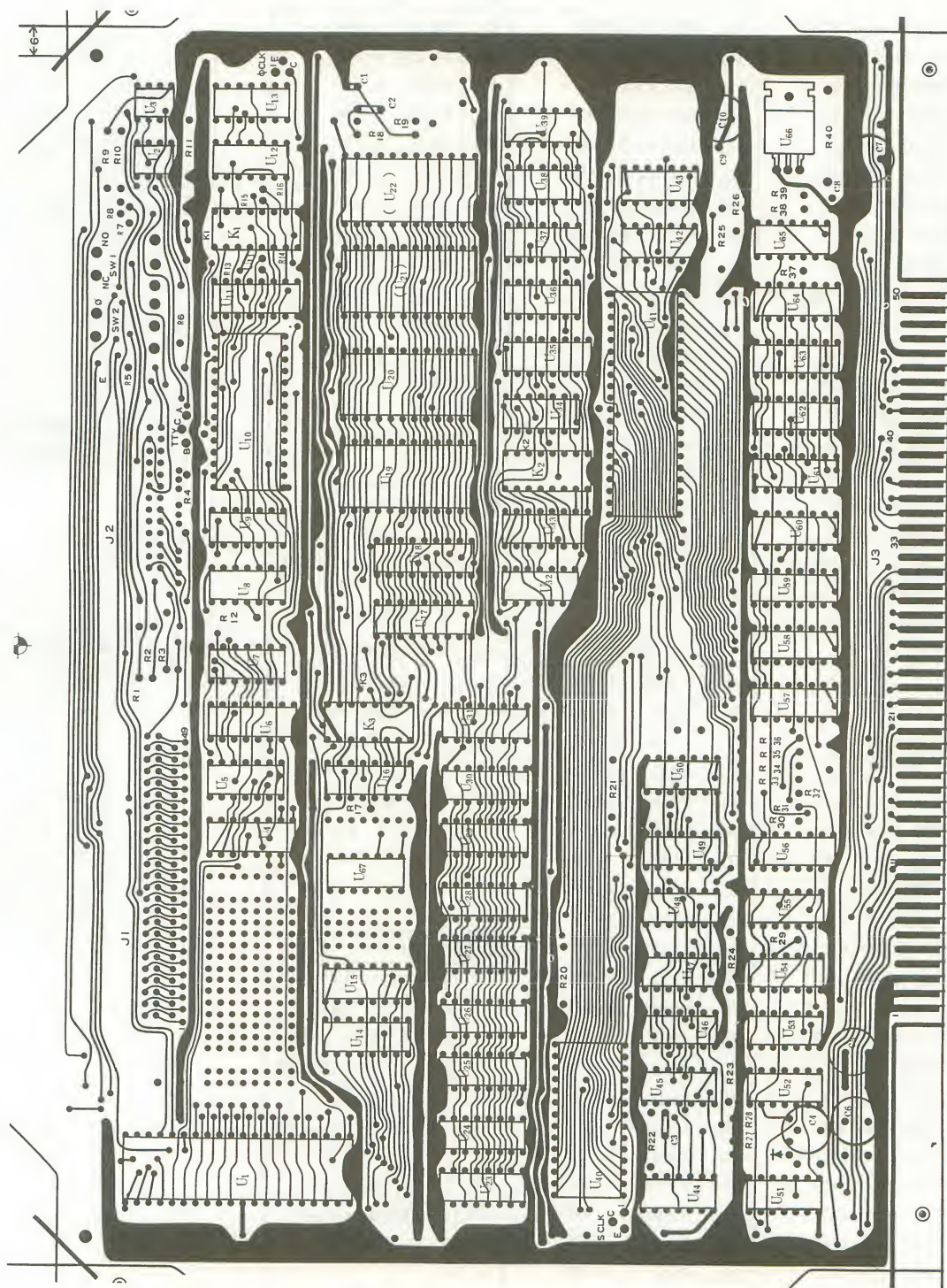


图 3.1.9 SM-B-80D 部品実装図

表3. 1 SM-B-80D 主要部品構成リスト

番号	I C	番号	I C	番号	抵 抗
U ₁	LH-0081 (PIO)	U ₄₈	SN74LS08N	R ₂₆	3kΩ 1/4W
U ₂	SN75454BP	U ₄₉	SN74LS32N	R ₂₇	10kΩ 1/4W
U ₃	SN75454BP	U ₅₀	SN7404N	R ₂₈	3kΩ 1/4W
U ₄	SN74LS155N	U ₅₁	SN74LS04N	R ₂₉	3kΩ 1/4W
U ₅	SN74LS00N	U ₅₂	SN74LS74AN	R ₃₀	3kΩ 1/4W
U ₆	SN74LS155N	U ₅₃	SN74LS74AN	R ₃₁	3kΩ 1/4W
U ₇	SN74LS32N	U ₅₄	SN74LS74AN	R ₃₂	3kΩ 1/4W
U ₈	SN75188N	U ₅₅	SN74LS74AN	R ₃₃	3kΩ 1/4W
U ₉	SN75189N	U ₅₆	SN74367AN	R ₃₄	3kΩ 1/4W
U ₁₀	iP8251 (UART)	U ₅₇	MC8T26P	R ₃₅	3kΩ 1/4W
U ₁₁	SN74367AN	U ₅₈	MC8T26P	R ₃₆	3kΩ 1/4W
U ₁₂	SN74LS04N	U ₅₉	MC8T26P	R ₃₇	1kΩ 1/4W
U ₁₃	SN74LS74AN	U ₆₀	MC8T26P	R ₃₈	3kΩ 1/4W
U ₁₄	SN74367AN	U ₆₁	SN74367AN	R ₃₉	3kΩ 1/4W
U ₁₅	SN74367AN	U ₆₂	MC8T26P	R ₄₀	22Ω 1W
U ₁₆	SN74LS157N	U ₆₃	MC8T26P		
U ₁₇	LH-2111A4	U ₆₄	SN74367AN	番号	コンデンサ
U ₁₈	LH-2111A4	U ₆₅	SN74LS03N	C ₁	セラミック 10PF
U ₁₉	LH-2708	U ₆₆	MC7905CP	C ₂	セラミック 10000PF
U ₂₀	LH-2708	U ₆₇	SN74LS00N	C ₃	タンタル 0.1μF
U ₂₁	(LH-2708)			C ₄	アルミ電解 47μF
U ₂₂	(LH-2708)	番号	抵 抗	C ₅	アルミ電解 47μF
U ₂₃	LH-4027-3	R ₁	220Ω 1/4W	C ₆	アルミ電解 47μF
U ₂₄	LH-4027-3	R ₂	3kΩ 1/4W	C ₇	アルミ電解 47μF
U ₂₅	LH-4027-3	R ₃	47Ω 1/4W	C ₈	セラミック 1000PF
U ₂₆	LH-4027-3	R ₄	47Ω 1/4W	C ₉	セラミック 1000PF
U ₂₇	LH-4027-3	R ₅	47Ω 1/4W	C ₁₀	アルミ電解 47μF
U ₂₈	LH-4027-3	R ₆	220Ω 1/4W	C ₁₁	タンタル 0.22μF
U ₂₉	LH-4027-3	R ₇	3kΩ 1/4W	}	}
U ₃₀	LH-4027-3	R ₈	3kΩ 1/4W	C ₅₁	" 0.22μF
U ₃₁	SN74LS157	R ₉	220Ω 1/4W	番号	そ の 他
U ₃₂	SN74LS30N	R ₁₀	3kΩ 1/4W	D ₁	ダイオード 1S2075K
U ₃₃	SN74LS139N	R ₁₁	3kΩ 1/4W	D ₂	LED GL-5AR1
U ₃₄	SN7404N	R ₁₂	3kΩ 1/4W	J ₁	H1F3-50P-2.54DS
U ₃₅	SN74LS139N	R ₁₃	3kΩ 1/4W	J ₂	H1F3-26P-2.54DS
U ₃₆	SN74LS02N	R ₁₄	3kΩ 1/4W	K ₁	フラット・ホーム DIS02-016-402
U ₃₇	SN74LS32N	R ₁₅	3kΩ 1/4W	K ₂	DIS02-016-402
U ₃₈	SN74LS04N	R ₁₆	3kΩ 1/4W	K ₃	DIS02-016-402
U ₃₉	SN74LS00N	R ₁₇	3kΩ 1/4W	SW ₁	スイッチ MTM106F-R
U ₄₀	LH-0082 (CTC)	R ₁₈	820Ω 1/4W	SW ₂	スイッチ MTM106D-R
U ₄₁	LH-0080 (CPU)	R ₁₉	820Ω 1/4W	P ₁	チェック端子
U ₄₂	SN74LS10N	R ₂₀	2kΩ 1/4W	}	}
U ₄₃	SN74LS00N	R ₂₁	2kΩ 1/4W	P ₉	チェック端子
U ₄₄	SN74LS132N	R ₂₂	1kΩ 1/4W	XT	水晶振動子 4.9152MHz
U ₄₅	SN7404N	R ₂₃	3kΩ 1/4W		
U ₄₆	SN74LS32N	R ₂₄	3kΩ 1/4W		
U ₄₇	SN74LS02N	R ₂₅	330Ω 1/4W		

(注1)

U₁, U₁₉~U₃₀, U₄₀, U₄₁
はICソケット実装

(注2)

U₂₁, U₂₂ はオプション

(注3)

U₂₃~U₃₀
LH-4027-3 (LH-8H01A)
LH-4116-3 (LH-8H01B)

(注4)

K₁~K₃ はICソケット
実装

(注5)

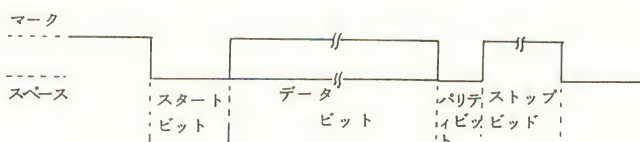
実際の製品では各部品は
相当品に変更する場合が
ある。

シリアル I/O インターフェイス 信号線説明

信号名	J ₂ 番号	信号説明
GND	1 13	接地線
RS (+) RS (-)	6 16	リーダ・ステップ リーダ・オン時に RS(+), RS(-)を通じて電流が流れる。(+12V で直列抵抗 94Ω)
CARRIER DETECT	15	20mA SEND 信号と同一信号。20mA SEND 端子開放時は本端子は +12V である。電流ループ使用の場合、UART の送信データありの状態 (スペース) で H レベル、なしの状態 (マーク) で L レベルとなる。 (注1)
20mA SEND 20mA SEND RET	24 25	20mA 電流ループで TTY (ASR-33) を使用する場合、本信号を用いる。UART の送信データがマークの状態では電流オン。
20mA REC 20mA REC RET	22 23	スペースの状態では電流オフとなる。 20mA 電流ループで TTY (ASR-33) を使用する場合 本信号を用いる。TTY からの送信データがマークの状態では端子 22 は L レベルに、スペースの状態では H レベルになっている。
TRANS DATA	3	RS-232C 規格で、端末装置からデータが送られてくる場合に用いる入力端子。受信データがマークの状態では L レベルに、スペースの状態では H レベルになっている。
REC DATA	5	RS-232C 規格で端末装置へデータを送る場合に用いる出力端子。送信データがマークの状態では L レベルに、スペースの状態では H レベルになっている。
DSR (Data Set Ready)	11	UART の DTR 信号の反転信号。RS-232C 規格。出力。 UART (8251) のコマンド ビット 1 をセットすると DTR = 0 となる。
CTS (Clear To Send)	9	UART の RTS 信号の反転信号。RS-232C 規格。出力。 UART のコマンド ビット 5 をセットすると RTS = 0 となる。
DTR (Data Term Ready)	14	本信号の反転信号が UART の DSR に等しい。RS-232C 規格。入力。UART の DSR を L レベルにするとステータス ビット 7 がセットされる。
RTS (Request To Send)	7	ボード上のチェック端子 (記号 TTY) の結線状態により動作が異なる。 TTY A-C 結線; RTS 信号 無効 A-B 結線; RTS の反転信号 = UART の CTS 本信号は RS-232C 規格で 入力信号である。 なお、UART の CTS 信号は CTS = L でデータ送信可能。 CTS = H でデータ送信不可 (但し コマンド Tx EN = 1 とする)

(注1)

UART の受信
又は送信データ
(Rx D, Tx D)



3-3 バス信号

SM-B-80Dに入出力するバス信号線の一般仕様を次に示す。

一般仕様

(1) 信号の論理

データ	負論理	
アドレス	負論理	
制御線	負論理	但し、デージ・チェーン制御線（IEI、IEO）は正論理とする。

(2) 信号のレベル

入力信号	TTLコンパティブル
出力信号	TTLコンパティブル

バス信号線の機能説明を表 3.2 に、また、バス信号一覧表を表 3.3 に示す。

表 3. 2 バス 信号機能説明

(その1)

信 号 名	端子番号	機 能 説 明	信号方向
+5V	1. 2. 3. 51.52.53	電源+5V	入力
+12V	5. 55	電源+12V	入力
*CK/TRG ₁	6	ClocK/TriGger 1 この信号の反転信号が、Z-80 CTCのCLK/TRG ₁ に印加される。信号として、CTCチャンネル1の外部クロックか、タイマ・トリガ信号を印加する。	入力 Lレベル アクティブ
*ZC/TO ₁	7	Zero Count/Time Out 1 CTCのZC/TO ₁ 出力の反転信号である。	出力 Lレベル アクティブ
*CK/TRG ₂	8	ClocK/TriGger 2 この信号の反転信号がCTCのCLK/TRG ₂ に印加される。信号として、CTCチャンネル2の外部クロックか、タイマ・トリガ信号を印加する。	入力 Lレベル アクティブ
*ZC/TO ₂	9	Zero Count/Time Out 2 CTCのZC/TO ₁ 出力の反転信号である。	出力 Lレベル アクティブ
*CK/TRG ₃	10	ClocK/TriGger 3 この信号の反転信号がCTCのCLK/TRG ₃ に印加される。信号としてCTCチャンネル3の外部クロックか、タイマ・トリガ信号を印加する。	入力 Lレベル アクティブ
*MRESET	11	Master RESET スイッチS ₁ によりSM-B-80 Dをマニュアル・リセットすると、本信号は“L”レベルとなって出力するので、本信号を用いて外部装置を同時にリセットできる。また、本信号を外から“L”レベルにすることによりSM-B-80 D内部をリセットできる。この場合、“L”レベルの期間SM-B-80 D内部はリセット状態にある。オープン・コレクタ出力。	入出力 Lレベル アクティブ
*DEBUG	12	DEBUG 通常入力として使用される。本信号が“L”レベルの期間、アドレスの上位3ビット(AB ₁₅ 、AB ₁₄ 、AB ₁₃)は強制的に1になる。したがって、本信号と*MRESETと同時に“L”→“H”の信号を与えることにより、スイッチS ₂ に関係なくモニタをE000Hからリスタートできる。S ₂ をオンにすると*MRESETと同一極性の信号が出力する(この場合、オープン・コレクタ出力)。	入(出)力 Lレベル アクティブ
∅	62	Clock∅ CPUに供給するクロック信号と同一極性の出力信号。	出力

(その2)

信号名	端子番号	機能説明	信号方向
EXCLK	13	EXternal CLoCK 外部クロックにより CPUを動作させる場合、この端子からクロック信号を供給する。この端子に加えられた信号の反転信号がCPUに印加される。なお内部クロックと、外部クロックの切換えはチェック・ピン端子 ϕ CLKの配線により行う。	入力
XSCLK	63	eXternal Serial CLoCK 外部シリアル・クロックにより UART 8251を動作させる場合、この端子からシリアル・クロック信号を供給する。通常8251のシリアル・クロックは CTCのZC/TO ₀ 出力を用いているので、外部シリアル・クロックを使用する場合、チェック・ピン端子S.CLKの配線を変更する必要がある。	入力
REC. DATA	14	RECeived DATA at terminal コネクタ J ₂ のREC DATA端子信号に同じ。SM-B-80 Dから送出されるシリアル・データ信号。	出力 Hレベル アクティブ
TRANS. DATA	64	TRANSMitted DATA from terminal コネクタ J ₂ のTRANS DATA 端子信号に同じ。SM-B-80 Dへ送出されてくるシリアル・データ信号。	入力 Hレベル アクティブ
*DDIS	15	Driver DISable この端子を“L”レベルにすることにより、データ・バッファのドライバ出力はトライステートになる。通常この端子データ・バッファの内部ドライバ制御信号が出力している。オープン・コレクタ出力。	入(出)力 Lレベル アクティブ
*RENB	65	Receiver ENaBle この端子を“L”レベルにすることにより、データ・バッファのレシーバはイネーブルになる。通常、この端子は“H”レベルにプルアップされている。	入力 Lレベル アクティブ
IEI	20	Interrupt Enable In 本信号はプルアップされており、バッファ後 CTCのIEI入力に印加されている。 デージー・チェーン接続で、CTCよりも割り込み優先レベルの高い装置がある場合、その装置のIEOを本端子に接続する。CTCを最高優先レベルに置く場合、本端子は開放(Hレベル)とする。	入力 Hレベル アクティブ
IEO	70	Interrupt Enable Out SM-B-80 D内のPIOよりも割り込み優先レベルの低い装置がある場合、その装置のIEI端子に本信号を印加する。PIO以上の装置に割り込みがある場合、本信号は“L”レベルとなる。	出力 Hレベル アクティブ

信号名	端子番号	機能説明	信号方向
アドレス	右参照	<p>Address</p> <p>CPUにバス・リクエストがかかっていない通常の使用状態(※BUSAK="H")では、本信号はCPUのアドレス出力の反転信号に等しい。CPUにバス・リクエストが入力し、※BUSAK="L"となると、本信号はトライ・ステートとなる。</p> <p>アドレス・バッファは双方向性であり、そのドライバは※BUSAK="H"でイネーブル、※BUSAK="L"でトライ・ステートになっている。レシーバにおいては、※A0～A11は常にイネーブル、※A12～A15は※BUSAK="L"のときのみイネーブルになる。このようにすることにより外部からSM-B-80D内のメモリをアクセスすることができる。</p> <p>記号 ※A0 ※A1 ※A2 ※A3 ※A4 ※A5 ※A6 ※A7 ※A8 ※A9 ※A10 ※A11 ※A12 ※A13 ※A14 ※A15</p> <p>ピン 22 72 23 73 24 74 25 75 26 76 27 77 28 78 29 79</p>	<p>入出力</p> <p>Lレベル アクティブ</p>
※WAIT	30	<p>WAIT 本信号はプルアップされており、バッファ後CPUのWAIT端子に印加されている。メモリやI/O装置が低速であり、通常のクロック・サイクルでは応答できない場合に使用する。本信号を"L"レベルにすることにより、メモリやI/Oのアクセス時にウェイト状態が挿入される。</p>	<p>入力</p> <p>Lレベル アクティブ</p>
※BUSRQ	80	<p>BUS ReQuest 本信号はプルアップされており、バッファ後、CPUのBUSRQ端子に印加されている。本信号はSM-B-80Dのアドレス出力、制御信号出力(※MREQ ※IORQ ※M1 ※RD ※WR)をトライ・ステートにする場合に使用する。本信号を"L"レベルにすると、現在実行中の命令のマシン・サイクル(M1又はM2又はM3)の完了後に※BUSAKが"L"レベルになり、アドレス出力、制御信号出力はトライ・ステートになる。</p>	<p>入力</p> <p>Lレベル アクティブ</p>
※NMIU	31	<p>NMI for User ユーザ用のNMI信号であり、本信号を"L"レベルにすると、現在実行中の命令完了後に割り込み、イネーブルF/Fの状態に関係なくCPUはNMIを受け付ける。NMI受け付け後、ダミーサイクル、PCの内容の退避サイクルを経てCPUは0066Hから実行を始める。</p>	<p>入力</p> <p>Lレベル アクティブ</p>

信号名	端子番号	機能説明	信号方向
*INTU	81	INT for User ボード外部からのINT信号である。通常 I/O からの割り込み信号として使用する。CPUの割り込みイネーブル F/F がセットされている場合に限り本信号を "L" レベルにすると現在実行中の命令完了後にCPUは割り込み動作に入る。	入力 Lレベル アクティブ
*BUSAK	34	BUS Acknowledge *BUSRQが "L" レベルになるとCPUは現在実行中の命令のマシン・サイクル (M ₁ 又は M ₂ 又は M ₃) の完了後に *BUSAK を "L" レベルとする。*BUSAK が "L" レベルになると制御出力 (*M ₁ *RFSH *RD *WR *MREQ *IORQ)、及びアドレス出力 (*A ₀ ~ A ₁₅) はトライ・ステートになる。	出力 Lレベル アクティブ
*HALT	84	HALT HALT命令を実行すると本信号は "L" レベルになり、同時にHALTランプが点灯する。	出力 Lレベル アクティブ
*M ₁	35	M ₁ 本信号はCPUの $\overline{M_1}$ 出力をバッファしたものである。M ₁ サイクルの命令コードのフェッチの期間 本信号は "L" レベルになる。本信号のバス・インターフェイスは双方向性バッファを用いており、ドライバは *BUSAK = "H" でイネーブル、*BUSAK = "L" でトライ・ステートとなる。また、レシーバは常にイネーブルになっており、*M ₁ はレシーバ経由でSM-B-80 D内の各部に供給される。	出力 Lレベル アクティブ
*RFSH	85	ReFRESH 本信号はCPUの \overline{RFSH} 出力をバッファしたものである。ダイナミック・メモリに対するリフレッシュ・アドレスがCPUからアドレス・バスへ出力している期間、本信号は "L" レベルになる。本信号のバス・インターフェースは双方向性バッファを用いており、動作は *M ₁ と同じようになっている。	出力 Lレベル アクティブ
*RD	36	ReaD 本信号はCPUの \overline{RD} 出力をバッファしたものである。CPUがメモリ又は I/O 装置からデータを読み出す場合に、本信号は "L" レベルになる。本信号のバス・インターフェースは双方向性バッファを用いており、動作は *M ₁ と同じようになっている。	出力 Lレベル アクティブ
*WR	86	WRite 本信号はCPUの \overline{WR} 出力をバッファしたものである。CPUがメモリ又は I/O 装置へデータを書き込む場合に本信号は "L" レベルになる。本信号のバス・インターフェースは双方向性バッファを用いており、動作は *M ₁ と同じようになっている。	出力 Lレベル アクティブ

信号名	端子番号	機能説明	信号方向
MREQ	37	Memory REQuest 本信号はCPUのMREQ出力をバッファしたものである。本信号が“L”レベルになることによって、メモリの読み出しや書き込み動作でアドレス・バス上に正しいアドレス情報が出力していることがわかる。本信号のバス・インターフェースは双方向性バッファを用いており、動作は M_1 と同じようになっている。	出力 Lレベル アクティブ
IORQ	87	Input / Output ReQuest 本信号はCPUのIORQ出力をバッファしたものである。本信号が“L”レベルになるのは次の場合である。 ① I/O装置の読み出しや書き込み動作で、アドレス・バスの下位8ビット上に正しいアドレス情報が出力している期間。 ② CPUが割り込みを受け付け、割り込み応答ベクトルをデータ・バス上に乗せてもよいことを示している期間。 本信号のバス・インターフェースは双方向性バッファを用いており、動作は M_1 と同じようになっている。	出力 Lレベル アクティブ
データ	右参照	Data 本信号は双方向性のバッファ（反転）を経由してCPUのデータ端子に接続している。双方向性のバッファのうち、レシーバは*RENBによって制御され、*RENB=“L”でイネーブル、*RENB=“H”、または開放でトライステートとなる。一方、ドライバは、*DDIS又は内部ドライバ制御信号によって制御され、いずれかが“L”レベルになるとトライステートになる。ドライバがイネーブルになるのは、*DDIS=“H”かつ内部ドライバ制御信号=“H”のときであり、内部ドライバ制御信号=“H”となる条件は次のいずれかの場合である。 ① *MREQ又は*IORQが“L”レベルであり、かつ* M_1 *BUSAK *RDがいずれも“H”レベルのとき。 ② *RFSH=“H”かつ*RD=“L”かつ*MREQ=“L”であり、SBC上のいずれかのメモリがアクセスされたとき。 記号 * D_0 * D_1 * D_2 * D_3 * D_4 * D_5 * D_6 * D_7 ピン 42 92 43 93 44 94 45 95	入出力 Lレベル アクティブ
-12V	46. 96	電源 -12V	入力
GND	48. 49. 50 98. 99. 100	接地線	

表 3. 3 バス信号一覧表

端 子 番 号	信号名 (部品名)	端 子 番 号	信号名 (配線名)	端 子 番 号	信号名 (部品名)	端 子 番 号	信号名 (配線面)
1	+5V	51	+5V	26	*A ₈	76	*A ₉
2	+5V	52	+5V	27	*A ₁₀	77	*A ₁₁
3	+5V	53	+5V	28	*A ₁₂	78	*A ₁₃
4		54		29	*A ₁₄	79	*A ₁₅
5	+12V	55	+12V	30	*WAIT	80	*BUSRQ
6	*CK/TG ₁	56		31	*NMIU	81	*INTU
7	*ZC/TO ₁	57		32		82	
8	*CK/TG ₂	58		33		83	
9	*ZC/TO ₂	59		34	*BUSAK	84	*HALT
10	*CK/TG ₃	60		35	*M ₁	85	*RFSH
11	*MRESET	61		36	*RD	86	*WR
12	*DEBUG	62	∅	37	*MREQ	87	*IORQ
13	EXCLK	63	XSCCLK	38		88	
14	REC DATA	64	TRANS DATA	39		89	
15	*DDIS	65	*RENB	40		90	
16		66		41		91	
17		67		42	*D ₀	92	*D ₁
18		68		43	*D ₂	93	*D ₃
19		69		44	*D ₄	94	*D ₅
20	IEI	70	IEO	45	*D ₆	95	*D ₇
21		71		46	-12V	96	-12V
22	*A ₀	72	*A ₁	47		97	
23	*A ₂	73	*A ₃	48	GND	98	GND
24	*A ₄	74	*A ₅	49	GND	99	GND
25	*A ₆	75	*A ₇	50	GND	100	GND

(注)

*記号は "L" レベルで有効 (active) になる意味であり、信号名の上に — (bar) 記号をつけたものと同じ。

3-4 動作モードの選択

SM-B-80Dではプログラム開発の用途だけでなく、他の種々の用途にも対処できるように各種の動作モードを選択できる機能を有している。これらの選択は大別するとラッピング端子の配線による方法とプラットホーム端子の配線による方法に分類できる。

3-4-1 ラッピング端子による方法

ボード上には3ヶ所のラッピング個所があり、通常ラッピング配線によって動作モードの選択を行う。この方法により選択する動作モードとしては、システム・クロックの内部、または外部供給の切換え、シリアル・クロックの内部、または外部供給の切換え、TTYとRS-232Cインターフェースの切り換えが行われる。これらの動作モードの選択法を表3.4に示す。

3-4-2 プラットホーム端子による方法

プラットホーム端子は16ピンICソケットに装着できる汎用のディスクリート部品配線台である。SM-B-80Dではこのプラットホームを3個使用しており、K₁、K₂、K₃と名前をつけている。プラットホーム端子の外観を図3.20に示す。

K₁によってボー・レートの選択、拡張I/Oドライバ・ルーチンのモニタ管理の有無、及びシリアルI/Oインターフェースからの割り込み制御の有無を指示できる。これらの設定法を表3.5、表3.6、表3.7に示す。

K₂によってユーザRAM、OS ROMのベース・アドレスを選択できるが、この設定法について表3.8にまとめる。

K₃によってユーザRAMの4Kバイト、16Kバイトの選択、及びOS ROMのEPROM、PROMの選択ができる。表3.9、表3.10にこれらの切り換え法を示す。

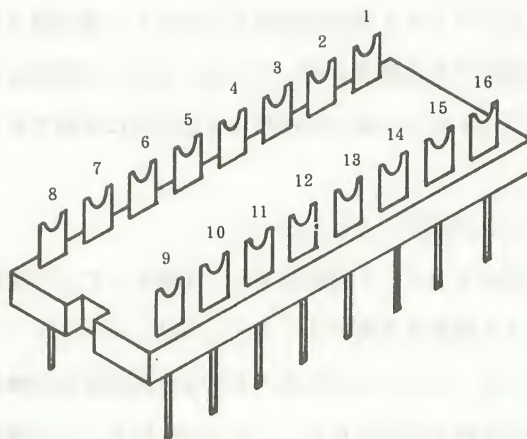


図3.20 プラット・ホーム 端子
(ジャンパ端子)

項 目	ボード上記号	結 線 法
シ ス テ ム ク ロ ッ ク	∅. CLK	<p>∅. CLK</p> <p>内部クロック使用時 I-C 結線 外部クロック使用時 E-C 結線 (出荷時 I-C 結線)</p>
シ リ ア ル ク ロ ッ ク	S. CLK	<p>S. CLK</p> <p>内部シリアル クロック使用時 I-C 結線 外部シリアル クロック E-C 結線 (出荷時 I-C 結線)</p>
CTS接地	T T Y	<p>T T Y 使用時 A-C 結線 その他の場合 A-B 結線 (出荷時 A-C 結線) (注) B-Cを結線してはならない。</p>

表 3. 4 ラッピング端子結線法

ソケット	ボー・レート	K ₁ 端子番号 (ピン)		
		6-11	5-12	4-13
K ₁	110	0	0	0
	150	0	0	1
	300	0	1	0
	600	0	1	1
	1200	1	0	0
	2400	1	0	1
	4800	1	1	0
	9600	1	1	1

0 : 端子開放
1 : 端子接続

表 3.5 ボー・レート設定法

ソケット	EPROM #3、#4	K ₁ 端子番号	説 明
K ₁	汎 用	7-10 開放	EPROM #3、#4を汎用の用途として使用できる。 (出荷時このモード)
	拡張 I/O ドライバ・ルーチン用	7-10 接続	EPROM #3、#4を拡張 I/O ドライバ・ルーチン用として用い、そのエントリ・アドレス、ニモニックをモニタで管理する。

表 3.6 拡張 I/O ドライバ・ルーチンの使用法

ソケット	割り込みの種類	K ₁ 結 線 法	
		割り込みあり	割り込みなし
K ₁	Transmitter Ready (T R)	1 - 16 接続	13 - 16 接続
	Receiver Ready (R R)	2 - 15 接続	13 - 15 接続
	Transmitter Empty (T E)	3 - 14 接続	13 - 14 接続

(注) 本ボードの通常の使用法 では割り込みなしの状態に結線する。
出荷時割り込みなしの状態に結線されている。

表 3. 7 シリアル・インターフェイスの割り込み

ソケット	4 Kバイト RAM		16 Kバイト RAM		4 Kバイト ROM	
	ベース・アドレス	K ₂ 結線法	ベース・アドレス	K ₂ 結線法	ベース・アドレス	K ₂ 結線法
K ₂	0 0 0 0	5-15 . 1-16	0 0 0 0	5-15-16	0 0 0 0	5-9 . 1-10
	1 0 0 0	5-15 . 2-16			1 0 0 0	5-9 . 2-10
	2 0 0 0	5-15 . 3-16			2 0 0 0	5-9 . 3-10
	3 0 0 0	5-15 . 4-16			3 0 0 0	5-9 . 4-10
	4 0 0 0	6-15 . 1-16	4 0 0 0	6-15-16	4 0 0 0	6-9 . 1-10
	5 0 0 0	6-15 . 2-16			5 0 0 0	6-9 . 2-10
	6 0 0 0	6-15 . 3-16			6 0 0 0	6-9 . 3-10
	7 0 0 0	6-15 . 4-16			7 0 0 0	6-9 . 4-10
	8 0 0 0	7-15 . 1-16	8 0 0 0	7-15-16	8 0 0 0	7-9 . 1-10
	9 0 0 0	7-15 . 2-16			9 0 0 0	7-9 . 2-10
	A 0 0 0	7-15 . 3-16			A 0 0 0	7-9 . 3-10
	B 0 0 0	7-15 . 4-16			B 0 0 0	7-9 . 4-10
	C 0 0 0	8-15 . 1-16	C 0 0 0	8-15-16	C 0 0 0	8-9 . 1-10
	D 0 0 0	8-15 . 2-16			D 0 0 0	8-9 . 2-10
	E 0 0 0	8-15 . 3-16			E 0 0 0	8-9 . 3-10
	F 0 0 0	8-15 . 4-16			F 0 0 0	8-9 . 4-10

(注) モニタ使用時 4 Kバイト ROMのベース・アドレスは、E 0 0 0とする。
RAMのベース・アドレスは、通常 0 0 0 0とする。
出荷時 ROMは E 0 0 0、RAMは 0 0 0 0になっている。

表 3. 8 RAM/ROMのベース・アドレス設定法

ソケット	ダイナミックRAM	K ₁ 結 線 法
K ₃	4 K RAM (4027 相当)	6-11 5-9 7-8-3
	16 K RAM (4116 相当)	5-12 6-11 7-9 8-10

表 3. 9 4 KRAM、16 KRAMの切換え法

ソケット	EPROM/PROM	K ₁ 結 線 法
K ₃	EPROM (2708 相当)	1-16 2-15 3-14 (出荷時 この結線になっている)
	PROM (注)	3-16 4-15 4-14

(注) バイポーラ PROMで2708とピン互換性あり 例 LH-7055

表 3. 10 EPROM、PROMの切換え法

4. ソフトウェア

4. 及び 5. は SM-B-80 D のソフトウェア 特にモニタの動作とその使用法について述べる。
なお、ここで説明するモニタの機能は、2 K バイト モニタ (V 1.1) に関するものである。
(2 K バイト モニタの製品名は L H - 8 S 0 3 P 又は L H - 8 S 0 3 E である。)

4 - 1 構 成

4 - 1 - 1 メ モ リ

SM-B-80 D 全体のメモリ・マップについては既に 2.2 において説明した (図 2.3 参照)
ので、ここでは特にモニタに関連するメモリ領域のマップについて詳しく述べる。

モニタが関係するメモリ領域としては、E 0 0 0 ~ E F F F のアドレス範囲の OS、ROM、
及び F F 0 0 ~ F F F F の OS RAM 領域が挙げられる。

OS ROM 領域には 2 K バイトのモニタ・プログラムが入っている。(オプション)

OS RAM 領域は 2 5 6 バイトの容量であり、モニタではこの領域を次の用途に使用している。
OS RAM のメモリ・マップを図 4.1 に示す。

- (1) 一時データ退避用
- (2) モニタ用スタック
- (3) ユーザ用スタック
- (4) ユーザ定義ニモニックの記憶
- (5) ユーザ CPU レジスタ内容の記憶

ユーザ・プログラムの CPU レジスタ内容は OS RAM の F F E 6 ~ F F F F の範囲に退避
されるが、そのメモリ・マップを図 4.2 に示す。

4 - 1 - 2 I/O ポート

モニタでは I/O ポート・アドレスとして D 0 ~ D F の範囲を使用している。本ボードでは、
0 0 ~ C F のポート・アドレスをユーザ側に開放しており、D 0 ~ F F をシステム側で使用、
またはリザーブしている。この様子を図 4.3 に示す。

D 0 ~ D F により指定されるポートとして既に述べたように、P I O、C T C、U A R T、
及び モニタ・コマンドを制御するためのハードウェア信号 (例 N M I D) 等が挙げられる。
ポート・アドレス D 0 ~ D F で指定されるこれらのバイト・データの各ビットの意味について
次に簡単にまとめる。

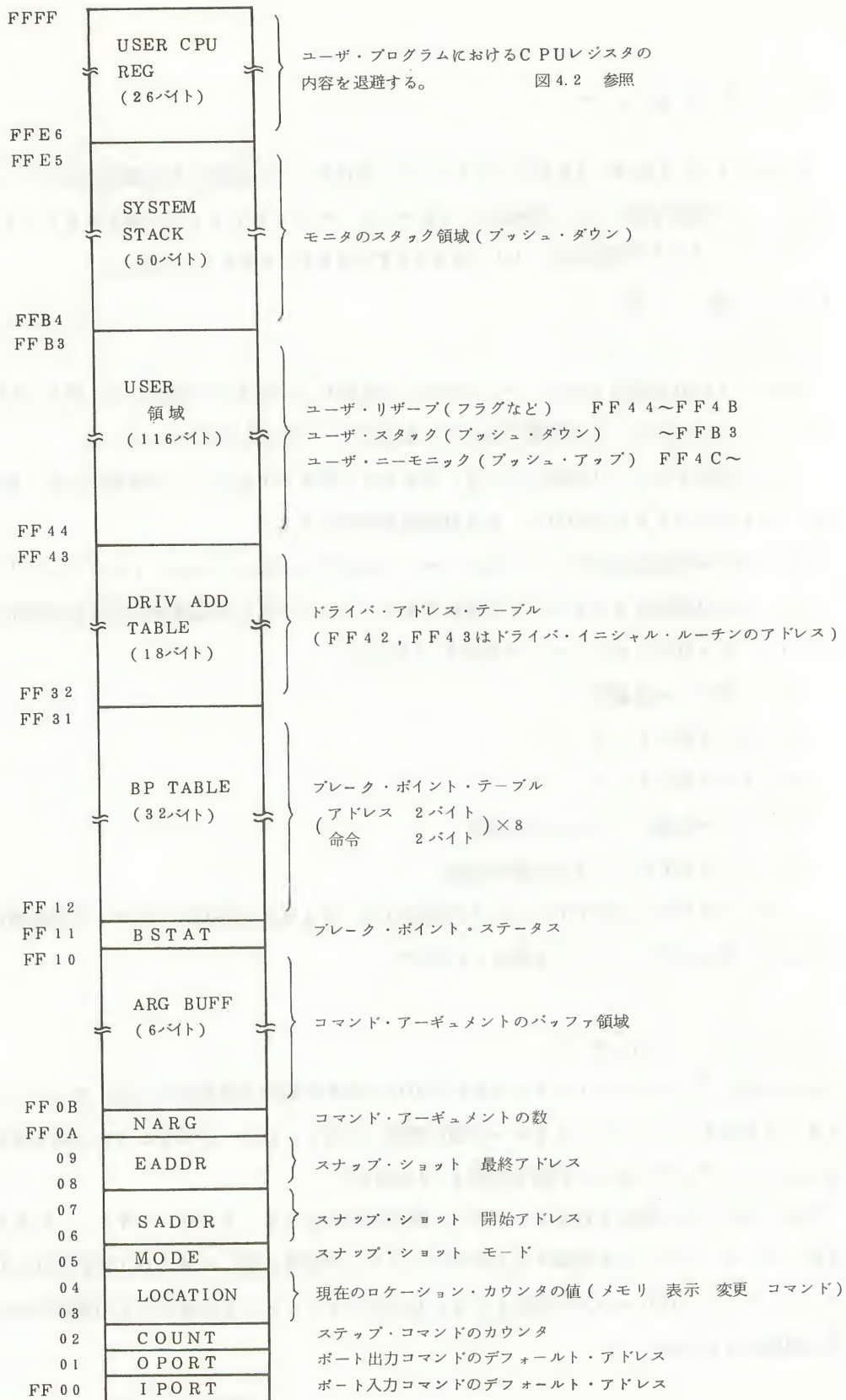


図4.1 OS RAM メモリ・マップ

OS RAM		対応するニーモニク
FFFF	PCH	
FFFE	PCL	・PC
FFFD	A	・A
FFFC	F	・F
FFFB	I	・I
FFFA	IFF	・IF
FFF9	B	・B
FFF8	C	・C
FFF7	D	・D
FFF6	E	・E
FFF5	H	・H
FFF4	L	・L
FFF3	A'	・A'
FFF2	F'	・F'
FFF1	B'	・B'
FFF0	C'	・C'
FFEF	D'	・D'
FFEE	E'	・E'
FFED	H'	・H'
FFEC	L'	・L'
FFEB	IXH	
FFEA	IXL	・IX
FFE9	IYH	
FFE8	IYL	・IY
FFE7	SPH	
FFE6	SPL	・SP

(注) ユーザRAMに割り当てられたアドレスは、対応するニーモニクにより直接に指定することができる。

・はドット(ASCII 2E), 'はASCII 27である。

図4.2 ユーザCPUレジスタのメモリ・マップ



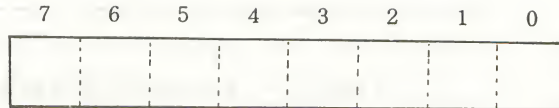
- (注) ユ ー ザ 開 放 : ユーザ側で使用可能な I/O ポート・アドレス
 シ ス テ ム 使 用 : モニタで使用している I/O ポート・アドレス
 システム・リザーブ : 将来システムで使用予定の I/O ポート・アドレス

図 4 . 3 I / O ポ ー ト ・ ア ド レ ス

< P I O >

ポート A データ D₀

ポート B データ D₂

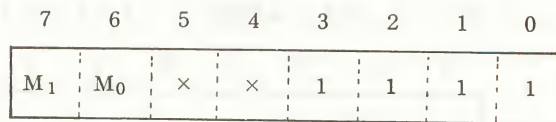


入力または出力
(CPUからみて)

ポート A コントロール D₁

ポート B コントロール D₃

(1) モード設定

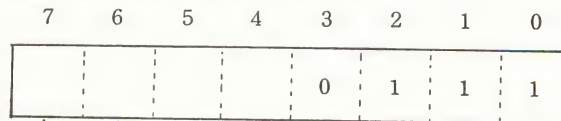


出力
(×は0、1い
ずれでもよい)

このフォーマットのとき、
M₁、M₀ で P I O の動
作モードを指定する。

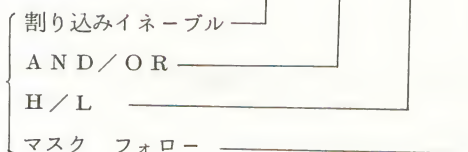
M ₁	M ₀	モード
0	0	0 (出力)
0	1	1 (入力)
1	0	2 (双方向)
1	1	3 (コントロール)

(2) 割り込み制御



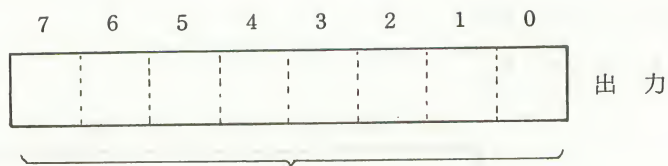
出力

モード
3のみ



このフォーマットのとき、
上位4ビットで割り込み
制御モードを指定する。

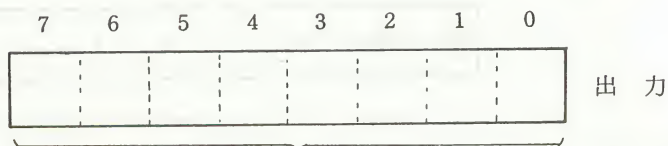
(3) データの方向 (モード3のみ)



ビット単位にデータの入出力方向を指定できる。(1:入力、
0:出力)

この指定はモード3指定後、同一ポートへの初めての書き込み時に上記データを書き込むことにより行う。

(4) マスク (モード3であり、割り込み制御ビット4=1の時のみ有効)

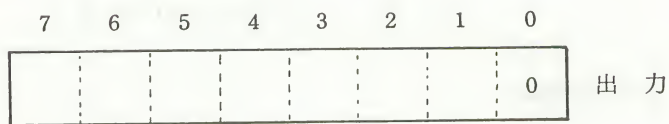


各ビットが割り込み発生の要因となるかどうかの指定を行う。

(1:割り込みに関係しない、0:割り込みに関係する)

この指定は割り込み制御ビット=1のとき、次にこのポートへ書き込むデータによって行う。

(5) 割り込みベクタ



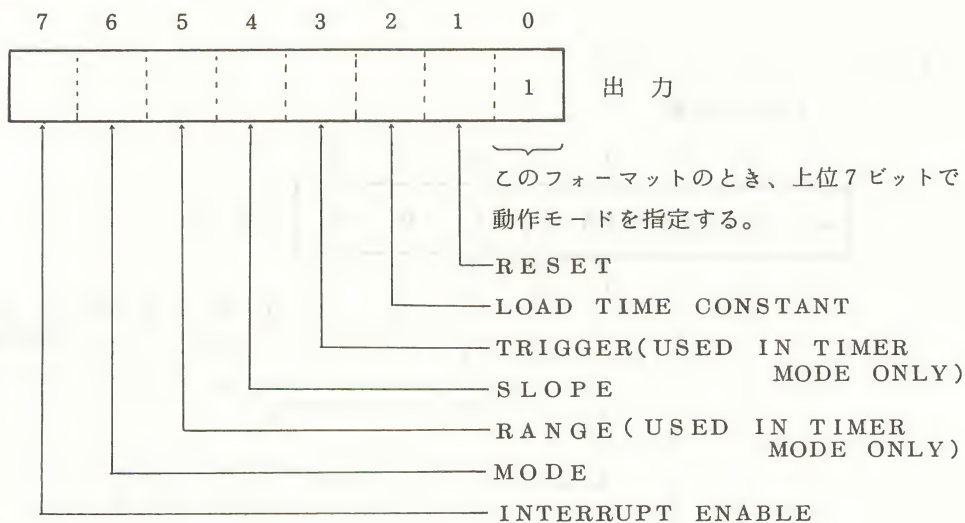
このフォーマットの時、
上位7ビットで割り込みベクタを指定する。

(注) 詳細は Z-80 PIO テクニカル・マニュアル参照のこと。

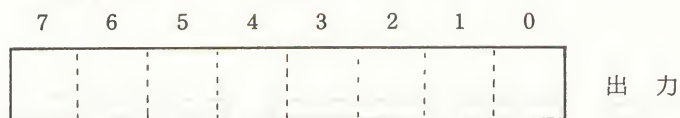
< CTC >

チャンネル 0 D 8
 1 D 9
 2 D A
 3 D B

(1) 動作モードの指定

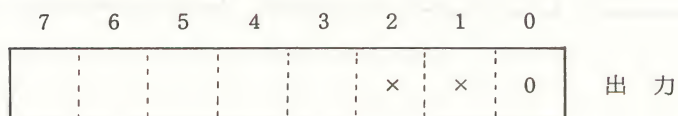


(2) 時定数の設定



上記第1項のLOAD TIME CONSTANT = 1 のとき、続いて書き込む8ビット・データにより、時定数を設定できる。

(3) 割り込みベクタ

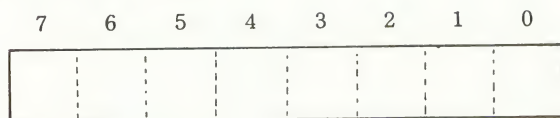


このフォーマットの時、上位5ビットで割り込みベクタを指定する。チャンネル0のベクタを指定すると、チャンネル1.2.3のベクタは2バイト間隔で自動的に決まる。

(注) 詳細はZ-80 CTCテクニカル・マニュアル参照のこと。

< UART >

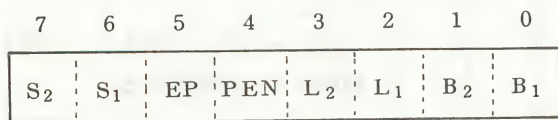
8 2 5 1 データ DC



入出力

8 2 5 1 コントロール DD

(1) モード命令の定義



出力

B₂ B₁ ≠ 0 0 のとき、非同期モードでボー・レートの倍率を指定

L₂ L₁ によりキャラクタ長を指定

パリティ イネーブル (1:イネーブル、0:ディスエーブル)

パリティ チェック (1:偶数、0:奇数)

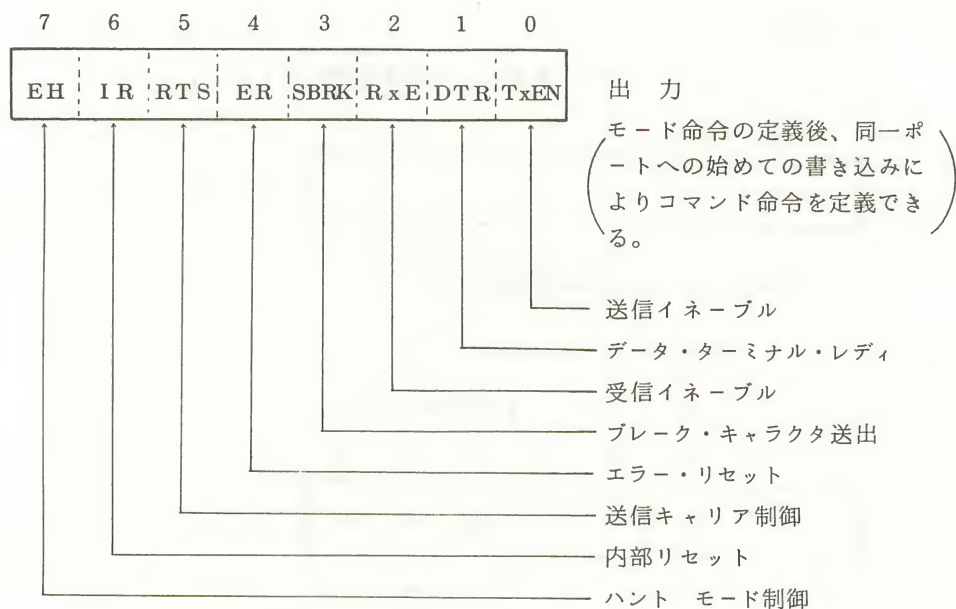
ストップ ビット指定

S ₂	S ₁	ストップ・ビット数
0	0	1 ビット
0	1	1 ビット
1	0	1 1/2 ビット
1	1	2 ビット

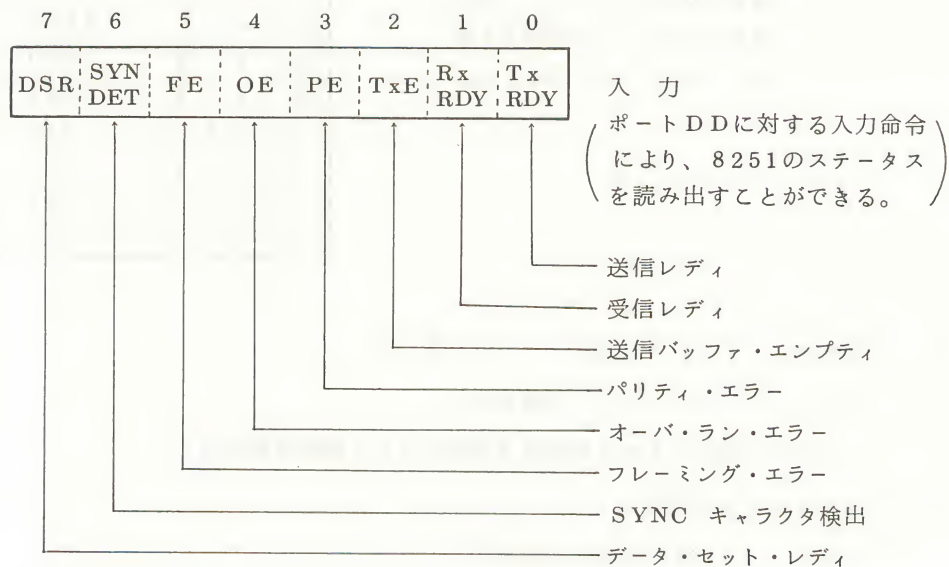
L ₂	L ₁	キャラクタ長
0	0	5 ビット
0	1	6 ビット
1	0	7 ビット
1	1	8 ビット

B ₂	B ₁	ボー・レート
0	0	1 ×
0	1	1 ×
1	0	16 ×
1	1	64 ×

(2) コマンド命令の定義

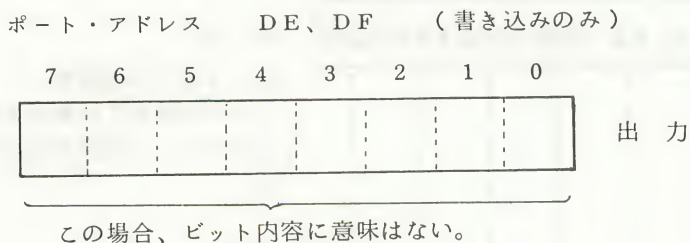


(3) ステータスの読み出し



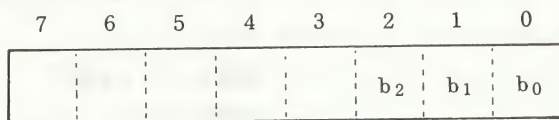
〈モニタ・コマンド制御〉

(1) NMI 制御



(2) ボー・レート、拡張 I/O ドライバ・ルーチン

ポート・アドレス DE (読み出しのみ)



拡張 I/O ドライバ

拡張 I/O ドライバ・ルーチンを EPROM # 2、# 3 に置き、それらをモニタで管理する場合、このビットを 0 にする。

ボー・レートの設定

b ₂	b ₁	b ₀	ボー・レート
0	0	0	9 6 0 0
0	0	1	4 8 0 0
0	1	0	2 4 0 0
0	1	1	1 2 0 0
1	0	0	6 0 0
1	0	1	3 0 0
1	1	0	1 5 0
1	1	1	1 1 0

(3) リスタート・アドレス上位 3 ビットのリセット

ポート・アドレス DE の読み出し

この場合、読み込まれた内容は本項目に対して意味を持たない。

(4) リーダ・ステップ制御

ポート・アドレス DF の読み出し

リーダー・ステップ制御用のフリップ・フロップはポート・アドレス DF に対する読み出しによってセットされる。この場合、読み込まれた内容は本項目に対して意味を持たない。

4-1-3 ゼネラル・フロー

2 K バイト・モニタのゼネラル・フローを図 4.4 に示す。

4-2 機能

4-2-1 ニーモニックの定義

モニタでは、特定のアドレスをニーモニックで表現することができる。ニーモニックには前もってシステムで登録されているものと、ユーザ側で定義するものがある。ニーモニックはドット・(ASCII 2E)とそれに続く2文字以下の英数字により表現する。

〔例〕

- A
- PC
- SP

ニーモニックにはバイト・ニーモニックとダブル・バイト・ニーモニックがあり、前者は1バイトのメモリ・データを表現する。後者は連続する2バイトのメモリ・データを表現する。上記の例では・Aはバイト・ニーモニック、・PC ・SPはダブル・バイト・ニーモニックである。

表4.1はシステムで登録されているニーモニックの一覧表である。これらのニーモニックにより、特定のアドレス、またはその内容を参照することができる。

〔例〕

- A / 12
- PC / ABCD
- SP / FFB4
- A = FFFD / 12
- PC = FFFE / ABCD
- SP = FFE6 / FFB4

ユーザ側でニーモニックを定義する場合、通常、モニタのメモリ変更コマンドを用いて OS RAM内のUSER領域に文字コードとアドレス値を設定することによって行う。この場合、USER領域の最下位アドレス、FF48からアドレス増加方向に文字コード、アドレス値の順で設定する。USER領域はニーモニックの定義以外にユーザ・スタック用としても用いられるが、この場合には最上位アドレスFFB3からプッシュ・ダウン・スタックとして用いる。USER領域のメモリ容量は107バイトであるので、ユーザ・スタックとユーザニーモニックの使用メモリの総和が107バイト以下になるように、ユーザ側で注意しなければならない。

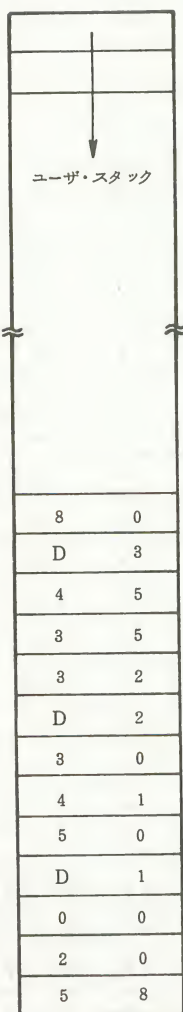
ユーザ・ニーモニックの後には必ず、ターミネータとして、80Hを書き込まなければならない。図4.5にUSER領域の使用の様子を示す。

I/Oチャンネルとして拡張用I/Oドライバ・ルーチンを使用する場合、ROM #3、#4

ニーモニック	アドレス	意	味
• PC	FFFE	ユーザ・プログラム	CPU レジスタ PC
• A	FFFD	" "	" " A
• F	FFFC	" "	" " F
• I	FFFB	" "	" " I
• IF	FFFA	" "	" " IF
• B	FFF9	" "	" " B
• C	FFF8	" "	" " C
• D	FFF7	" "	" " D
• E	FFF6	" "	" " E
• H	FFF5	" "	" " H
• L	FFF4	" "	" " L
• A'	FFF3	" "	" " A'
• F'	FFF2	" "	" " F'
• B'	FFF1	" "	" " B'
• C'	FFF0	" "	" " C'
• D'	FFEF	" "	" " D'
• E'	FFEE	" "	" " E'
• H'	FFED	" "	" " H'
• L'	FFEC	" "	" " L'
• IX	FFEA	" "	" " IX
• IY	FFE8	" "	" " IY
• SP	FFE6	" "	" " SP
• CI	FF32	コンソール入力チャンネル, 通常・TKに設定されている	
• CO	FF34	コンソール出力チャンネル, 通常・TTに設定されている	
• OI	FF36	オブジェクト入力チャンネル, 通常・TRに設定されている	
• OO	FF38	オブジェクト出力チャンネル, 通常・TTに設定されている	
• SI	FF3A	ソース入力チャンネル, 通常・TRに設定されている	
• SO	FF3C	ソース出力チャンネル, 通常・TTに設定されている	
• TK	E744	TTYキー・ボード・ドライバのエントリ・アドレス	
• TT	E757	TTYタイプ・ヘッド・ドライバのエントリ・アドレス	
• TR	E742	TTYテープ・リーダー・ドライバのエントリ・アドレス	
• AS	C000	アセンブラのエントリ: アドレス (LH-8S01E, PROM版)	
• ED	D1D0	エディタのエントリ・アドレス (LH-8S02E, PROM版)	

表4.1 システム登録ニーモニック一覧表

FFB3



ユーザ・スタック

FF58

FF57

FF56

FF55

FF54

FF53

FF52

FF51

FF50

FF4F

FF4E

FF4D

FF4C

8 0

D 3

4 5

3 5

3 2

D 2

3 0

4 1

5 0

D 1

0 0

2 0

5 8

① ユーザ・プログラム内でスタックを使用する場合、ユーザ・プログラム内でSPをFFB4に初期設定しなければならない。

② ユーザ・ニーモニックとしてX, PA, 25を定義し、そのアドレスを各々D100, D230, D345とする場合、メモリ変更コマンドによりUSER領域に左のように書き込む。

ターミネータ
アドレス
D345

ASCII文字5

ASCII文字2

アドレス
D230

ASCII文字A

ASCII文字P

アドレス
D100

ASCII文字 SP(空白)

ASCII文字 X

図4.5 USER領域の使用例

にもしユーザ・モニターが定義されているならば、その内容がUSER領域のアドレスFF48から増加方向にコピーされる。

4-2-2 I/O チャンネル

モニタではI/O装置の制御にチャンネルという考え方を採用している。このモニタの機能（例えば、プログラムのロード、パンチ、デバッグ）を利用する場合、ソフトウェア上では、外部装置と各コマンド処理ルーチンはチャンネルを経由してインターフェースされる。次に示す6個のチャンネルが定義されており、モニタではこれ以外のチャンネルを使用することはできない。

CI	コンソール入力チャンネル
CO	コンソール出力チャンネル
OI	オブジェクト入力チャンネル
OO	オブジェクト出力チャンネル
SI	ソース入力チャンネル
SO	ソース出力チャンネル

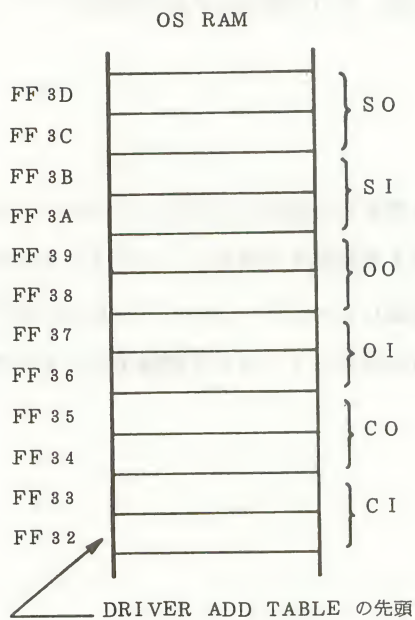
チャンネルには、ソフトウェア・ドライバ・ルーチン（のアドレス）を割り当てる必要があるが、この割り当てには次の3種類の方法のいずれかを選ぶ。

- ① モニタ内に前もって用意してあるドライバ・ルーチンを割り当てる。
- ② ROM#3、#4に用意してあるドライバ・ルーチンを割り当てる。
- ③ 一般のROMに用意してあるドライバ・ルーチンを割り当てる。

①、②の方法では、ドライバ・ルーチンの割り当ては自動的に行うことができるが、③の方法では、メモリ内容を変更するコマンドにより、OS RAMのDRIVER ADDRESS TABLEを書き換えなければならない。

①の方法では、モニタ内のI/Oのドライバ・ルーチンを使用する。これらのドライバ・ルーチンとして、TTY（RS232C相当の装置）のキー・ボード、タイプ・ヘッド、テープ・リーダーの各ドライバ・ルーチンが用意されており、各々のルーチンの先頭アドレスは、・TK、・TT、・TRと定義されている。通常、CIには・TKを、CO、OO、SOには・TTを、またCI、SIには・TRを割り当てている。①の方法が選ばれるとモニタによりDRIVER ADDRESS TABLEには自動的に・TK、・TT、・TTがコピーされる。図4.6に①の方法を示す。

②の方法はTTY（またはRS232C相当の装置）以外のI/O装置をチャンネルとする場合に用い、チャンネルへのドライバ・ルーチンのアドレス割り当ては自動的に行うことができ



(注)

OS RAMにはモニタにより左のように
TTYのドライバ・ルーチンの先頭アド
レスがコピーされる。

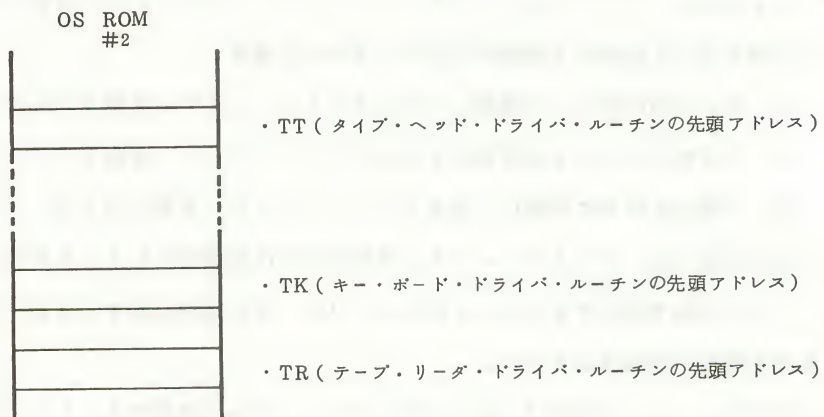


図4.6 ①の方法

る。但し、この場合には、OS ROM # 3、# 4にチャンネルに対応するドライバ・ルーチンとその先頭アドレスを書き込み、かつ、ボード上のジャンパ端子K₁の7-10を接続しなければならない。表3.6参照。図4.7に②の方法を示す。なお、このモニタでは、②の方法を拡張 I/O ドライバ・ルーチンによる方法と呼んでいる。

③の方法も②の方法と同じようにTTY（または RS 2 3 2 C相当の装置）以外の I/O 装置をチャンネルとする場合に用いるが、チャンネルへのドライバ・ルーチンのアドレス割り当てはメモリ内容の変更コマンドを用いて行う。ユーザ側では I/O ドライバ・ルーチンをROMに用意しておく（この場合のROMは、OS ROM # 3 # 4でもよい）、そのエントリ・アドレスをOS RAMのDRIVER ADD TABLEに書き込む。図4.8に③の方法を示す。

②、③の方法では I/O 装置のイニシャル・ルーチンが必要になる。②の方法では、イニシャル・ルーチンの先頭アドレスも自動的にOS RAMにコピーされる。図4.7、図4.8ではイニシャル・ルーチンの先頭アドレスを記号G₁ G₂ G₃ G₄で与えているが、このアドレス以降にユーザ側でイニシャル・ルーチン（サブルーチン）のプログラムを用意しなければならない。このイニシャル・ルーチンはシステムがリセットされるたびにコールされる。また、ユーザが定義したドライバ・ルーチンのフラグ用としてOS RAMのFF 4 4 ~ FF 4 Bまでの8バイトをリザーブする。

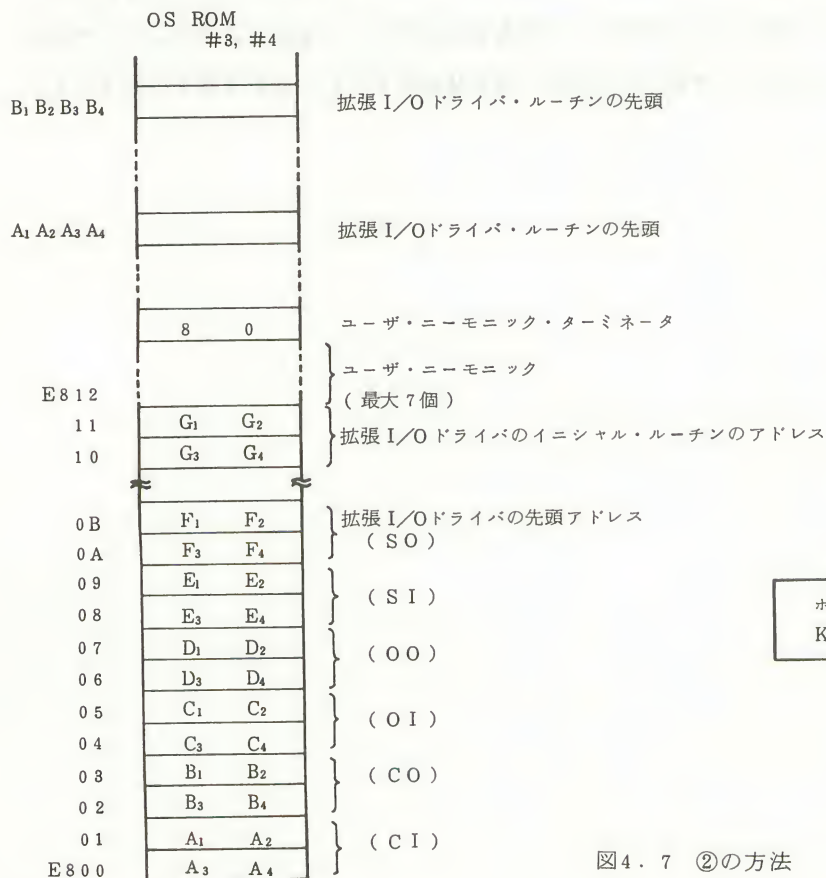
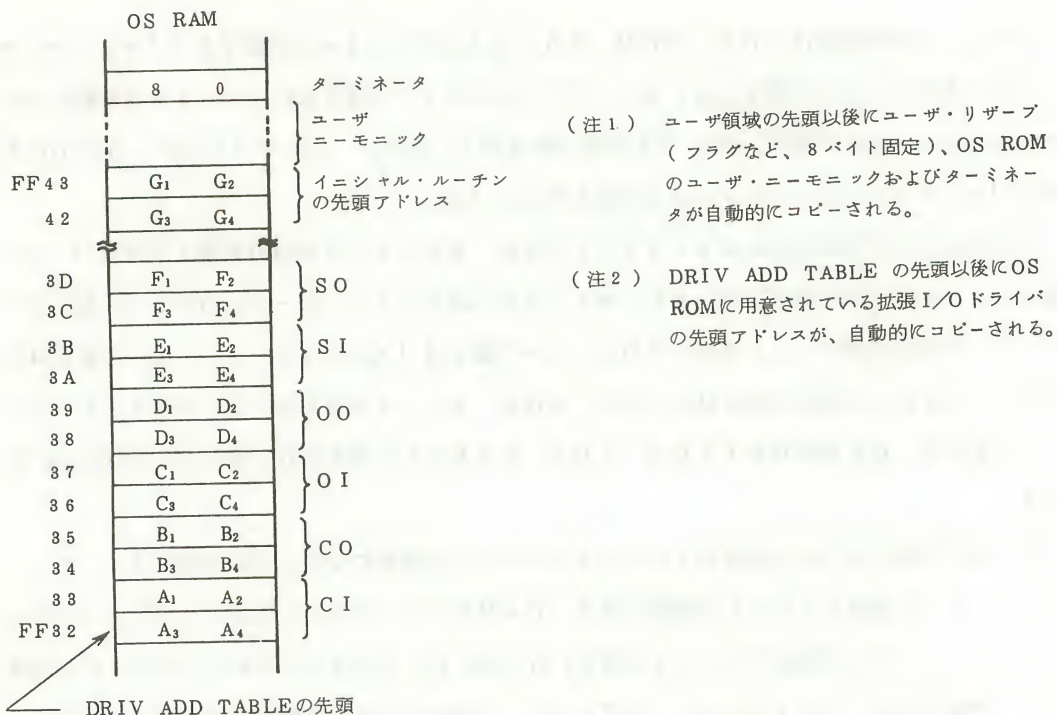


図4.7 ②の方法

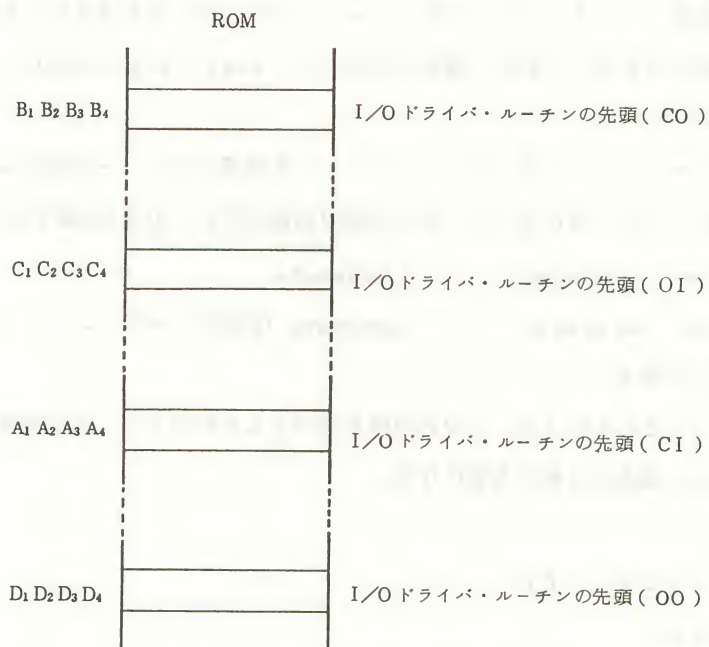
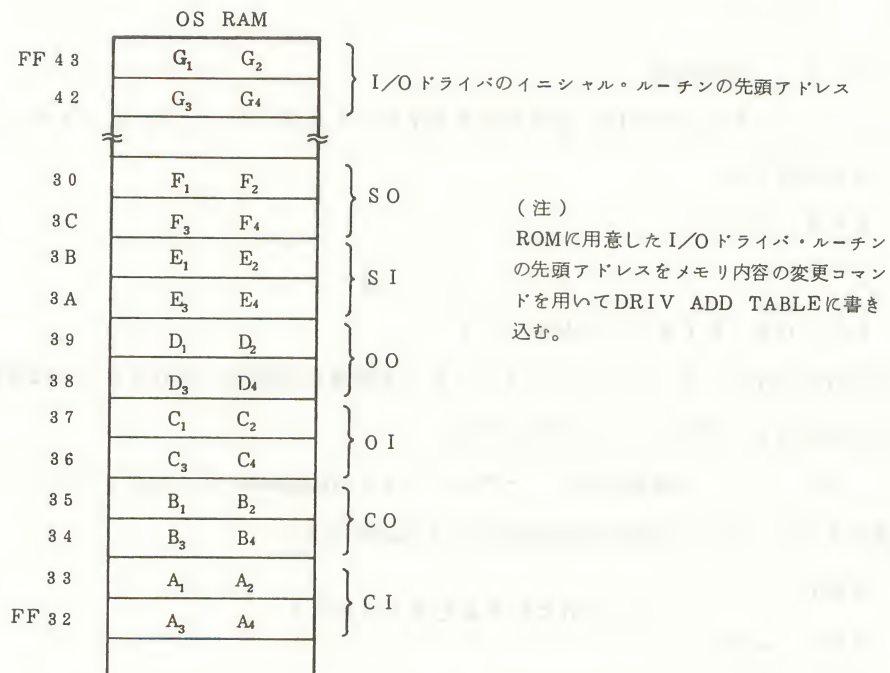


図 4. 8 ③の方法

4-3 コマンド

4-3-1 記述形式

モニタ・コマンドにおいては、以下に示す文字セット及び ファンクション・キー（印刷出力しない）を使用する。

0 ~ 9、A ~ Z

\$ ▽ + , - · / ; = ↑]

CR LF ETX (CTRL C)

上記以外の文字セット、ファンクション・キーを使用した場合、そのコマンドは無効となり（？を出力する）、再度コマンド待ちとなる。

コマンドは、コマンド識別記号、アーギュメント (argument)、及び ターミネータにより構成されており、その一般的な形式は次のいずれかである。

arg1 / (/ 以外に LF または ↑ でも可)

arg1 , arg2 /

arg1 ; C

arg1 , arg2 ; C

但し、arg1、arg2 はアーギュメント、C はコマンド記号

アーギュメントは、数値、ニーモニック、ロケーション・カウンタ、またはそれらを演算子 +、- で結合した式のいずれかである。上記の一般形式において、arg1 と arg2 の間はコンマ、で分離しなければならない。

式は既述の数値、ロケーション・カウンタ、ニーモニックを演算記号 +、- で結合したものであり、次の一般形式をしている。式において、その先頭の演算記号が + の場合省略することができる。

± a₁ a₁ a₁ a₁ ± a₂ a₂ a₂ a₂ ± ± a_n a_n a_n a_n

但し a₁ a₁ a₁ a₁ , a₂ a₂ a₂ a₂ , a_n a_n a_n a_n は数値、ロケーション・カウンタ、ニーモニックのいずれかである。

式の直後に等号 = をつけることにより、その式の値を調べることができる。式の評価値が 16 進数で 4 桁を越える場合、最後の 4 桁が有効になる。

〔例〕

2 6 A B + 1 2 F - · P C

3 2 6 5 - \$

3 2 6 5 - \$ = 9 1 (\$ の値が 3 2 9 4 とする)

F F F F + A B C D = A B C D

4-3-2 アーギュメント

アーギュメントは4桁の16進数を表現し、次のいずれかの形式をしている。

数 値

ロケーション・カウンタ（記号 \$）

ニーモニック

式

数値は最大4桁の16進数である。先行する0は省略でき、5桁以上の16進数を記述した場合、最後の4桁の数値が有効になる。使用できる文字は、0～9、A～Fである。

〔例〕

2 6 A B

3 F

0 0 1 0

1 0

7 3 2 6 5 (3 2 6 5 とみなされる)

ロケーション・カウンタは、メモリ内容の変更、表示コマンドにおいてのみ意味を持つ。ロケーション・カウンタは、現在示しているメモリ・アドレスの次のアドレスを示し、ドル記号\$によって表示する。ロケーション・カウンタを用いると相対ジャンプのオフセットを現在のメモリ・アドレスを意識しないで求めることができる。

〔例〕

3 2 6 5 - \$ (ロケーション・カウンタが3 2 9 4であるとする と左の式の値は9 1となる)

ニーモニックは既に述べたように、ドット記号とそれに続く2文字により表わす。ニーモニックにはシステムで既に登録しているものと（表4.1参照）、ユーザ側で定義するものがある。ニーモニックには、1バイト・ニーモニックと2バイト・ニーモニックがあり、各々2桁、4桁の16進数を処理する。

〔例〕

• P C

• A X (ユーザ定義ニーモニック)

4-3-3 コマンド識別記号

コマンド識別記号（以下 コマンド記号という）は、セミコロン；とアルファベット1文字か

ら構成されており、アルファベット記号はコマンド機能に対応して前もって決められている。但し、メモリ内容の表示、変更コマンドでは、特定のコマンド記号を持たず、スラッシュ／で識別する。

コマンドの入力は、コマンド待ちの状態（行の先頭にモニタが＊を印刷出力した後）で行い、一般的には、アークギュメントに続けてコマンド記号をキー入力する。

〔例〕

＊ 1 2 3 4 ; B

＊ ; D

＊ 1 2 3 4 , 5 6 7 8 ; P

＊ 1 2 3 4 /

表 4. 2 にコマンド記号の一覧表を示す。

4 - 3 - 4 ターミネータ

ターミネータはメモリ内容の表示、変更コマンド、及び ユーザ・レジスタの表示変更コマンドにおいて有効である。ターミネータとして、carriage return（以下↓と記述）up arrow（以下↑と記述）、line feed（以下LFと記述）があり、各々、次の機能を持っている。

① carriage return（↓）

現在のコマンドを完了した状態で↓を入力すると、次のコマンド待ちとなる。

〔例〕 ＊ 1 2 3 4 / F F ↓

＊ ……………次のコマンド待ち

② up arrow（↑）

現在のコマンドを完了した状態で↑を入力すると、現在のメモリ・アドレスを-1して同一コマンドを実行し、次のターミネータ入力待ちとなる。

〔例〕 ＊ 1 2 3 4 / F F ↑

＊ 1 2 3 3 / 0 0 ……………次のターミネータ待ち

③ line feed（LF）

現在のコマンドを完了した状態でLFを加入すると、現在のメモリ・アドレスを+1して同一コマンドを実行し次のターミネータ入力待ちとなる。

〔例〕 ＊ 1 2 3 4 / F F (L F)

＊ 1 2 3 5 / 0 F ……………次のターミネータ待ち

表 4.2 コマンド一覧表

機 能	コ マ ン ド	機 能 説 明															
メモリ・レジスタの表示	arg1/nn	arg1で指定されるメモリ・アドレス、またはユーザCPUの内容を2桁の16進数で/の直後に表示する。表示後ターミネータ待ち。															
メモリ・レジスタの変更	arg1/nn mm	arg1で指定されるメモリ・アドレス、またはユーザCPUレジスタの内容を変更する場合に使用する。変更は上記コマンドにより表示された数値に続いて、希望する数値(mm)を16進数で入力し、さらにターミネータを入力することによって行う。															
ブレイク・ポイントの設定解除	arg1;nB	arg1がある場合、ブレイク・ポイントの設定を行う。nは0~7で0は省略可能。このコマンドによりアドレスarg1に識別番号nのブレイク・ポイントを設定する。arg1を省略すると、n番のブレイク・ポイントを解除する。															
ブレイク・ポイントの表示	;D	現在設定されているブレイク・ポイントの識別番号と、そのアドレス(ブレイク・ポイント・アドレス)をnの順に表示する。															
ユーザ・プログラムの実行	arg1;G	arg1で指定されるメモリ・アドレスよりプログラム(ユーザ・プログラム)を実行する。arg1を省略した場合、現在のPC(ユーザ・CPUレジスタ)で示されるアドレスから実行する。															
ポート入力	arg1;nI	arg1+nで指定されるポートからデータ(1バイト)を読み込み表示する。nを省略した場合は、n=0と等価である。nは0~255の10進数とする。															
ポート出力	arg1,arg2;nO	arg1+nで指定されるポートへarg2で示される1バイトデータを書き込む。nの意味は上記ポート入力の場合と同じ。															
ブレイク・ポイントの全解除	;K	現在設定されているすべてのブレイク・ポイントを解除する。															
ステップ	arg1;nS	arg1で指定されるメモリ・アドレスよりnステップ実行させ、各ステップ毎にPC、AFの内容を印刷出力する。nを省略すると1ステップ動作。															
トレース	arg1;T	arg1で指定されるメモリ・アドレスよりトレースする。トレースはCTRLCのキー入力、またはブレイク・ポイント・アドレスにおいて終了し、コマンド待ちとなる。arg1を省略した場合、現在のPCの値よりトレースする。															
プログラムのロード	;L	オブジェクト・チャンネルよりインテル標準16進フォーマットのオブジェクト・プログラムをメモリへロードする。															
プログラムのパンチ	arg1+arg2;P	arg1、arg2で指定されるメモリ・アドレスの範囲の内容をオブジェクト・チャンネルに、インテル標準16進フォーマットで出力する。															
レジスタの表示	;R	すべてのユーザCPUレジスタの内容を表示する。															
メモリ・ブロックの表示	arg1,arg2/	arg1、arg2で指定されるメモリ・アドレスの範囲の内容を2桁の16進数で表示する。															
表示モードの指定	;nM又は arg1,arg2;mM	<p>ステップ、トレース、ブレイク・ポイントの各コマンド入力前に表示モードを指定できる。</p> <table border="0"> <tr> <td>n(m)</td> <td>表 示</td> <td>但し</td> </tr> <tr> <td>0</td> <td>PC AF</td> <td>arg1 メモリ・ブロックの先頭</td> </tr> <tr> <td>1</td> <td>全レジスタ</td> <td></td> </tr> <tr> <td>2(0)</td> <td>PC AFとメモリ・ブロック</td> <td>arg2 メモリ・ブロックの最後</td> </tr> <tr> <td>3(1)</td> <td>全レジスタとメモリ・ブロック</td> <td></td> </tr> </table>	n(m)	表 示	但し	0	PC AF	arg1 メモリ・ブロックの先頭	1	全レジスタ		2(0)	PC AFとメモリ・ブロック	arg2 メモリ・ブロックの最後	3(1)	全レジスタとメモリ・ブロック	
n(m)	表 示	但し															
0	PC AF	arg1 メモリ・ブロックの先頭															
1	全レジスタ																
2(0)	PC AFとメモリ・ブロック	arg2 メモリ・ブロックの最後															
3(1)	全レジスタとメモリ・ブロック																

ユーザ・レジスタの表示、変更コマンドにおいても、ターミネータをメモリ内容の表示、変更コマンドと同じように使用できる。この場合のメモリ・アドレスは確定している。表 4. 1 参照。

メモリ内容、及び ユーザ・レジスタの表示、変更コマンド以外のモニタ・コマンドはターミネータを持たない。これらのコマンドでは、コマンド記号を入力することによって実行を開始し、実行完了後、次のコマンド待ちの状態となる。

〔例〕 * 1 2 3 4 ; B

*次のコマンド待ち

5. 操作方法

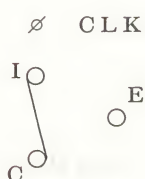
5-1 前準備

5-1-1 動作モード

出荷時において本ボードの動作モードは以下のように設定されている。下記の動作モードと異なるモードで使用する場合、3.4 動作モードの選択に従って設定を変えなければならない。

ラッピング端子

① システム・クロック

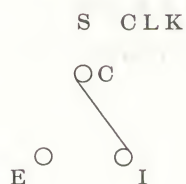


(説明)

出荷時は内部クロック側 (I-C) に結線されている。

外部クロックを使用する場合、E-C を結線する。

② シリアル・クロック

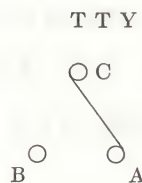


(説明)

出荷時は内部シリアル・クロック側 (I-C) に結線されている。

外部シリアル・クロックを使用する場合、E-C を結線する。

③ CTS 接地



(説明)

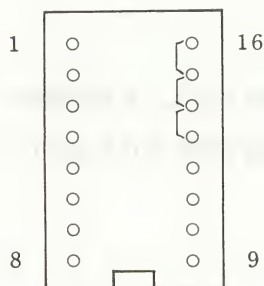
出荷時は A-C を結線している (TTY 使用時はこの結線を使用しなければならない)。

その他の場合は A-B を結線する。

B-C を結線してはならない。

プラットホーム端子

① K₁

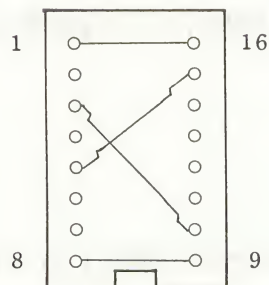


(説明)

13-16、13-15、13-14 結線 8251より割り込み なし
 4-13、5-12、6-11 開放 ボー・レート 110
 7-10 開放 EPROM #3、#4
 汎用使用
 しない

(注) TTY使用時 ボー・レート 110

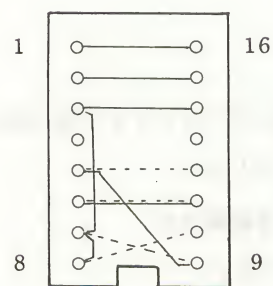
② K₂



(説明)

1-16、5-15 結線 ユーザ RAMのベース・アドレス
 (4 Kの場合) 0000
 5-15-16 結線 ユーザ RAMのベース・アドレス
 (16 Kの場合) 0000
 8-9、3-10 結線 OS ROMのベース・アドレス
 E000

③ K₃



(説明)

1-16、2-15、3-14 結線 OS ROMは2708相当
 6-11、5-9 7-8-3 結線(実線) 4 K RAM
 又は
 5-12、6-11、7-9、8-10 結線(点線) 16 K RAM

5-1-2 I/O 装置

システム I/O 装置としてTTYを使用する場合の結線図を図5.1に示す。

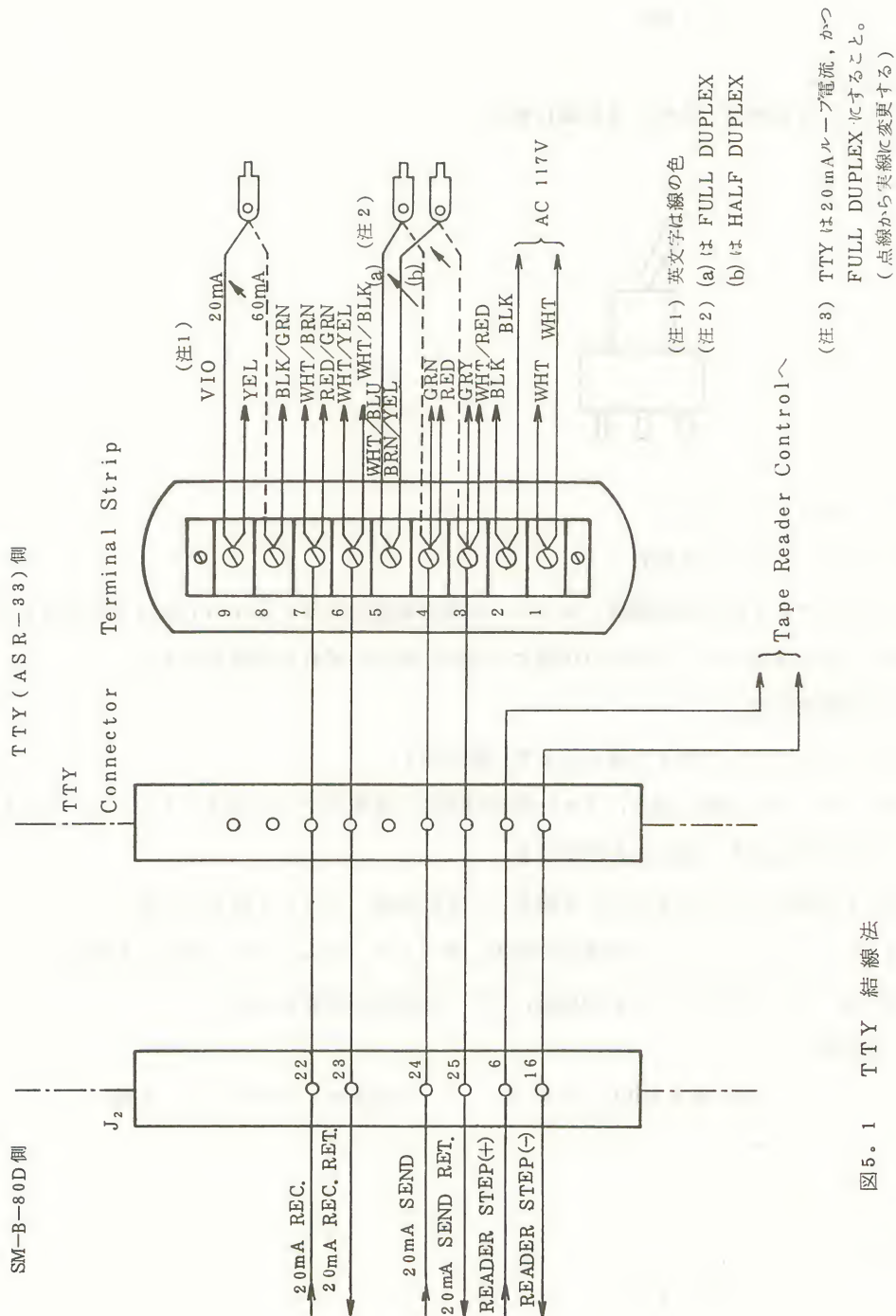
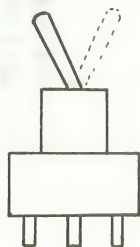


図 5. 1 TTY 結線法

5-1-3 その他

スイッチ

モニタ使用時 SW_2 をE側に倒す。



5-2 モニタ・コマンド

5-2-1 コマンド待ち

モニタのコマンド待ちの状態は、コンソール出力装置上に* (asterisk) を印字することにより示す。モニタがコマンド待ちの状態になるのは次のいずれかの場合である。

- (1) 電源投入後。
- (2) マニュアル・リセット後。(SW_1 投入時)
- (3) コマンド終了後。但し、メモリ内容の表示、変更コマンドでは、ターミネータ CR を入力した場合のみ、次に*を印字する。
- (4) 未定義のコマンドを入力した場合、? を印字後 コマンド待ちとなる。
- (5) ロード (L) コマンドの実行の結果、チェック・サム・エラーが生じた場合。

(1)、(2)では、モニタのタイトルを印刷後、コマンド待ちの状態となる。

(1)、(2)の例

SM-B-80D V×.× (注) ×.×はバージョン数

*

(3)の例

* 2 F ; 1 B

*

(4)の例

* ; H ?

*

(5)の例

* ; L

0 E 3 F

*

5-2-2 プログラムのロード

形式

* ; L (はキー入力する部分、以下同じ)

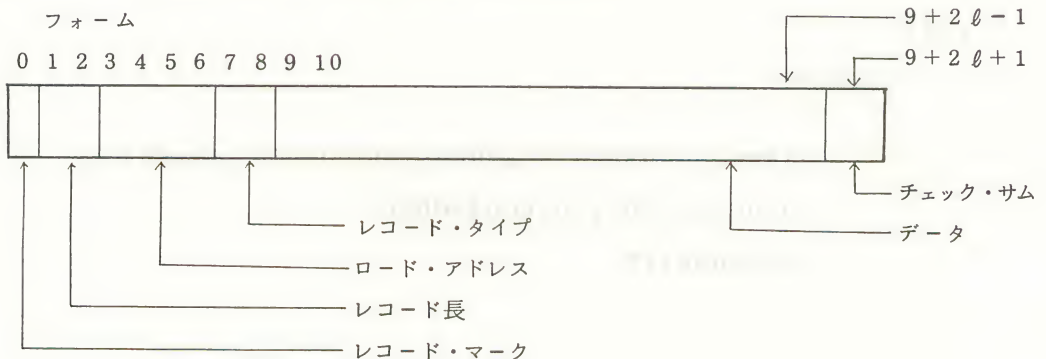
オブジェクト入力チャンネル (O I) に指定された入力装置よりオブジェクト・プログラムを内部メモリにロードする。オブジェクト・プログラムはインテル標準16進フォーマットでなければならない。本ボードでは、特に O I を指定しない場合入力装置として紙テープ・リーダーが選ばれる。

〔例〕

* ; L

*

インテル標準16進フォーマットは次の形式をしている。



(1) レコード・マーク

コロン (:) に対応する ASCII コード 3 A によりレコードの先頭を示す。

(2) レコード長

レコードのデータ(バイト)長をASCIIコードにより表わす。例えば、データ長129バイトは16進数で81であり、ASCIIコードでは3831となる。エンド・オブ・ファイルのレコード長は00であり、フレーム1、2には対応するASCIIコードが入る。

(3) ロード・アドレス

レコードの先頭のデータがロードされるアドレスをASCIIコードにより表わす。アドレスは4桁の16進数で表わされ、上位側がフレーム3、4に入る。エンド・オブ・ファイルのアドレスは0000であり、フレーム3～6には対応するASCIIコードが入る。

(4) レコード・タイプ

データ・レコードはタイプ0、エンド・オブ・ファイルはタイプ1とし、各々0、1に対応するASCIIコードで表わす。

(5) データ

1バイト・データは2桁の16進数で表現できるが、これを対応するASCIIコードで連続する2フレームに入れる。データの上位バイトが前のフレーム、下位バイトが後のフレームとなる。エンド・オブ・ファイルにはデータはない。

(6) チェック・サム

第1フレームからデータの最終フレームまでの数を2フレーム毎に区切り、各フレームのデータ(ASCIIコードではない)を2進数表現にする。これらの各単位の2進数を2進加算し、結果の2の補数をチェック・サムとして2桁の16進数で表わす。チェック・サムは対応するASCIIコードにより最後の2フレームに入る。

〔例〕

(印刷出力)

```
: 100020000500070023000610ED5B20002A22004C8B
: 070030007D210000CB39CB5C
: 00000001FF
```

5-2-3 プログラムのパンチ

形 式

* arg1、arg2 ; P

arg1、arg2 で指定されるメモリ・アドレスの内容をオブジェクト出力チャンネル(00)で、指定された出力装置へ出力する。出力形式はインテル標準16進フォーマットである。本ボードでは、特に00を指定しない場合、出力チャンネルとしてTTYの紙テープ・パンチャが選ばれる。

〔例〕

```
* 26, 47 ; P
: 100026000610ED5B20002A22004C7D210000CB3912
: 10003600CB1F300119CB23CB1210F3222400C31699
: 02004600E100D7
: 00000001FF
*
```

5-2-4 メモリ・レジスタの内容表示

形 式

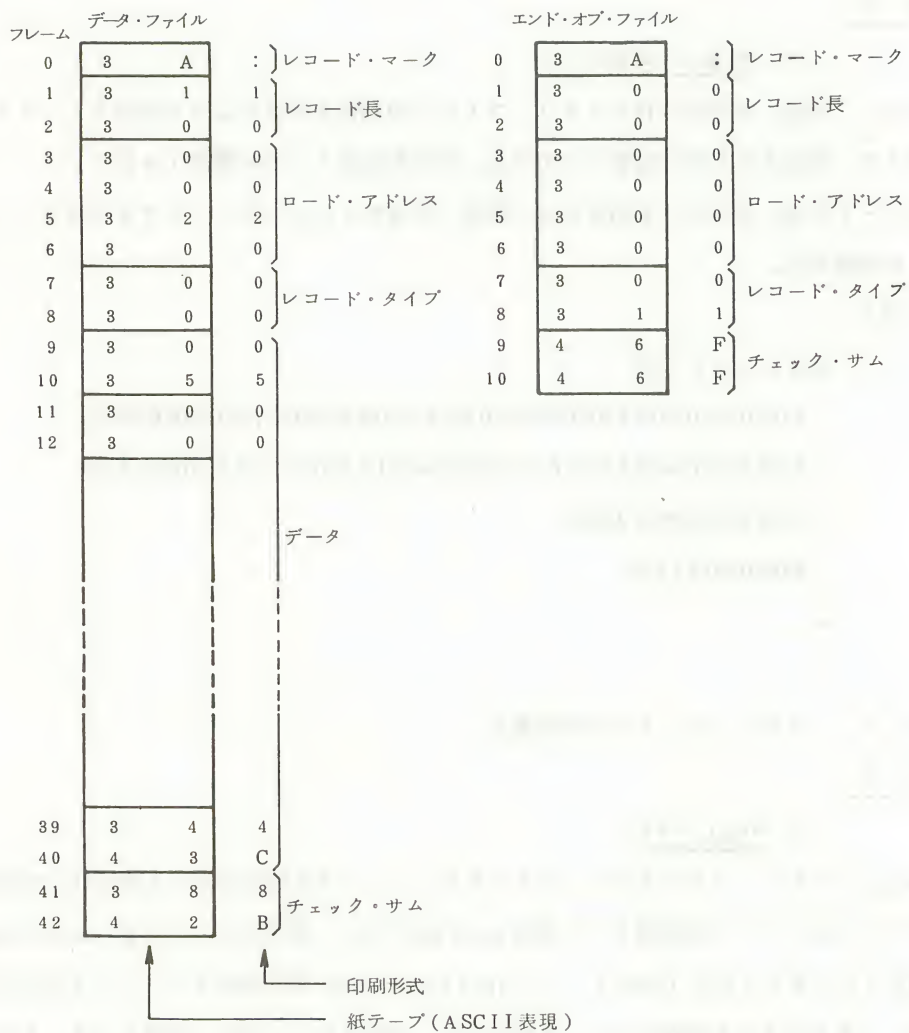
* arg1 / nn

arg1 でメモリ・アドレスかユーザ(CPU)レジスタを指定する／入力によって指定されたアドレスかレジスタの内容を16進数nnで表示する。表示後、↓(CR—carriage return)、LF(line feed)、↑(up arrow)のいずれかのターミネータ待ちの状態にある。↓を入力すると現在のコマンドは完了し、次のコマンド待ちの状態となる。LFを入力すると現在のメモリ・アドレスを+1して、さらにメモリ内容の表示を行い、次のコマンド待ちの状態となる。↑を入力すると現在のメモリ・アドレスを-1して、さらにメモリ内容の表示を行い、次のコマンド待ちの状態となる。

〔例〕

```
* 20 / 05
*
```

(紙テープ)



* 2 0 / 0 5

0 0 2 1 / 0 0

0 0 2 2 / 0 7

0 0 2 3 / 0 0

0 0 2 4 / 2 3

*

* 2 4 / 2 3 ^

0 0 2 3 / 0 0 ^

0 0 2 2 / 0 7 ^

0 0 2 1 / 0 0 ^

0 0 2 0 / 0 5

*

* . P C / 0 0 2 F

* . A / 7 0

* . H' / D A

* . I X / 5 E 5 F

* . I Y / F 8 5 8

5-2-5 メモリ・レジスタの内容変更

形 式

* arg1 / nn mm

既述のメモリ・レジスタの内容表示コマンドにより nn を表示後、ターミネータを入力せずに 16 進数 mm を入力すると arg1 で示されるアドレスかユーザ・レジスタの内容は mm に変更される。mm 入力後ターミネータ待ちの状態になる。この場合のターミネータの意味は既述のメモリ、レジスタの内容表示の場合と同じである。3 桁以上の 16 進数を入力すると最後の 2 桁が有効になる。

〔例〕

*20/05 F6

0021/00 2A

*20/F6

0021/2A

*

*.PC/002F 32

*.A/70 3B

*.H'/DA FF

*.IX/5E5F 5E80

*.1Y/F858 5E60

5-2-6 メモリ・ブロックの表示

形 式

* arg1, arg2 /

arg1、arg2 で指定されるメモリ・アドレスの範囲の内容を2桁の16進数で印刷出力する。出力後次のコマンド待ちとなる。

〔例〕

*FF00,FFFF/

```
FF00/B0 E5 AF FF 00 00 AF A5 A1 A0 02 00 FF FF FF 00
FF10/00 00 2F A5 A1 E1 AF 0F A0 A4 2F A7 E4 B0 AF 25
FF20/A5 E5 AF AD A0 A5 2F AF A4 A4 AF 27 A1 A0 AF 25
FF30/A0 25 4B E7 5E E7 49 E7 5E E7 49 E7 5E E7 54 45
FF40/80 A1 AF AF E0 E4 AF 27 A0 80 AF 07 E1 E4 8D 2D
FF50/A1 A5 8F A7 A4 A4 2F 27 A0 F4 27 AD A0 B0 AF 85
FF60/A0 A5 AF AF A0 B0 AF 8D A0 E0 AD 0F B0 A0 A7 2F
FF70/A0 A1 AF 8D A0 A1 AD 8D A4 B1 8F AF E0 E0 AF 07
FF80/50 50 5F 5F 70 5A 1F 5E 50 5A 0F 5B 70 52 5F 5B
FF90/5A 52 5F 4E 50 7A 5F 4E 52 5A 5F 4E 50 58 5F 5A
FFA0/50 52 5F 5F 72 50 5F 5F 50 7A 4F 5A 50 70 5F 5B
FFB0/50 52 5F 5F 50 D0 5F 5E 50 D0 4F 1B 50 50 5F 5F
FFC0/52 58 0F 5E 50 58 5F 4F 5A D8 5F 5F 70 58 5F 5F
FFD0/5A 52 0E 5F 50 D2 1F 5E 64 E0 64 E0 DB FF 64 E0
FFE0/E0 FF A0 E4 16 E1 B4 FF 58 F8 5B 5E 50 D2 5E 5E
FFF0/DA FA 5F 1F 50 50 5F 5F D8 D0 5F 5F 52 70 1B 5F
```

*

5-2-7 ユーザ・レジスタの表示

形 式

* ; R または * ; 1 R

このコマンドはすべてのユーザ (CPU) レジスタの内容を表示する場合に使用する。特定のユーザ・レジスタの表示はメモリ内容の表示コマンドにおいてその arg1 にユーザ・レジスタに対応するニーモニック (例えば ・PC) を用いることによって行うことができる。

; R はレジスタの内容だけを表示する場合に使用し、; 1 R はレジスタの内容と対応するレジスタのラベルを表示する場合に用いる。

〔例〕

* 2 F ; 1 B

* 2 6 ; S

0 0 2 8 7 2 7 2

* ; R

0028 7272 5F01 10D8 0005 0007 1F4F 7ADA 5E4E DA52 5E5F F858 FFB0

* ; 1 R

PC AF I,IF BC DE HL AF' BC' DE' HL' IX IY SP

0028 7272 5F01 10D8 0005 0007 1F4F 7ADA 5E4E DA52 5E5F F858 FFB0

*

5-2-8 ユーザ・プログラムの実行

形 式

* arg1 ; G

arg1 で指定されるメモリ・アドレスからプログラム (ユーザ・プログラム) を実行する。arg1 を省略した場合、現在の PC (ユーザ CPU レジスタで ・PC の内容に等しい) で示されるアドレスからプログラムを実行する。

〔例〕

* 2 6 ; G

*

* . PC / E 0 5 F 2 6

* ; G

*

5-2-9 ブレーク・ポイントの設定と解除

形 式

* arg1 ; nB

arg1 で指定されるメモリ・アドレスにブレーク・ポイントを設定する。n はブレーク・ポイントの識別番号で 0～7 の整数であり、0 の場合は省略可能である。同じメモリ・アドレスにブレーク・ポイントを 2 回以上設定してはならない。arg1 を省略すると識別番号 n のブレーク・ポイントを解除する。

ブレーク・ポイントの動作は、プログラム実行を中断する (break ブレーク) アドレスに特定の出力命令 (OUT (DE), A) を挿入することにより実現している。したがって、ブレーク・ポイントは必ず命令の先頭アドレスに設定しなければならない。またこの出力命令は 2 バイト命令であるので例 2 のような場所には設定してはならない。

プログラム実行の結果、ブレーク・ポイント動作が成立すると、後述する表示モードの指定に従い、ブレーク・ポイント直前の実行状態と / を印刷し、実行を中断してモニタ・コマンド待ちとなる。この場合、対応するブレーク・ポイントは解除される。

〔例 1〕

```
* 0 2 C ; 1 B
* 3 A ; 5 B
* 0 0 0 3 0 ; 2 B
* ; D
1 0 0 2 C
2 0 0 3 0
5 0 0 3 A
* ; K
* ; D
*
```

〔例 2〕

J R	N C , L A B E L	(注)
L D	A , B	←----- 矢印のアドレスに設定
L A B E L : A D D	A , C	してはならない。

5-2-10 ブレーク・ポイントの表示

形 式

* ; D
~~~~~

現在設定されているすべてのブレーク・ポイントの識別番号 n とそのメモリ・アドレスを n の順に表示する。

〔例〕

\* 2 C ; 1 B

\* 3 A ; 5 B

\* 3 8 ; 7 B

\* 3 0 ; 2 B

\* 0 0 0 3 6 ; 4 B

\* ; D

1 0 0 2 C

2 0 0 3 0

4 0 0 3 6

5 0 0 3 A

7 0 0 3 8

\*

## 5-2-11 ブレーク・ポイントの全解除

### 形 式

\*        ; K

現在設定されているすべてのブレーク・ポイントを解除する、なお、特定のブレーク・ポイントの解除は次のいずれかによって行うことができる。

- (1) コマンド入力 ; nB を入力した場合。
- (2) 命令実行の結果、特定のブレーク・ポイントが成立した場合。

〔 例 〕

\* 2 C ; 1 B

\* 3 0 ; 2 B

\* 3 A ; 5 B

\* ; D

1 0 0 2 C

2 0 0 3 0

5 0 0 3 A

\* ; K

\* ; D

\*

\* 0 2 C ; 1 B

\* 3 A ; 5 B

\* 0 0 0 3 0 ; 2 B

\* ; D

1 0 0 2 C

2 0 0 3 0

5 0 0 3 A

\* 2 6 ; G

0 0 2 C 7 2 F 0 1 /

\* ; D

2 0 0 3 0

5 0 0 3 A

\* ; 5 B

\* ; D

2 0 0 3 0

\*

形 式\* arg1 ; n S

arg1 で指定されるメモリ・アドレスより n 命令実行し、各命令実行毎にその結果を後述する表示モードの指定に従って印刷出力する。n は 0 ~ 255 の整数であり、n を 0 とするか省略した場合 n = 1 と等価である。n 命令実行中にブレーク・ポイントがある場合、そのブレーク・ポイントで命令実行は中断し、結果を印刷して次のコマンド待ちとなるので、その時点で残りのステップ動作は無効となる。arg1 を省略した場合、現在の PC ( ユーザ CPU レジスタ ) からステップ動作を行う。

〔 例 〕

```
* 0 2 C ; 1 B
* 3 A ; 5 B
* 0 0 0 3 0 ; 2 B
* 2 6 ; S
0 0 2 8   7 2 F 0
* ; S
0 0 2 C   7 2 F 0   1 /
* ; S
0 0 2 F   7 2 F 0
* ; S
0 0 3 0   7 2 F 0
* ; S
0 0 3 0   7 2 F 0   2 /
*

* 2 C ; 1 B
* 3 0 ; 2 B
* 3 A ; 5 B
* 2 6 ; 5 S
0 0 2 8   3 2 4 4
0 0 2 C   3 2 4 4
0 0 2 C   3 2 4 4   1 /
*
```



## 5-2-13      トレース

### 形 式

arg1 ; T

arg1 で指定されるメモリ・アドレスよりプログラムを実行し、各命令実行毎に後述の表示モードの指定に従って実行結果を印刷出力する。本コマンドは、ブレーク・ポイント成立か、CTRL C のキー入力によって以後無効となり、次のコマンド待ちとなる。arg1 を省略した場合、現在のPC（ユーザCPUレジスタで      ・PCの内容）の値よりトレース動作を行う。

〔例〕

\* 2 C ; 1 B

\* 3 0 ; 2 B

\* 3 A ; 5 B

\* 2 6 ; T

0 0 2 8   7 2 F 0

0 0 2 C   7 2 F 0

0 0 2 C   7 2 F 0   1 /

\*

\* . PC / 0 0 2 C   2 6

\* ; T

0 0 2 8   7 2 F 0

0 0 2 C   7 2 F 0

0 0 2 F   7 2 F 0

0 0 3 0   7 2 F 0

0 0 3 0   7 2 F 0   2 /

\*

#### 5-2-14 表示モードの指定

##### 形 式

① \* arg1 , arg2 ; nM                      arg1 , arg2 で指定されるメモリ・ブロックレジスタ

② \* ; nM                                      既に指定されているメモリ・ブロックとレジスタ

本コマンドは、ブレーク・ポインド、ステップ、トレースの各コマンドにおいて、印刷出力のモード指定を行う場合に用いる。①のコマンドはメモリ・ブロックの範囲を指定するために用いられ、nによって表示レジスタの種類を指定する。②のコマンドにおいては、メモリ・ブロックの範囲は既に指定されている値に等しく、またnによって、メモリ・ブロックの印刷出力の有無と表示レジスタの種類を指定する。

なお、arg1、arg2は各々メモリ・ブロックの先頭と最後のアドレスを示す。

| コ マ ン ド           | n     | 説 明                                 |
|-------------------|-------|-------------------------------------|
| *arg1 , arg2 ; nM | 0 か省略 | PC, AF と arg1 , arg2 で指定されるメモリ・ブロック |
|                   | 1     | 全レジスタと arg1 , arg2 で指定されるメモリ・ブロック   |
| * ; nM            | 0 か省略 | PC、AFのみ表示                           |
|                   | 1     | 全レジスタを表示                            |
|                   | 2     | PC、AFと既に指定されているメモリ・ブロック             |
|                   | 3     | 全レジスタと既に指定されているメモリ・ブロック             |

〔例1〕

\*2C;1B

\*30;2B

\*36;5B

\*38;7B

\*20,3F;0M

\*26;T

0028 72F2

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 D3 DE 00 4C

0030/ D3 DE 00 00 CB 39 D3 DE D3 DE 19 CB 23 CB 12 10

002C 72F2

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 D3 DE 00 4C

0030/ D3 DE 00 00 CB 39 D3 DE D3 DE 19 CB 23 CB 12 10

002C 72F2 1/

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ D3 DE 00 00 CB 39 D3 DE D3 DE 19 CB 23 CB 12 10

\*20,3F;1M

\*2C;T

002F 72F2 5F01 10D8 0005 0007 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ D3 DE 00 00 CB 39 D3 DE D3 DE 19 CB 23 CB 12 10

0030 72F2 5F01 1000 0005 0007 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ D3 DE 00 00 CB 39 D3 DE D3 DE 19 CB 23 CB 12 10

0030 72F2 5F01 1000 0005 0007 5F5F FADA 5F5E DA52 5F5B 5070 FFB4 2/

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 D3 DE D3 DE 19 CB 23 CB 12 10

\*3A;3B

\*3D;4B

\*;1R

PC AF 1,1F BC DE HL AF' BC' DE' HL' IX IY SP  
0030 72F2 5F01 1000 0005 0007 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

\*30;T

0031 07F2 5F01 1000 0005 0007 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 D3 DE D3 DE D3 DE 23 D3 DE 10

0034 07F2 5F01 1000 0005 0000 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 D3 DE D3 DE D3 DE 23 D3 DE 10

0036 0744 5F01 1000 0005 0000 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 D3 DE D3 DE D3 DE 23 D3 DE 10

0036 0744 5F01 1000 0005 0000 5F5F FADA 5F5E DA52 5F5B 5070 FFB4 5/

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 CB 1F D3 DE D3 DE 23 D3 DE 10

〔 例 2 〕

arg1 , arg2 は前の設定値が残っている。

\*;0M

\*36;T

0038 0305

0038 0305 7/

\*;1M

\*38;T

003A 0305 5F01 1000 0005 0000 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

003A 0305 5F01 1000 0005 0000 5F5F FADA 5F5E DA52 5F5B 5070 FFB4 3/

\*;2M

\*3A;T

003B 0304

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 CB 1F 30 01 19 CB 23 D3 DE 10

003D 030C

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 CB 1F 30 01 19 CB 23 D3 DE 10

003D 030C 4/

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 CB 1F 30 01 19 CB 23 CB 12 10

\*3F;1B

\*;3M

\*3D;T

003F 0344 5F01 1000 000A 0005 5F5F FADA 5F5E DA52 5F5B 5070 FFB4

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 CB 1F 30 01 19 CB 23 CB 12 D3

003F 0344 5F01 1000 000A 0005 5F5F FADA 5F5E DA52 5F5B 5070 FFB4 1/

0020/ 05 00 07 00 23 00 06 10 ED 5B 20 00 2A 22 00 4C

0030/ 7D 21 00 00 CB 39 CB 1F 30 01 19 CB 23 CB 12 10

\*



## 5-2-15 ポート入力

### 形 式

```
* arg1 ; n I
* ; n I
```

arg1 + n で指定されるポートからデータ（1バイト）を読み込み表示する。n を省略した場合は n = 0 と等価である。n は 0 ~ 255 の10進数とする。また、arg1 を省略した場合は、以前に指定された arg1 が有効となり arg1 + n が指定される。

### 〔例〕

```
* 1 A ; 1 I
3 B
* ; 1 I
3 B
* A 0 ; I
F F
* ; I
F F
*
```

## 5-2-16 ポート出力

### 形 式

```
* arg1 , arg2 ; n O
* arg1 ; n O
```

arg1 + n で指定されるポートへ arg2 で示される1バイト データを書き込む。n を省略した場合は、n = 0 と等価である。n は 0 ~ 255 の10進数とする。また、arg2 を省略した場合は、以前に指定された arg1 が有効となり、ポート arg1 + n へ arg1（現在のコマンドライン）を書き込む。

### 〔例〕

```
* B 0 , F E ; 2 O
* F B ; 2 O
* 3 B , F A ; O
* F C ; O
*
```

## 6. 規 格

〈一般規格〉

表 6.1 一 般 規 格

| 項 目                  | 規 格                                                                                                                     | 備 考                                                       |
|----------------------|-------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------|
| C P U                | Z-80 CPUチップ                                                                                                             |                                                           |
| 語 長                  | 1 語 8ビット<br>命 令 8, 16, 24, 32ビット<br>デ-タ 8ビット<br>アドレス 16ビット<br>I/O アドレス 入力, 出力, 各8ビット                                    |                                                           |
| 最小命令実行時間             | 1.63 $\mu$ s                                                                                                            | 4クロック・サイクル<br>8ビット<br>レジスタ加算<br>8ビット<br>レジスタ間転送           |
| CPUクロック              | 内部クロック (水晶発振) 2.4576 MHz または<br>外部クロック 0.7~2.5 MHz                                                                      | 下限周波数はダイナミックRAMのリフレッシュ・サイクルで決まる。                          |
| メ モ リ                | OS ROM LH-2708 最大4個実装可能<br>OS RAM LH-2111A4 2個<br>ユーザRAM LH-4027-3 または LH-4116-3 8個                                     | ソケット実装<br><br>ソケット実装                                      |
| メ モ リ 容 量            | OS ROM 最大4Kバイト<br>OS RAM 256バイト<br>ユーザRAM 4Kバイト または 16Kバイト                                                              | ユーザRAM<br>4Kバイト実装製品<br>LH-8H01A<br>16Kバイト実装製品<br>LH-8H01B |
| メモリ・アドレス             | OS ROM 4Kバイト単位にベース・アドレス設定可能<br>OS RAM FF00~FFFF (固定)<br>ユーザRAM 4Kバイト または 16Kバイト単位にベース・アドレス設定可能                          | ジャンパ端子 K <sub>2</sub><br><br>ジャンパ端子 K <sub>2</sub>        |
| パラレル I/O<br>インターフェイス | PIO 1個使用<br>8ビット 入出力データ線 $\times 2$<br>2ビット シェイク・ハンド制御線 $\times 2$<br>ユーザ配線領域 16ピンDIP IC 4個実装可能<br>コネクタ 50ピン フラット・ケーブル用 | <br><br><br>コネクタ J <sub>1</sub>                           |
| シリアル I/O<br>インターフェイス | UART (8251) 1個使用<br>TTYインターフェース (20mA電流ループ) 及び<br>RS-232C インターフェース<br>コネクタ 26ピン フラット・ケーブル用                              | <br><br><br>コネクタ J <sub>2</sub>                           |

| 項 目             | 規 格                                                                                                                                                                                                                                                                                                                                              | 備 考                    |
|-----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------|
| カウンタ / タイマ      | CTC 1個使用<br>チャンネル0 システム使用 (ポーレート作成用)<br>チャンネル1~3 ユーザ開放<br>クロック入力 2.4576 MHz (406.9 ns )                                                                                                                                                                                                                                                          |                        |
| I/O ポート<br>アドレス | ユーザ開放 00~CF<br>システム使用 D0~DF<br>システム・リザーブ E0~FF<br>但し D0 PIO ポートA データ<br>D1 PIO ポートA コントロール<br>D2 PIO ポートB データ<br>D3 PIO ポートB コントロール<br><br>D8 CTC チャンネル 0<br>D9 CTC チャンネル 1<br>DA CTC チャンネル 2<br>DB CTC チャンネル 3<br><br>DC UART データ<br>DD UART コントロール<br><br>DE W システム NMI (N-Delay)<br>R ポーレート、アドレスE リセット<br>DF W システム NMI (Delay)<br>R リーダ・ステップ | ブレイク・ポイント<br>ステップ・トレース |
| ポーレート           | 8種類 切り換え 可能<br>110,150,300,600,1200,2400,4800,9600                                                                                                                                                                                                                                                                                               | ジャンパ端子 K <sub>1</sub>  |
| 電 源             | +5V±5% 2.2Amax<br>+12V±5% 450mA max<br>-12V±5% 150mA max                                                                                                                                                                                                                                                                                         |                        |
| 動作温度            | 0℃ ~ 50℃                                                                                                                                                                                                                                                                                                                                         |                        |
| ボード寸法           | 270×190×20 単位 mm                                                                                                                                                                                                                                                                                                                                 |                        |
|                 | J <sub>1</sub> 50ピン フラット・ケーブル・コネクタ<br>(ヒロセ HIF3-50P-2.54DS相当)<br>J <sub>2</sub> 26ピン<br>(同 上 HIF3-26P-2.54DS相当)<br>J <sub>3</sub> 100ピン コネクタ 3.175mm ピッチ<br>(ケル製 4800-100-135 相当)                                                                                                                                                                |                        |

〈バス信号線〉

表 6.2 バス信号線 規格

| 項 目                                                                  |                                | 規 格 値                                                                                    |                     |                                                                        |
|----------------------------------------------------------------------|--------------------------------|------------------------------------------------------------------------------------------|---------------------|------------------------------------------------------------------------|
| アドレス・バス<br>( $*A_0 \sim *A_{15}$ )<br>データ・バス<br>( $*D_0 \sim *D_7$ ) |                                | トライ・ステート                                                                                 | TTLコンパティブル          |                                                                        |
|                                                                      |                                | 入力                                                                                       | 論理1                 | $0.0 \sim 0.8 \text{ V}$ ( $200 \mu\text{A}$ max at $0.4 \text{ V}$ )  |
|                                                                      |                                |                                                                                          | 0                   | $2.2 \sim 5.25 \text{ V}$ ( $25 \mu\text{A}$ max at $5.25 \text{ V}$ ) |
|                                                                      |                                | 出力                                                                                       | 論理1                 | $0.5 \text{ V max}$ ( $40 \text{ mA}$ シンク電流)                           |
|                                                                      |                                |                                                                                          |                     | $2.6 \text{ V min}$ ( $10 \text{ mA}$ ソース電流)                           |
|                                                                      |                                | 出力オフ状態リーク電流 $100 \mu\text{A}$ max ( $V_{cc}=5.25 \text{ V}$ , $V_o=5.25/0.4 \text{ V}$ ) |                     |                                                                        |
| 入出力制御線<br>$*RFSH$ , $*MREQ$<br>$*IORQ$ , $*RD$<br>$*WR$ , $*M_1$     |                                | トライ・ステート                                                                                 | TTLコンパティブル          |                                                                        |
|                                                                      |                                | 入力                                                                                       | 論理1                 | $0.0 \sim 0.8 \text{ V}$ ( $40 \mu\text{A}$ max at $0.5 \text{ V}$ )   |
|                                                                      |                                |                                                                                          | 0                   | $2.0 \sim 5.25 \text{ V}$ ( $40 \mu\text{A}$ max at $2.4 \text{ V}$ )  |
|                                                                      |                                | 出力                                                                                       | 論理1                 | $0.4 \text{ V max}$ ( $32 \text{ mA}$ シンク電流)                           |
|                                                                      |                                |                                                                                          | 0                   | $2.4 \text{ V min}$ ( $5.2 \text{ mA}$ ソース電流)                          |
|                                                                      |                                | 出力オフ状態リーク電流 $40 \mu\text{A}$ max ( $V_{cc}=5.25 \text{ V}$ , $V_o=2.4/0.4 \text{ V}$ )   |                     |                                                                        |
| 入 力<br>制 御 線                                                         | $*INTU$<br>$*NMIU$             | 入力                                                                                       | 論理1                 | $0.0 \sim 0.8 \text{ V}$                                               |
|                                                                      |                                |                                                                                          | 0                   | $2.0 \sim 5.25 \text{ V}$                                              |
|                                                                      |                                |                                                                                          | $3 \text{ K}\Omega$ | プル・アップ                                                                 |
|                                                                      | $*WAIT$<br>$*BUSRQ$<br>$*RENB$ | 入力                                                                                       | 論理1                 | $0.0 \sim 0.8 \text{ V}$ ( $40 \mu\text{A}$ max at $0.5 \text{ V}$ )   |
|                                                                      |                                |                                                                                          | 0                   | $2.0 \sim 5.25 \text{ V}$ ( $40 \mu\text{A}$ max at $2.4 \text{ V}$ )  |
|                                                                      |                                |                                                                                          | $3 \text{ K}\Omega$ | プル・アップ                                                                 |
|                                                                      | $*DEBG$                        | 入力                                                                                       | 論理1                 | $0.0 \sim 0.8 \text{ V}$ ( $0.8 \text{ mA}$ max at $0.4 \text{ V}$ )   |
|                                                                      |                                |                                                                                          | 0                   | $2.0 \sim 5.25 \text{ V}$ ( $40 \mu\text{A}$ max at $2.7 \text{ V}$ )  |
|                                                                      | $*DDIS$                        | 入力                                                                                       | 論理1                 | $0.0 \sim 0.8 \text{ V}$ ( $200 \mu\text{A}$ max at $0.4 \text{ V}$ )  |
|                                                                      |                                |                                                                                          | 0                   | $2.0 \sim 5.25 \text{ V}$ ( $25 \mu\text{A}$ max at $5.25 \text{ V}$ ) |
|                                                                      |                                |                                                                                          | $1 \text{ K}\Omega$ | プル・アップ (内部で74LS03とwired-ORになっている)                                      |
| 出 力<br>制 御 線                                                         | $*BUSAK$                       | 出力                                                                                       | 論理1                 | $0.4 \text{ V max}$ ( $16 \text{ mA}$ シンク電流)                           |
|                                                                      |                                |                                                                                          | 0                   | $2.4 \text{ V min}$ ( $400 \mu\text{A}$ ソース電流)                         |
|                                                                      | $*HALT$                        | 出力                                                                                       | 論理1                 | $0.4 \text{ V max}$ ( $100 \text{ mA}$ シンク電流)                          |
|                                                                      |                                |                                                                                          | 0                   | $V_{cc}$ ( $15 \text{ mA typ}$ ソース電流)                                  |



| 項 目                   |             | 規 格 値        |                                          |  |
|-----------------------|-------------|--------------|------------------------------------------|--|
| デージ・<br>チェーン<br>制 御 線 | I E I       | 入力 論理 1      | 2.0 ~ 5.25 V ( 40 $\mu$ A max at 2.4 V ) |  |
|                       |             | 0            | 0.0 ~ 0.8 V ( 40 $\mu$ A max at 0.5 V )  |  |
|                       |             | 3 K $\Omega$ | プル・アップ                                   |  |
|                       | I E O       | 出力 論理 1      | 2.7 V min ( 400 $\mu$ A max ソース電流 )      |  |
|                       |             | 0            | 0.5 V max ( 8 mA max シンク電流 )             |  |
| ク ロ ッ ク               | $\emptyset$ | 出力 論理 1      | 2.4 V min ( 400 $\mu$ A max ソース電流 )      |  |
|                       |             | 0            | 0.4 V max ( 16 mA max シンク電流 )            |  |
|                       |             | 入力 論理 1      | 2.0 ~ 5.25 V                             |  |
|                       |             | 0            | 0.0 ~ 0.8 V                              |  |
| リセット<br>( *MRESET )   |             | 入力 論理 1      | 0.0 ~ 0.8 V ( 0.4 mA max at 0.4 V )      |  |
|                       |             | 0            | 2.0 ~ 5.25 V ( 20 $\mu$ A max at 2.7 V ) |  |
|                       |             | 出力 論理 1      | 0.5 V max ( 8 mA max シンク電流 )             |  |
|                       |             | 0            | V <sub>cc</sub> ( 5 mA ソース電流 )           |  |

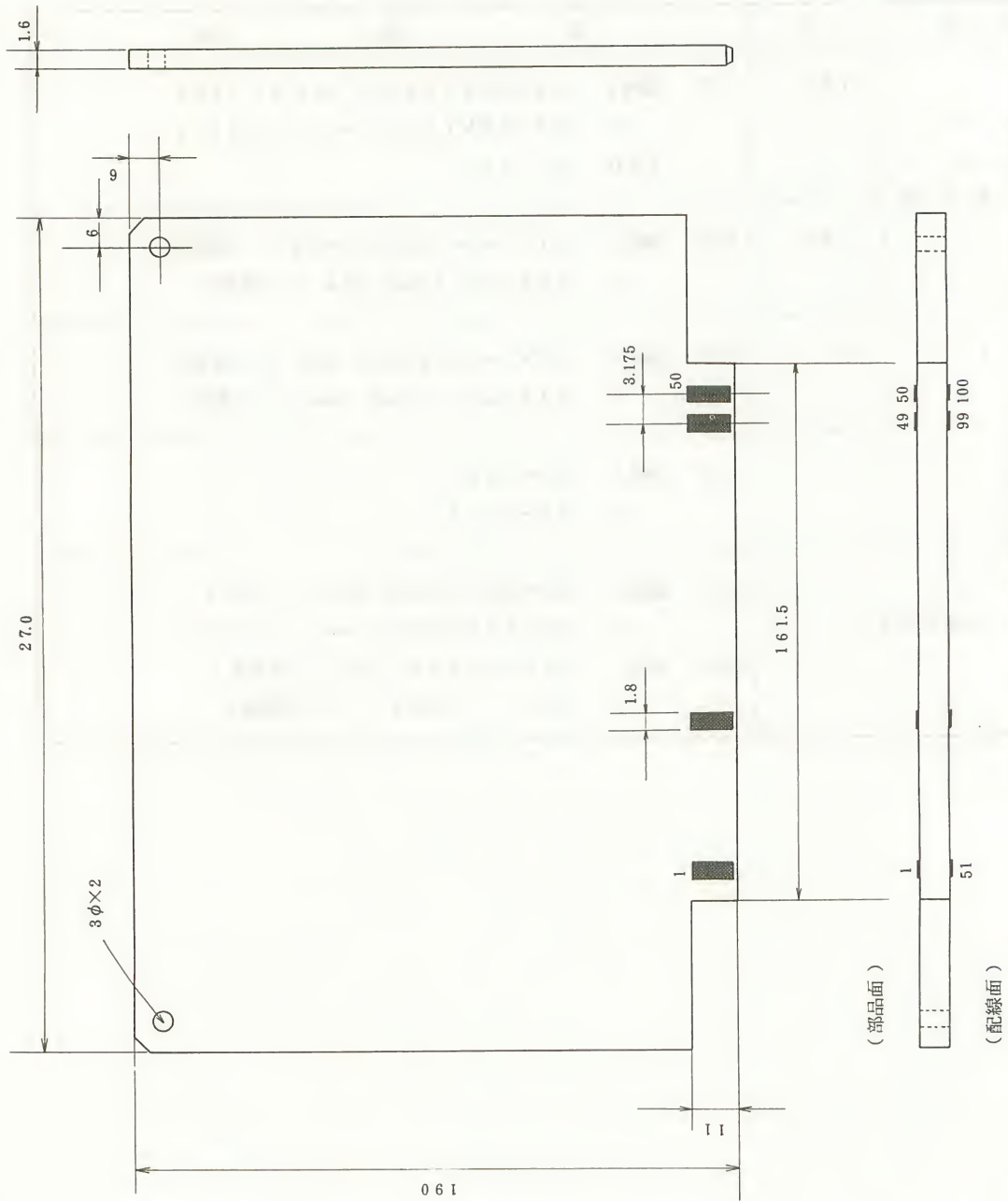


図 6.1 プリント基板寸法図

## 付 録 A

### SM-B-80D モニタ ユーザ開放サブルーチン

SM-B-80D のモニタを使用した場合、ユーザ・プログラム内で次の12種のサブルーチンを使用できる。

|     | エントリ・アドレス | サブルーチン名                |
|-----|-----------|------------------------|
| 1.  | E 0 4 6   | READ                   |
| 2.  | E 0 4 B   | WRITE                  |
| 3.  | E 7 2 7   | SPACE                  |
| 4.  | E 7 1 9   | ECHO                   |
| 5.  | E 7 1 E   | CRLF                   |
| 6.  | E 7 0 E   | PRHEX                  |
| 7.  | E 5 4 A   | PRADR                  |
| 8.  | E 7 0 6   | A2BIN                  |
| 9.  | E 7 3 7   | PRMES                  |
| 10. | E 1 1 C   | EXIT                   |
| 11. | E 3 1 8   | FEEDER                 |
| 12. | E 5 5 F   | GETARG ( ARGBUF FFOB ) |

### 一般的使用法

CALL      エントリ・アドレス

又は

サブルーチン名 EQU エントリ・アドレス

CALL      サブルーチン名

#### 1. READ

指定チャンネルCHANNELより1キャラクタを読み込む。読み込んだキャラクタは、ASCIIコードに変換されてA、Dレジスタに格納される。A、Dは同一内容。CHANNELについてはA-5ページ参照のこと。

```
LD      E, CHANNEL
CALL    READ
```

注 Eの内容は不変

A、F、Dの内容は変化する。

#### 2. WRITE

指定チャンネルCHANNELへDレジスタの内容CHAR1を出力する。

```
LD      E, CHANNEL
LD      D, CHAR1
CALL    WRITE
```

注 E、Dの内容は不変。

A、Fの内容は変化する。

#### 3. SPACE

指定チャンネルCHANNELへスペース(ASCII 20H)を出力する。

```
LD      E, CHANNEL
CALL    SPACE
```

注 Eの内容は不変。

A、F、Dの内容は変化する。

#### 4. ECHO

指定チャンネルCHANNELより1キャラクタをA、Dレジスタへ読み込み、同一チャンネルへエコー・バックする。

```
LD      E, CHANNEL
CALL    ECHO
```

注 Eの内容は不変。

A、F、Dの内容は変化する。

これは次と同じ操作である。

```
LD      E, CHANL
CALL    READ
```



CALL WRITE

5. CRLF

指定チャンネルCHANNELへCR, LFを出力する。

LD E, CHANNEL

CALL CRLF

注 Eの内容は不変。

A, F, Dの内容は変化する。

これは次と同じ操作である。

LD D, 0DH

CALL WRITE

LD D, 0AH

CALL WRITE

6. PRHEX

Aレジスタの内容を2桁の16進数に変換し、指定チャンネルCHANNELへ出力する。

LD E, CHANNEL

LD A, DATA

CALL PRHEX

注 Eの内容は不変。

A, F, Dの内容は変化する。

7. PRADR

HLレジスタの内容を4桁の16進数に変換し、指定チャンネルCHANNELへ出力する。

LD E, CHANNEL

LD HL, ADDRS

CALL PRADR

注 Eの内容は不変。

A, F, Dの内容は変化する。

8. ASBIN

Aレジスタの内容をASCII文字とみなし、対応する2進数に変換する。但し、対応する2進数に変換されるのは、ASCII文字0, 1, ……9, A, ……F に対してだけである。

LD A, '0'

CALL ASBIN

注 A, Fの内容は変化する。

#### 9. PRMES

指定チャンネルCHANNELへ文字列を出力する。

```
MESSGE:  DEFM      'HELLO/' <3>
          )
          LD        E, CHANNEL
          LD        HL, MESSGE
          CALL      PRMES
```

注1. A, F, Dは変化する。

注2. HLは文字列の先頭アドレスを示す。文字列の最後にはETX(03H)をつける。

Eはチャンネル

#### 10. EXIT

モニタへ制御は復帰する。

```
JP      EXIT
```

\*

←モニタが打ち出してくる。

#### 11. FEEDER

指定チャンネルCHAN9へ256個のNULL(00H)を出力する。

```
LD      E, CHAN9
CALL    FEEDER
```

注 Eの内容は不変。

A, F, Dの内容は変化する。

#### 12. GETARG

最大2個までの引数列を入力する。フォーマットはモニタ・コマンドと同じ。

```
LD      E, CHANNEL
CALL    GETARG
```

サブルーチン・コール後の状態。

B: 引数の個数 0はターミネータのみ

A: ターミネータ(CR, LF, ;, /, ↑のいずれか)に対応するASCIIコード

HL: 第1引数の内容

|                       |                  |
|-----------------------|------------------|
| A R G B U F : F F 0 B | 第 1 引数の値 ( 下 位 ) |
| 0 C                   | ◇ ( 上 位 )        |
| 0 D                   | 第 2 引数の値 ( 下 位 ) |
| 0 E                   | ◇ ( 上 位 )        |

### CHANEL の 値

CHANEL の値は、モニタであらかじめ決められている。

|     |               |             |               |       |
|-----|---------------|-------------|---------------|-------|
| C I | C o n s o l e | I n p u t   | C h a n n e l | E = 0 |
| C O | C o n s o l e | O u t p u t | C h a n n e l | E = 0 |
| O I | O b j e c t   | I n p u t   | C h a n n e l | E = 1 |
| O O | O b j e c t   | O u t p u t | C h a n n e l | E = 1 |
| S I | S o u r c e   | I n p u t   | C h a n n e l | E = 2 |
| S O | S o u r c e   | O u t p u t | C h a n n e l | E = 2 |





# SM-B-80T 7

## ユーザーズマニュアル

# 目 次

|       |                                  |    |
|-------|----------------------------------|----|
| 第 1 章 | SM-B-80T 概要                      | 1  |
| 1.1   | SM-B-80T の仕様                     | 2  |
| 第 2 章 | 取り扱い方法                           | 3  |
| 2.1   | 付属品の確認                           | 4  |
| 2.1.1 | 箱の前面に入っている付属品                    | 4  |
| 2.1.2 | 箱の内側に入っている付属品                    | 4  |
| 2.2   | ホルダーの使い方                         | 5  |
| 2.3   | 道具の準備                            | 5  |
| 2.4   | 接続方法                             | 6  |
| 2.4.1 | 電源の接続                            | 6  |
| 2.4.2 | 電源に関する注意事項                       | 7  |
| 2.4.3 | オーディオカセットとの接続                    | 8  |
| 2.5   | システムの拡張                          | 10 |
| 2.5.1 | メモリの増設                           | 10 |
| 2.5.2 | パラレル I/O ポート (PIO) の増設           | 10 |
| 2.5.3 | バスドライバの増設                        | 11 |
| 2.6   | モニタプログラム                         | 12 |
| 2.6.1 | キーボードパネルの構成                      | 12 |
| 2.6.2 | キーボードスイッチとコマンド                   | 13 |
| 2.6.3 | 表示                               | 14 |
| 2.6.4 | アドレス切り換えスイッチ                     | 15 |
| 2.7   | 簡単な動作の確認                         | 16 |
| 2.7.1 | メモリの内容表示と変更、キーボード確認              | 16 |
| 2.7.2 | 0 番地スタートの確認                      | 17 |
| 2.7.3 | ブレーク動作の確認                        | 18 |
| 2.7.4 | ユーザレジスタの内容表示と変更、1 命令実行、LED 動作の確認 | 19 |
| 2.7.5 | メモリ動作の確認                         | 20 |
| 2.7.6 | オーディオカセットインターフェースの動作の確認          | 23 |
| 第 3 章 | 操作説明                             | 25 |
| 3.1   | システムのリセット                        | 25 |
| 3.2   | モニタプログラムの基本的な操作方法                | 25 |
| 3.2.1 | データのセット                          | 25 |
| 3.2.2 | アドレスのセット                         | 26 |

|       |                     |    |
|-------|---------------------|----|
| 3.2.3 | メモリへの書き込み           | 27 |
| 3.2.4 | メモリの内容表示と変更         | 27 |
| 3.2.5 | ユーザレジスタの内容表示と変更     | 29 |
| 3.2.6 | プログラムの実行            | 32 |
| 3.2.7 | ステップ動作              | 32 |
| 3.2.8 | ブレーク動作              | 33 |
| 3.3   | オーディオカセットとの接続       | 35 |
| 3.3.1 | プログラムのカセットテープへのストア  | 35 |
| 3.3.2 | プログラムのカセットテープよりのロード | 37 |
| 3.4   | プログラムの作成とデバッグの仕方    | 38 |
| 3.4.1 | プログラムの作成手順          | 38 |
| 3.4.2 | プログラムのデバッグの仕方       | 42 |
| 第4章   | モニタプログラム            | 46 |
| 4.1   | 概 要                 | 46 |
| 4.2   | 構 成                 | 46 |
| 4.3   | モニタサブルーチン           | 47 |
| 4.3.1 | セグメントデータ変換サブルーチン    | 48 |
| 4.3.2 | 文字データ変換サブルーチン       | 51 |
| 4.3.3 | キー入力、LED表示サブルーチン    | 52 |
| 4.3.4 | タイマーサブルーチン          | 53 |
| 4.3.5 | カセットロードサブルーチン       | 54 |
| 4.3.6 | カセットストアサブルーチン       | 56 |
| 4.3.7 | LED表示サブルーチン         | 58 |
| 4.4   | モニタワーキングエリアのメモリマップ  | 59 |
| 第5章   | SM-B-80T ハードウェア     | 61 |
| 5.1   | マイクロコンピュータの基本的な構成   | 61 |
| 5.2   | SM-B-80Tのシステム構成     | 62 |
| 5.3   | アドレス配置              | 63 |
| 5.3.1 | メモリアドレス             | 63 |
| 5.3.2 | ポートアドレス             | 63 |
| 5.4   | リスタート回路             | 65 |
| 5.5   | アドレス変換回路            | 66 |
| 5.6   | ステップ回路              | 67 |
| 5.7   | アドレスデコード回路          | 69 |
| 5.7.1 | メモリアドレスデコード回路       | 69 |
| 5.7.2 | ポートアドレスデコード回路       | 70 |

|       |                                         |     |
|-------|-----------------------------------------|-----|
| 5.8   | オーディオカセットインターフェース回路 .....               | 70  |
| 5.8.1 | データのフォーマット .....                        | 70  |
| 5.8.2 | 変調回路 .....                              | 71  |
| 5.8.3 | 復調回路 .....                              | 71  |
| 5.8.4 | リモート回路 .....                            | 74  |
| 5.9   | キーボード .....                             | 74  |
| 5.9.1 | 表示回路 .....                              | 74  |
| 5.9.2 | キー入力回路 .....                            | 76  |
| 5.10  | PIO <sub>1</sub> 周辺回路 .....             | 77  |
| 第6章   | システムの拡張 .....                           | 79  |
| 6.1   | 1ビット出力ポート .....                         | 79  |
| 6.1.1 | ハードウェア .....                            | 79  |
| 6.1.2 | 使用方法 .....                              | 79  |
| 6.1.3 | 電気的特性 .....                             | 80  |
| 6.2   | パラレル I/Oポート (PIO <sub>2</sub> ) .....   | 80  |
| 6.2.1 | PIO <sub>2</sub> 周辺回路 .....             | 81  |
| 6.2.2 | PIOのプログラミング法 .....                      | 81  |
| 6.3   | キーボードインターフェース (PIO <sub>1</sub> ) ..... | 86  |
| 6.4   | EPROM使用方法 .....                         | 87  |
| 6.5   | コントロール信号用バッファ .....                     | 88  |
| 6.6   | 双方向性アドレスバッファ .....                      | 90  |
| 6.7   | 双方向性データバッファ .....                       | 90  |
| 付 録   |                                         |     |
| 1.    | CPUボード部品配置図 .....                       | 92  |
| 2.    | キーボード部品配置図 .....                        | 93  |
| 3.    | CPUボード回路図 .....                         | 94  |
| 4.    | キーボード回路図 .....                          | 98  |
| 5.    | 端子配列表 .....                             | 100 |
| 6.    | 端子信号説明表 .....                           | 102 |
| 7.    | 使用部品リスト .....                           | 105 |
| 8.    | モニタプログラムリスト .....                       | 107 |



## 第1章 SM-B-80T 概要

シャープ SM-B-80T は、これからマイクロコンピュータを理解し、実際に使ってみようという方、あるいは、実際にソフトウェアのデバッグに使用したり、ハードウェアに応用しようという方のために開発されたトレーニング用ワンボード・マイクロコンピュータです。

SM-B-80T は次のような特長をそなえております。

- (1) SM-B-80T は、完全組み立て済みボードであるため、電源を接続するだけでキースイッチよりプログラムをメモリに書き込んで、その実行ができます。
- (2) オーディオカセットテープレコーダとのインターフェースを内蔵しており、開発したプログラムをカセットテープに記録保存し、必要なときに自由に再生ができます。  
(リモート端子により自動、または、マニュアルによるカセットのスタート/ストップが可能)
- (3) ボード上でメモリ (RAM, ROM)、パラレル I/O ポート、バスドライバを増設可能です。
- (4) キーボードとのインターフェースに使用している PIO は、キーボードを使用しないときは単独使用が可能です。
- (5) システムに組み込み可能なボードサイズ (CPU ボード) を採用し、外部との接続に 100 ピンコネクタを設けています。 (270 × 190 mm 3.175 mm ピッチ)



## 1.1 SM-B-80Tの仕様

|              |                                                                                                                                     |
|--------------|-------------------------------------------------------------------------------------------------------------------------------------|
| CPU          | LH-0080 (Z-80 CPU)                                                                                                                  |
| クロック         | 2.4576 MHz (4.9152 MHz クリスタル使用)                                                                                                     |
| ROM          | LH-7055 × 1 個 1Kバイト実装 (モニタプログラム) MAX 2Kバイト<br>EPROMも可能 (2708 タイプ)                                                                   |
| RAM          | LH-2111A4 × 2 個 256バイト実装<br>LH-2114-3 × 2 個 1Kバイト実装<br>MAX 3.25Kバイト                                                                 |
| シリアル I/O ポート | オーディオカセットテレコとの入出力専用<br>入力端子 : イヤホン端子または外部スピーカ端子<br>出力端子 : AUX端子またはLINE端子<br>制御端子 : REM<br>転送速度 : 300ビット/秒<br>変調方式 : FM<br>チェックサムを実施 |
| パラレル I/O ポート | LH-0081 × 1 個 8ビット × 2 ポート (キーボードインターフェース)<br>MAX LH-0081 × 2 個                                                                     |
| 入力装置         | キーボードスイッチ 25 個<br>データキー 16 個<br>ファンクションキー 9 個                                                                                       |
| 出力装置         | 8桁7セグメントLEDによる16進数表示<br>レジスタ名についてはシンボル表示                                                                                            |
| 動作モード        | シングルステップ (1命令実行) & オート実行                                                                                                            |
| モニタプログラム     | アドレス E000番地よりPROMにて実装                                                                                                               |
| リスタートアドレス    | スイッチにてアドレス切り換え可能<br>0000番地 : ユーザプログラム開始アドレス<br>E000番地 : モニタプログラム開始アドレス                                                              |
| 電 源          | 外部電源が必要<br>+5V ±5% 最大2A (標準構成)                                                                                                      |
| 動作温度         | 0 ~ 40℃                                                                                                                             |
| 外形寸法         | CPUボード : 270 × 190mm 基板寸法<br>キーボード : 139 × 190mm                                                                                    |

## 第2章 取り扱い方法

SM-B-80Tの動作確認は図2.1に示す順序で行ってください。

注意) ・梱包ケースは捨てずに保存して置いておいてください。

・ただちに保証手続きをお済ませください。

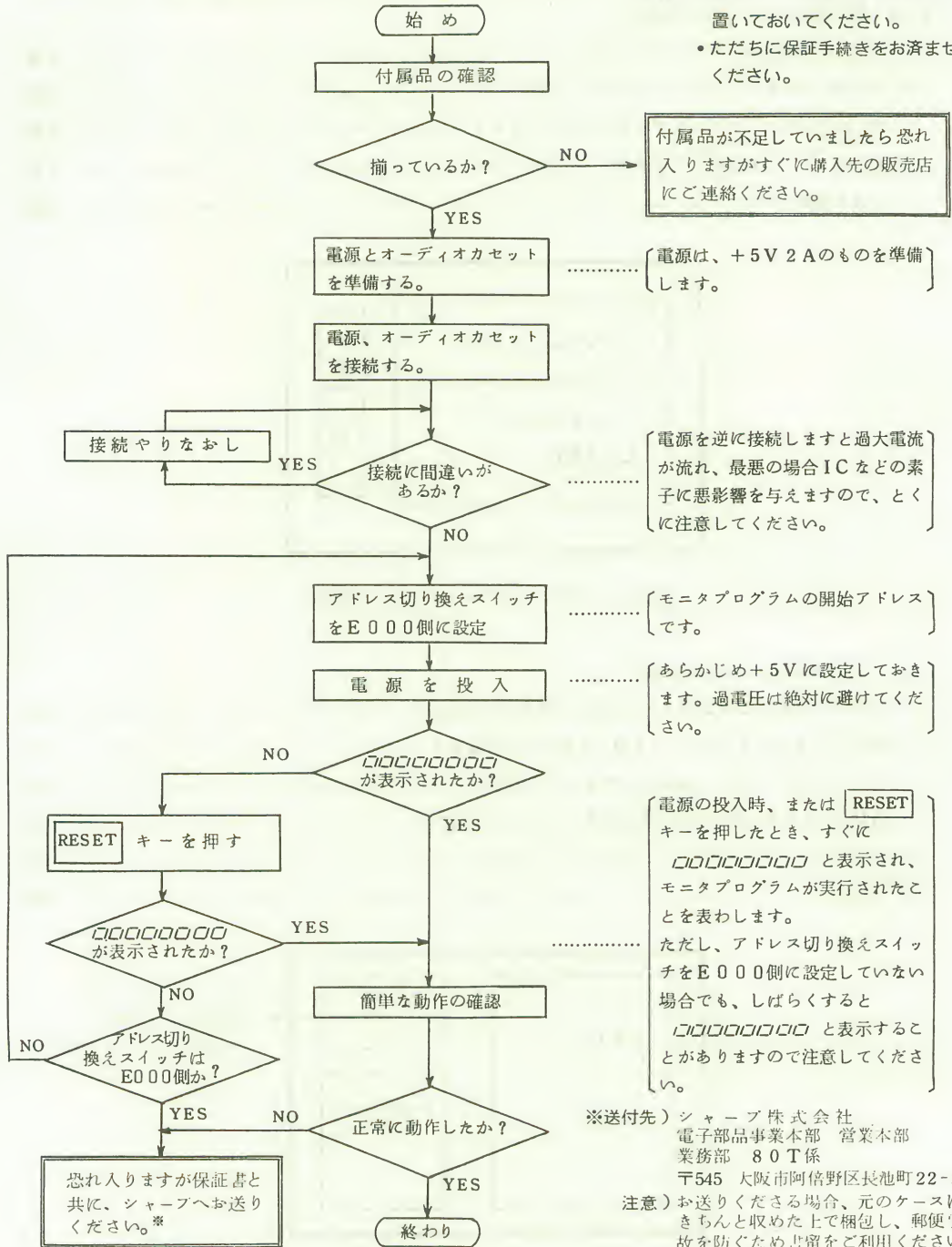


図2.1 SM-B-80Tの取り扱い方法

## 2.1 付属品の確認

SM-B-80Tには、次の付属品が含まれています。必ず確認してください。

### 2.1.1 箱の前面に入っている付属品

- |                                    |    |
|------------------------------------|----|
| (1) SM-B-80Tユーザーズマニュアル .....       | 1冊 |
| (2) SM-B-80Tアプリケーションマニュアル .....    | 1冊 |
| (3) Z-80CPUプログラミング・リファレンスカード ..... | 1冊 |
| (4) CPUボード 100ピンコネクタ .....         | 1個 |
| (5) LSI資料 .....                    | 2部 |

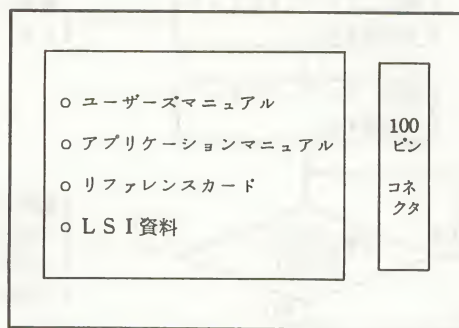


図2.2 中面に入っている付属品の配置

### 2.1.2 箱の内側に入っている付属品

- |                                         |    |
|-----------------------------------------|----|
| (1) SM-B-80T CPUボード (LH-8H02-CPU) ..... | 1枚 |
| (2) SM-B-80T キーボード (LH-8H02-KEY) .....  | 1台 |
| (3) リモート用ケーブル (2.5φイヤホンプラグ付) .....      | 1本 |
| (4) AUX/イヤホン用ケーブル (3.5φイヤホンプラグ付) .....  | 1本 |
| (5) 34芯フラットケーブル (34ピンソケット付) .....       | 1本 |
| (6) ホルダー .....                          | 2個 |

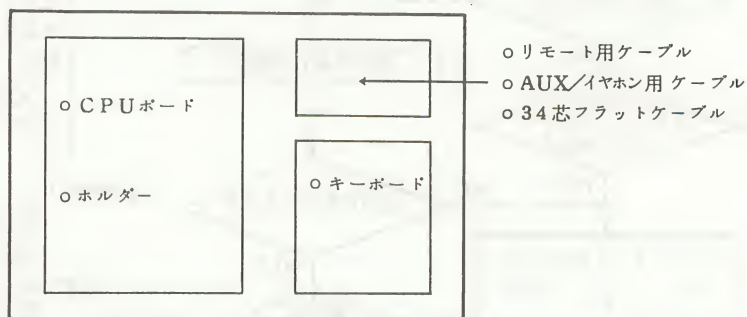


図2.3 内側に入っている付属品の配置



## 2.2 ホルダーの使い方

CPUボードの両端に取り付けられているホルダーは、プリント板を浮かすためのものです。プリント板を増すときにはホルダー同志を重ね合わせられるようになっています。

ホルダーでプリント板は約2cm浮いた状態になりますが、安全を考えてプリント板の下に導電性のあるもの（金属類など）は絶対に置かないでください。

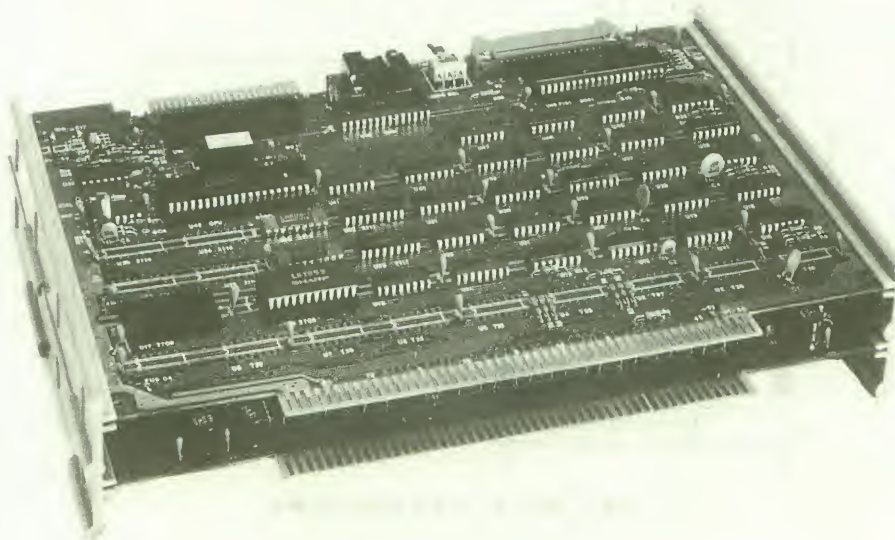


図 2.4 ホルダーの使い方

## 2.3 道具の準備

SM-B-80 Tを動作させるに必要な道具は次のようになります。

- (1) 直流安定化電源      5V   最大2A（標準構成）× 1台
- (2) オーディオカセットテープレコーダ

AUX端子またはLINE端子とイヤホン端子、または外部スピーカ端子がついているものがが必要です。

リモート端子がついてなくても使用できますが、ついていれば自動スタート/ストップができますので便利です。

（注）オーディオカセットのイヤホン端子がクリスタルイヤホン専用となっている場合には、インピーダンスの差により誤動作しますので、この用途には不適当です。

## 2.4 接続方法

SM-B-80 Tの接続は基本的には次のようになります。また、キーボードとの接続はJ<sub>2</sub>(34ピン)の1ピン表示と34芯フラットケーブルの1ピン表示(着色部)を合わせて接続します。

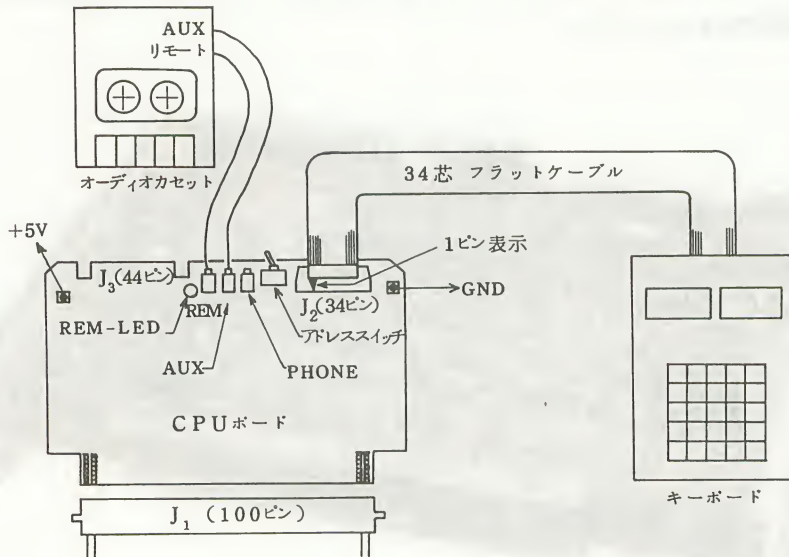


図 2.5 SM-B-80 Tの基本的な構成

### 2.4.1 電源の接続

電源を接続するために2本の電線が必要ですが、+5Vに赤色、0V(GND)に黒色の線を使うのがよいでしょう。

電源を接続するには、図 2.6 のようにプリント板の電源配線部分に半田付けする方法と、図 2.7 に示した J<sub>1</sub> (100ピンコネクタ)のピンに半田付けする方法があります。

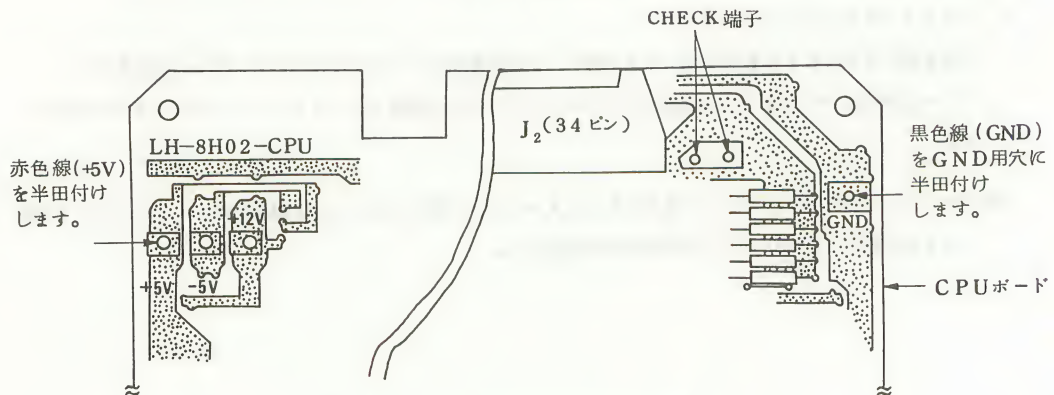


図 2.6 プリント板へ半田付けの場合

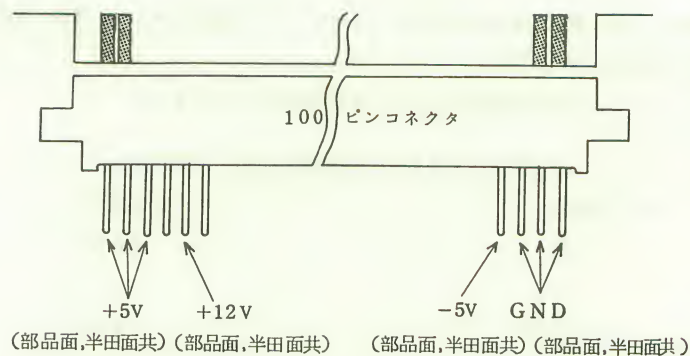


図 2.7 J<sub>1</sub> (100ピンコネクタ)へ半田付けの場合

+12Vと-5Vの電源は、3電源のEPROM(2708タイプ)を使用するときのためのものです。詳細は6.4項のEPROM使用方法を参照してください。

#### 2.4.2 電源に関する注意事項

電源には、ACスイッチとDCスタンバイスイッチの両方が付いているものを使用してください。

ACスイッチだけが付いている電源を使用するときは、図2.9のようにDCスイッチを付けてください。

(注) 電源のACスイッチ ON/OFF 時に電源トランスに発生するサージ電流で、DC出力にスパイク上の異常電圧が乗ることがあります。

最悪の場合にはICなどの素子に悪影響を与えます。

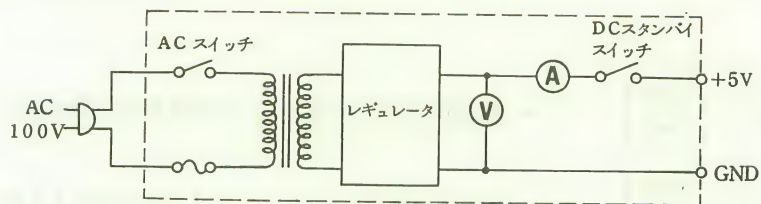


図 2.8 好ましい電源

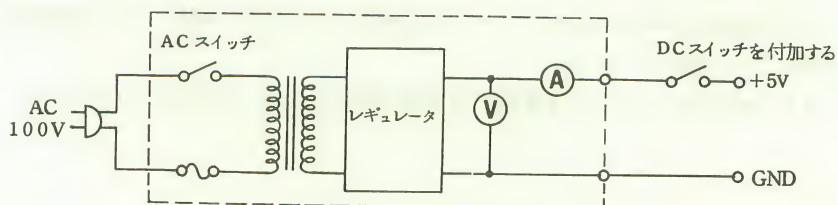


図 2.9 DCスイッチを取り付けた場合

ユーザROMエリアに3電源のEPROM(2708タイプ)を使用するときも電源にはDCスタンバイスイッチが付いたものを使用してください。

DCスタンバイスイッチがない電源はDCスイッチを外付けしてください。

#### 3電源を使用するときの電源投入順序と切断順序

##### (1) 投入順序

- 5 V  
↓  
+ 1 2 V  
↓  
+ 5 V

##### (2) 切断順序

+ 5 V  
↓  
+ 1 2 V  
↓  
- 5 V

### 2.4.3 オーディオカセットとの接続

メモリに入っているデータ(プログラム)をカセットテープに記録したり、カセットテープに記録したデータをメモリに読み込んだりできます。これにより作成したプログラムをカセットテープに記録して保存できます。また、必要なときにはいつでもカセットテープに記録したプログラムを再生できます。

#### (1) メモリの内容をカセットテープに記録(カセットテープへのストア)

- オーディオカセットにカセットテープをセットします。
- リモート用ケーブルの一方をCPUボードのREM端子へ、他方をカセットのリモート端子へ差し込みます。
- AUX/イヤホン用ケーブルの一方をCPUボードのAUX端子へ、他方をカセットのAUX端子へ差し込みます。
- カセットの巻き戻しボタンを押してカセットを巻き戻し状態にしてから次のキー操作で巻き戻してください。

SHIFT

REM  
ADRS

..... REM用LEDが点灯してテープの巻き戻しを始めます。

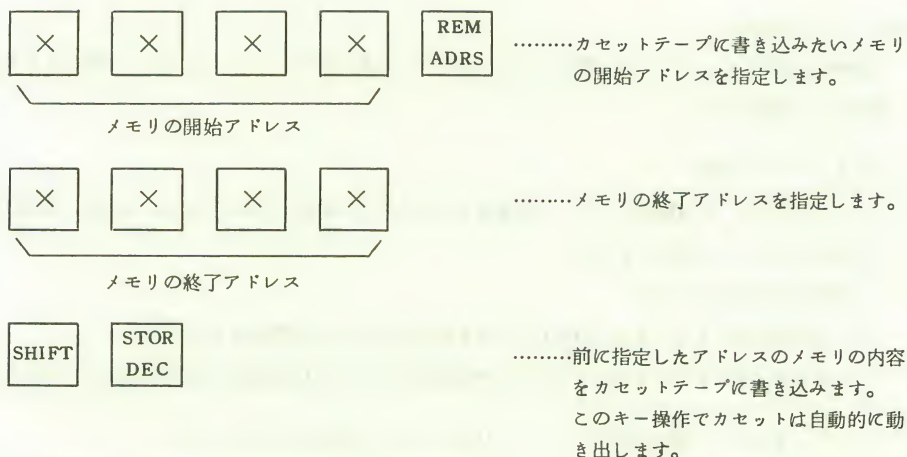
SHIFT

REM  
ADRS

..... 巻き戻しが終わりましたらカセットの動作を停止させます。

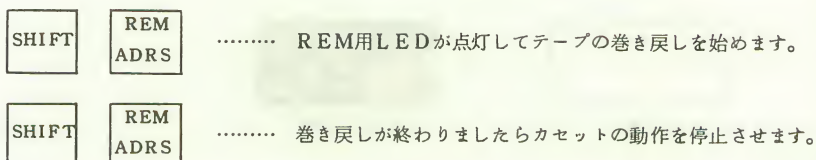
- テープの巻き戻しが終わりましたらカセットのPLAYボタンとREC(録音)ボタンを同時に押して録音状態にしてください。
- メモリの内容をカセットテープに書き込む(記録)場合は、次のキー操作を行ってください。



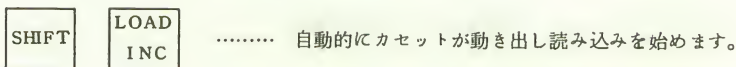


(2) カセットテープよりの読み込み (カセットテープよりのロード)

- (a) オーディオカセットにカセットテープをセットします。
- (b) リモート用ケーブルの一方をCPUボードのREM端子へ、他方をカセットのリモート端子へ差し込みます。
- (c) AUX/イヤホン用ケーブルの一方をCPUボードのPHONE端子へ、他方をカセットのイヤホン端子へ差し込みます。
- (d) カセットの巻き戻しボタンを押して巻き戻し状態にしてから次のキー操作でテープを巻き戻してください。



- (e) テープの巻き戻しが終わりましたらPLAYボタンを押して再生状態にし、カセットの音量ツマミを中間～最大の間にしてください。  
また、音質調整ツマミがあればこれも中間～最大の間にしてください。
- (f) カセットテープの内容をメモリに読み込みたい場合は、次のキー操作を行ってください。



(注) カセットテープを巻き戻す場合は、磁気テープの部分で停止してください。

(テープの頭の部分には磁気テープでない所があります。)

## 2.5 システムの拡張

SM-B-80T は、ボード内で簡単にメモリ、パラレル I/Oポート、バスドライバを増設できますが、その方法について説明します。

### 2.5.1 メモリの増設

ボード内では、ROM 1K バイト、RAM 1.25 K バイトを実装していますが、さらに、ROM を 1K バイト、RAM を 2 K バイト増設できます。

増設方法を次に示します。

- (1) ROM を増設するときは、図 2.10 に示す部品番号 U<sub>17</sub> の位置に取り付けます。
- (2) RAM を増設するときは、1 K バイト単位に図 2.10 に示す部品番号の位置に次のように取り付けます。

- 1 K バイト増設の場合 …… U<sub>25</sub> と U<sub>34</sub> の位置に取り付けます。
- 2 K バイト増設の場合 …… U<sub>25</sub> と U<sub>34</sub> , U<sub>26</sub> と U<sub>35</sub> の位置に取り付けます。

(注) ROM に EPROM を使用する場合は、6.4 項(第 6 章)を参照してください。

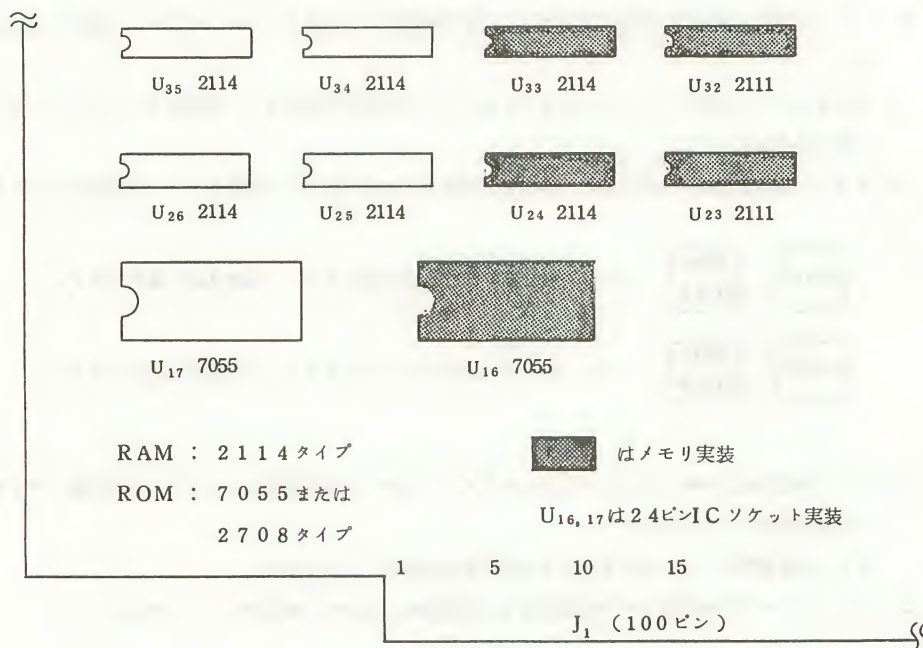


図 2.10    メモリの増設

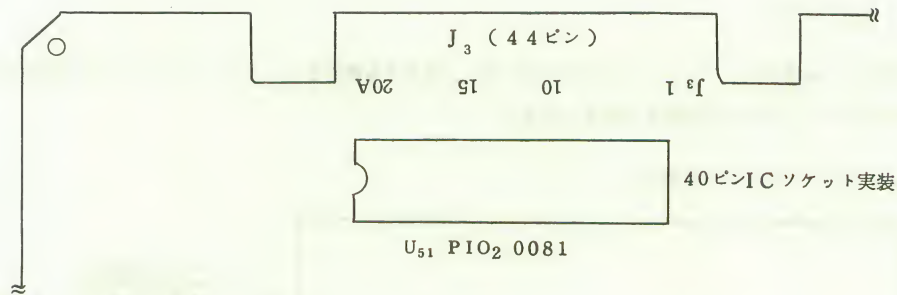
### 2.5.2 パラレル I/Oポート (PIO) の増設

パラレルの I/Oポートとして 8ビット×2ポート (Z-80 PIO×1個) 増設できます。

PIO を増設するときは、図 2.11 に示す部品番号 U<sub>51</sub> の位置に取り付けます。

また、この PIO の I/Oポートの信号ラインは J<sub>3</sub> (44 ピンコネクタ端子) に配線されています。

J<sub>3</sub> の端子配列は付録 5 の端子配列図を参照してください。



J<sub>3</sub> 適合コネクタ : 4600-044-112 ケル(特製)

図2.11 PIOの増設

### 2.5.3 バスドライバの増設

SM-B-80Tでは、双方向性アドレスバス、双方向性データバス、コントロール信号用バスを設けていますので、システムを拡張したいときは図2.12に示す部品番号U<sub>1</sub>～U<sub>9</sub>の位置に取り付けてください。

J<sub>1</sub> (100ピンコネクタ端子)の各信号の端子配列は、付録5の端子配列図を参照してください。

- 双方向性アドレスバス ..... U<sub>5</sub>～U<sub>8</sub>の位置に8T26を取り付けます。
- 双方向性データバス ..... U<sub>1,2</sub>の位置に8T26を取り付けます。
- コントロール信号用バス ..... U<sub>3</sub>の位置に8T97を、U<sub>4</sub>の位置に8T28を、U<sub>9</sub>の位置に7404を取り付けます。

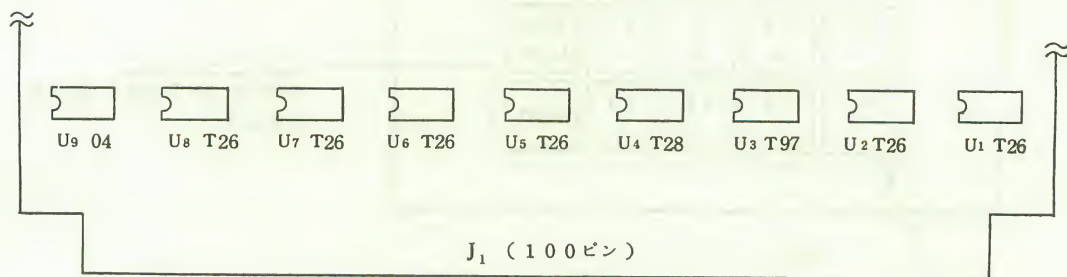


図2.12 バスドライバの増設

双方向性データバスの制御方法については6.7項を参照してください。

(注) ICをプリント板に半田付けする際に使用する半田ゴテは、アース付きのものを使用してください。

## 2.6 モニタプログラム

SM-B-80Tには、プログラムの誤りを捜し出し、修正する機能をもったモニタプログラムが実装されています。以下にモニタプログラムの簡単な説明をします。

### 2.6.1 キーボードパネルの構成

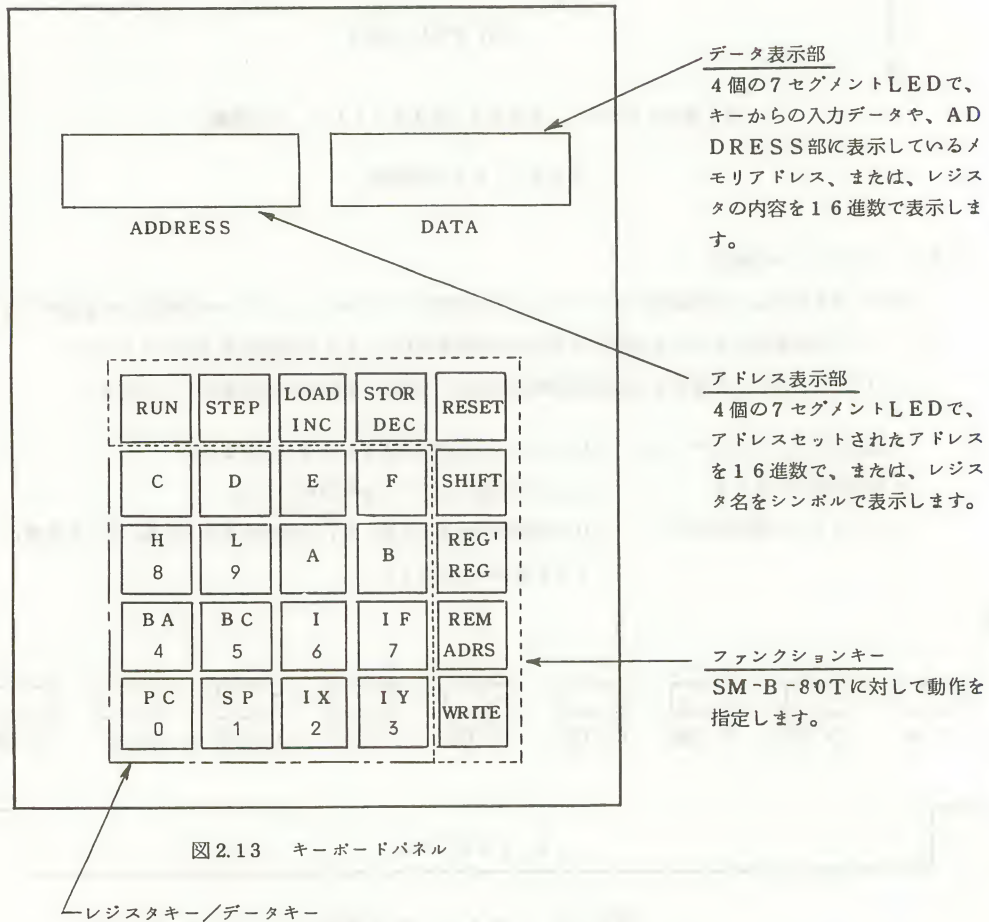


図 2.13 キーボードパネル

○レジスタキー（上部分とA～Fキー）

レジスタの指定に使用します。

○データキー（下部分とA～Fキー）

16進数を入力するときに使用します。



## 2.6.2 キーボードスイッチとコマンド

SM-B-80Tで使用するキーボードスイッチのコマンドについて説明します。

|                         |                                                                                                                                                                                                         |
|-------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| RESET                   | プログラム異常（プログラム暴走）によるCPU停止などに対して、システムを初期状態に戻します。                                                                                                                                                          |
| SHIFT                   | このキー操作後、ダブルファンクション構成キーの上部コマンドが有効になります（ファンクションキーの青色文字のコマンド）。                                                                                                                                             |
| REG <sup>↑</sup><br>REG | REG <sup>↑</sup> ：レジスタの内容を表示させるときに、補助レジスタを指定します。<br>REG：レジスタの内容を表示させるときに、主レジスタを指定します。                                                                                                                   |
| REM<br>ADRS             | REM：オーディオカセット用のリモートスイッチをON/OFFします。<br>ADRS：データ表示部に表示している16進数4桁のデータを、アドレスとしてアドレス表示部に表示し、そのアドレスのメモリ内容をデータ表示部に表示します。                                                                                       |
| WRITE                   | データ表示部の下位2桁に表示している16進数データを、アドレス表示部に表示しているメモリのアドレスへ書き込み、アドレス表示を+1します。<br>あるいは、データ表示部の下2桁、または、4桁に表示している16進数データを、アドレス表示部に表示しているレジスタに書き込み、次のレジスタ名を表示します。                                                    |
| RUN                     | アドレス表示部に表示しているアドレスからユーザプログラムを実行します。                                                                                                                                                                     |
| STEP                    | プログラムカウンタ（PC）が示しているアドレスからユーザプログラムを1命令実行します。                                                                                                                                                             |
| LOAD<br>INC             | LOAD：カセットテープに記録されたプログラム（16進データ）を、そのプログラムで指定されているアドレスのメモリへ書き込みます。（プログラムのロード）<br>INC：アドレス表示部に表示しているアドレスを+1し、データ表示部にそのアドレスのメモリの内容を表示します。<br>または、アドレス表示部に表示しているレジスタ名を次のレジスタ名に変更し、データ表示部にそのレジスタの内容を表示します。    |
| STOR<br>DEC             | STOR：アドレス表示部に表示しているアドレスから、データ表示部に表示しているアドレスまでのメモリの内容を、カセットテープに記録します。（プログラムのストア）<br>DEC：アドレス表示部に表示しているアドレスを-1し、データ表示部にそのアドレスのメモリの内容を表示します。<br>または、アドレス表示部に表示しているレジスタ名を前のレジスタ名に戻し、データ表示部にそのレジスタの内容を表示します。 |
| データ<br>キー               | 0～F：データ（16進数）の入力に使用します。                                                                                                                                                                                 |
| レジスタ<br>キー              | アドレス表示部にレジスタ名を表示し、データ表示部にそのレジスタの内容を表示します。<br><div style="margin-left: 100px;"> PC      プログラムカウンタ<br/> SP      スタックポインタ<br/> IX      インデックスレジスタX<br/> IY      インデックスレジスタY </div>                         |

BA ブレークアドレスレジスタ  
 BC ブレークカウンタ  
 I インターラプトページアドレスレジスタ  
 IF インターラプトイネーブルフラグレジスタ  
 A(A') アキュムレータ  
 F(F') フラグレジスタ  
 B(B') Bレジスタ  
 C(C') Cレジスタ ( )内は補助レジスタ  
 D(D') Dレジスタ  
 E(E') Eレジスタ  
 H(H') Hレジスタ  
 L(L') Lレジスタ

### 2.6.3 表示

16進数とレジスタ名は、7セグメントLEDに次のように表示します。

#### (1) 16進数キーと表示










| キ ー | 表 示                                                                                 | キ ー | 表 示                                                                                 | キ ー | 表 示                                                                                 | キ ー | 表 示                                                                                  |
|-----|-------------------------------------------------------------------------------------|-----|-------------------------------------------------------------------------------------|-----|-------------------------------------------------------------------------------------|-----|--------------------------------------------------------------------------------------|
| 0   |    | 4   |    | 8   |    | C   |   |
| 1   |   | 5   |   | 9   |   | D   |   |
| 2   |  | 6   |  | A   |  | E   |  |
| 3   |  | 7   |  | B   |  | F   |  |

表 2.1 16進数の表示

(2) レジスタキーと表示

レジスタを表示させる場合、主レジスタは **REG'** キーを、補助レジスタは **SHIFT** キーを押した後、  
**REG'** キーを押してから下記レジスタキーで表示させます。

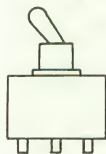
| 主 レ ジ ス タ |     |     |     | 補 助 レ ジ ス タ |     |
|-----------|-----|-----|-----|-------------|-----|
| キ ー       | 表 示 | キ ー | 表 示 | キ ー         | 表 示 |
| P C       | PC  | A   | A   | A           | A'  |
| S P       | SP  | B   | b   | B           | b'  |
| I X       | IX  | C   | C   | C           | C'  |
| I Y       | IY  | D   | d   | D           | d'  |
| I         | I   | E   | E   | E           | E'  |
| I F       | IF  | F   | F   | F           | F'  |
| H         | h   |     |     | H           | h'  |
| L         | L   |     |     | L           | L'  |

表 2.2 レジスタの表示

2.6.4 アドレス切り換えスイッチ

SM-B-80Tは、アドレス切り換えスイッチの設定を変えることによりCPUのリスタートアドレスを次のように変更できます。

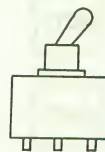
E000 ←→ 0000



リスタートアドレスはE000番地となります。

E000 : モニタプログラムの開始アドレス

E000 ←→ 0000



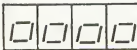
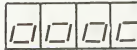
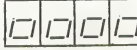
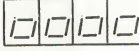
リスタートアドレスは0000番地となります。




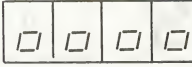
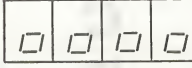
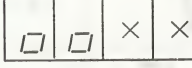
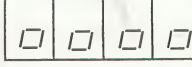
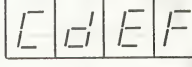
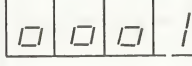
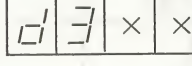
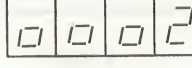
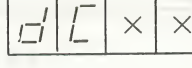
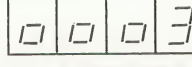
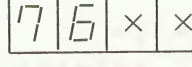
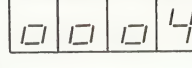
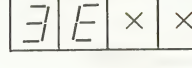
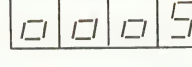
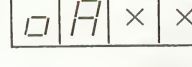
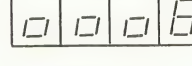
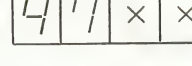
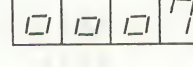
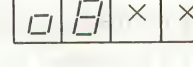
0000 : ユーザプログラムの開始アドレス

## 2.7 簡単な動作の確認

SM-B-80Tが正常に動作しているかどうかを次の順序で確認してください。操作方法の詳細は、第3章を参照してください。

### 2.7.1 メモリの内容表示と変更（メモリへの書き込み）、キーボード確認

次のキー操作で7セグメントLEDの表示内容を確認してください。このキー操作の前の電源投入で、LEDが   を表示しているか確認してください。   を表示していないときは **RESET** キーを入力してください。

| キー操作                                       | ADDRESS                                                                             | DATA                                                                                |                                      |
|--------------------------------------------|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|--------------------------------------|
| アドレススイッチ<br>E 0 0 0 側                      |    |    | E 0 0 0 : モニタプログラム開始アドレス             |
| 電源投入                                       |    |    | モニタプログラムスタート                         |
| <b>REM</b><br><b>ADRS</b>                  |    |    | xx : 0 0 0 0 番地内容                    |
| <b>PC</b><br>0 ..... <b>F</b>              |   |   | キー操作に対応した表示は表 2.1 を参照してください。         |
| <b>D</b> <b>IY</b><br>3 <b>WRITE</b>       |  |  | 0 0 0 0 番地内容を16進数のD 3 に変更（メモリへの書き込み） |
| <b>D</b> <b>C</b> <b>WRITE</b>             |  |  |                                      |
| <b>IF</b><br>7 <b>I</b><br>6 <b>WRITE</b>  |  |  |                                      |
| <b>IY</b><br>3 <b>E</b> <b>WRITE</b>       |  |  |                                      |
| <b>PC</b><br>0 <b>A</b> <b>WRITE</b>       |  |  |                                      |
| <b>BA</b><br>4 <b>IF</b><br>7 <b>WRITE</b> |  |  |                                      |
| <b>PC</b><br>0 <b>H</b><br>8 <b>WRITE</b>  |  |  |                                      |



|         |         |       |      |      |
|---------|---------|-------|------|------|
| IX<br>2 | SP<br>1 | WRITE | 0008 | 21×× |
| D       | BA<br>4 | WRITE | 0009 | d4×× |
| F       | F       | WRITE | 000A | FF×× |
| IF<br>7 | BA<br>4 | WRITE | 000b | 74×× |
| IX<br>2 | D       | WRITE | 000C | 2d×× |
| SP<br>1 | PC<br>0 | WRITE | 000d | 10×× |
| F       | C       | WRITE | 000E | FC×× |
| C       | IY<br>3 | WRITE | 000F | C3×× |
| IX<br>2 | C       | WRITE | 0010 | 2C×× |
| E       | PC<br>0 | WRITE | 0011 | E0×× |

(注) ××は 0～Fの16進数字なら全て可です。

2.7.1でメモリに書き込んだデータ(プログラム)は、2.7.2～2.7.4項の動作確認でも使用します。

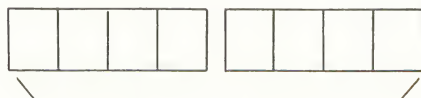
#### 2.7.2 0番地スタートの確認

ユーザRAM領域の開始アドレス、0000番地からプログラムを実行するかを確認します。

前項、2.7.1に引き続いて次のキー操作でREM端子用LEDが点灯することを確認してください。

|                   |         |      |                |
|-------------------|---------|------|----------------|
| キー操作              | ADDRESS | DATA | REM・LED        |
| アドレススイッチ<br>0000側 |         |      | ユーザプログラム開始アドレス |

RESET



消灯します。

### 2.7.3 ブレーク動作の確認

2.7.1項でメモリに書き込んだプログラムを使用してブレーク動作を確認します。2.7.2項に引き続いて次のキー操作で表示を確認してください。

| キー操作                  |         |         |         | ADDRESS  | DATA          |                                           |
|-----------------------|---------|---------|---------|----------|---------------|-------------------------------------------|
| アドレススイッチ<br>E 0 0 0 側 |         |         |         |          |               | モニタプログラム<br>ム開始アドレス                       |
| RESET                 |         |         |         | 0 0 0 0  | 0 0 0 0       |                                           |
| REG'<br>REG           | BA<br>4 |         |         | bA -     | × × × ×       |                                           |
| PC<br>0               | PC<br>0 | PC<br>0 | BC<br>5 | bA -     | 0 0 0 5       | ブレークアドレ<br>スを0005番<br>地に設定                |
| WRITE                 |         |         |         | bC -     | 0 0 0 0       |                                           |
| PC<br>0               | SP<br>1 | WRITE   |         | 1 -      | 0 0 × ×       | 繰り返し回数を<br>1回に設定                          |
| PC<br>0               | PC<br>0 | PC<br>0 | IY<br>3 | 1 -      | 0 0 0 3       | 2.7.1項のプロ<br>グラムを000<br>3番地より開始<br>します。   |
| REM<br>ADRS           |         |         |         | 0 0 0 3  | 0 3 3 E       |                                           |
| RUN                   |         |         |         | 0 0 0 5  | 0 A × ×       | 実行後、ブレー<br>クアドレス00<br>05番地を表示<br>して停止します。 |
|                       |         |         |         | ブレークアドレス | アキュムレ<br>ータ内容 | フラグレジ<br>スタ内容                             |

(注) ××は0～Fの16進数字なら全て可です。

プログラム実行をブレーク動作で行うと、ADDRESS表示部にブレークアドレスを、DATA表示部にアキュムレータの内容とフラグレジスタの内容を表示してプログラム実行を停止します。

## 2.7.4 ユーザレジスタの内容表示と変更、1命令実行、LED動作の確認

2.7.3 項のブレーク動作確認に引き続き次のキー操作で表示を確認してください。LED動作は、D.P.も含めた全セグメントを点灯させて確認します。(D.P.はデシマル・ポイントの略)

| キー操作        |             | ADDRESS  | DATA     |                          |
|-------------|-------------|----------|----------|--------------------------|
| REG'<br>REG | A           | A -      | 0 0 0 A  | 0 A : アキュムレータ内容          |
| PC<br>0     | H<br>8      | b -      | 0 0 × ×  | アキュムレータ内容を16進数の08に変更します。 |
| STEP        |             | 0 0 0 6  | 0 8 × ×  | 0005番地からのプログラムを1命令実行して停止 |
| REG'<br>REG | B           | b -      | 0 0 0 8  | 08 : Bレジスタ内容             |
| STEP        |             | 0 0 0 7  | × × × ×  |                          |
| SHIFT       | REG'<br>REG | A' -     | 0 0 0 8  | 08 : 補助アキュムレータ(A')内容     |
| STEP        |             | 0 0 0 A  | × × × ×  |                          |
| RUN         |             | 8.8.8.8. | 8.8.8.8. | LED全セグメント点灯              |

(注) ××は0～Fの16進数なら全て可です。

1命令を実行してプログラム実行を停止するときは、ADDRESS表示部に次の命令の先頭アドレスを、DATA表示部に1命令実行後のアキュムレータとフラグレジスタの内容を表示します。

## 2.7.5 メモリ(1Kバイト)動作の確認

1KバイトRAM(LH-2114-3×2個)に1バイト単位で16進数の00、または、FFを書き込んだ直後に読み出しを行い、メモリが正常であることを確認します。

次のキー操作でプログラムをメモリへ書き込んでください。プログラムの格納には、モニターキックエリア用RAMを使用します。

| キー操作        |         |         |         | ADDRESS | DATA   |
|-------------|---------|---------|---------|---------|--------|
| F           | F       | PC<br>0 | PC<br>0 | × × × × | FF 00  |
| REM<br>ADRS |         |         |         | FF 00   | 00 × × |
| PC<br>0     | I<br>6  | WRITE   |         | FF 01   | 06 × × |
| F           | F       | WRITE   |         | FF 02   | FF × × |
| IX<br>2     | SP<br>1 | WRITE   |         | FF 03   | 21 × × |
| F           | F       | WRITE   |         | FF 04   | FF × × |
| PC<br>0     | IY<br>3 | WRITE   |         | FF 05   | 03 × × |
| IF<br>7     | PC<br>0 | WRITE   |         | FF 06   | 70 × × |
| IF<br>7     | E       | WRITE   |         | FF 07   | 7E × × |
| B           | H<br>8  | WRITE   |         | FF 08   | 68 × × |
| IX<br>2     | PC<br>0 | WRITE   |         | FF 09   | 20 × × |
| PC<br>0     | B       | WRITE   |         | FF 0A   | 0B × × |
| IF<br>7     | C       | WRITE   |         | FF 0b   | 7C × × |




|         |         |       |
|---------|---------|-------|
| B       | BC<br>5 | WRITE |
| IX<br>2 | B       | WRITE |
| IX<br>2 | PC<br>0 | WRITE |
| F       | I<br>6  | WRITE |
| PC<br>0 | BA<br>4 | WRITE |
| IX<br>2 | H<br>8  | WRITE |
| F       | PC<br>0 | WRITE |
| D       | IY<br>3 | WRITE |
| D       | C       | WRITE |
| IF<br>7 | I<br>6  | WRITE |
| IX<br>2 | IX<br>2 | WRITE |
| E       | SP<br>1 | WRITE |
| F       | F       | WRITE |
| BA<br>4 | F       | WRITE |
| E       | D       | WRITE |
| BA<br>4 | IY<br>3 | WRITE |
| D       | F       | WRITE |

|      |      |
|------|------|
| FF0C | b5xx |
| FF0d | 2bxx |
| FF0E | 20xx |
| FF0F | F6xx |
| FF10 | 04xx |
| FF11 | 28xx |
| FF12 | F0xx |
| FF13 | d3xx |
| FF14 | dCxx |
| FF15 | 76xx |
| FF16 | 22xx |
| FF17 | E1xx |
| FF18 | FFxx |
| FF19 | 4Fxx |
| FF1A | Edxx |
| FF1b | 43xx |
| FF1C | dFxx |

|         |         |       |    |    |    |   |   |
|---------|---------|-------|----|----|----|---|---|
| F       | F       | WRITE | FF | 10 | FF | × | × |
| C       | IY<br>3 | WRITE | FF | 1E | C3 | × | × |
| IX<br>2 | L<br>9  | WRITE | FF | 1F | 29 | × | × |
| E       | PC<br>0 | WRITE | FF | 20 | E0 | × | × |

(注) ××は0～Fの16進数字なら全て可です。

メモリへのプログラム書き込みが終了し、書き込み誤りがなければ次のキー操作で、メモリの動作を確認します。

| キー操作          | ADDRESS | DATA | REM・LED                                                                               |
|---------------|---------|------|---------------------------------------------------------------------------------------|
| RESET         | 0000    | 0000 |                                                                                       |
| F F PC 0 PC 0 | 0000    | FF00 | プログラム開始アドレスをセット                                                                       |
| REM ADRS      | FF00    | 0006 |                                                                                       |
| RUN           |         |      |  |

メモリが正常であればREM端子用LEDが点灯します。メモリに動作不良があると、最初の動作不良点のアドレスをADDRESS表示部に、DATA表示部上位2桁にメモリに書き込んだデータを、下位2桁にメモリから読み出したデータを表示してプログラムを終了します。

(動作不良例)

| ADDRESS  | DATA               |
|----------|--------------------|
| 0100     | FF7F               |
| 動作不良アドレス | 書き込みデータ    読み出しデータ |

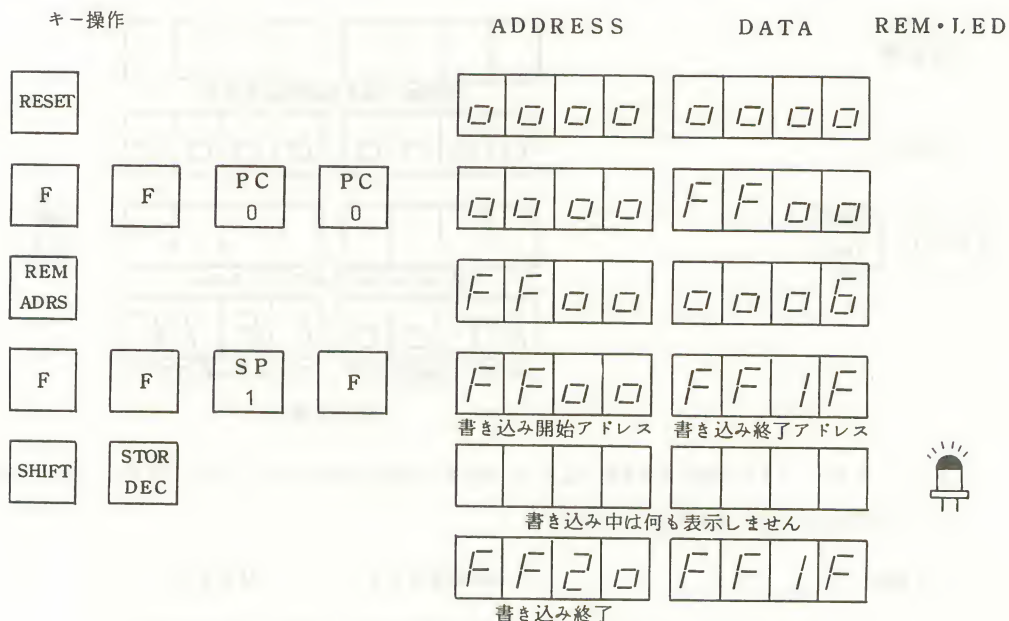
この例では、メモリアドレス0100番地に書き込んだ16進数のFFが、読み出しで7Fに変化しているのが確認できます。

## 2.7.6 オーディオカセットインターフェースの動作の確認

### (1) オーディオカセットへの書き込み

2.7.5 項でメモリに書き込んだプログラムを次のキー操作でオーディオカセットに書き込んでください。

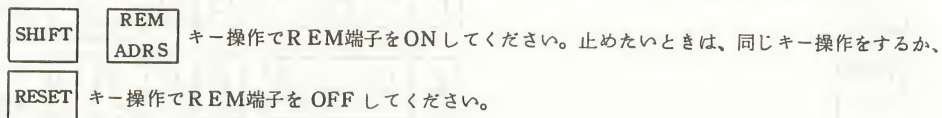
オーディオカセットに書き込む前には、オーディオカセットを録音状態にしてください。



オーディオカセットに書き込み中は、REM端子用LEDが点灯するだけで何も表示しません。

オーディオカセットへの書き込みが終了すると、ADDRESS表示部に書き込み終了アドレスの次のアドレスを、DATA表示部にはそのまま書き込み終了アドレスを表示します。

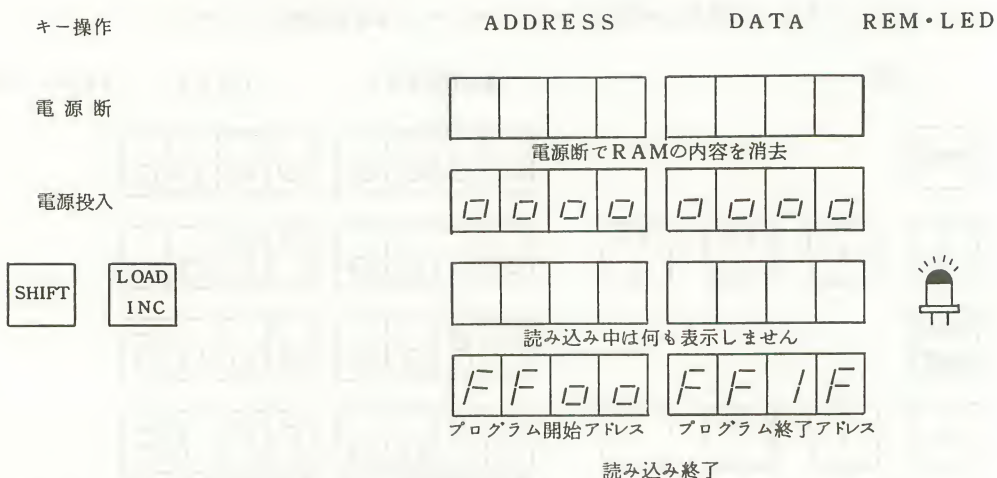
(注) REM端子をオーディオカセットに接続した状態でカセットテープの巻戻し、早送りを行いたいときは



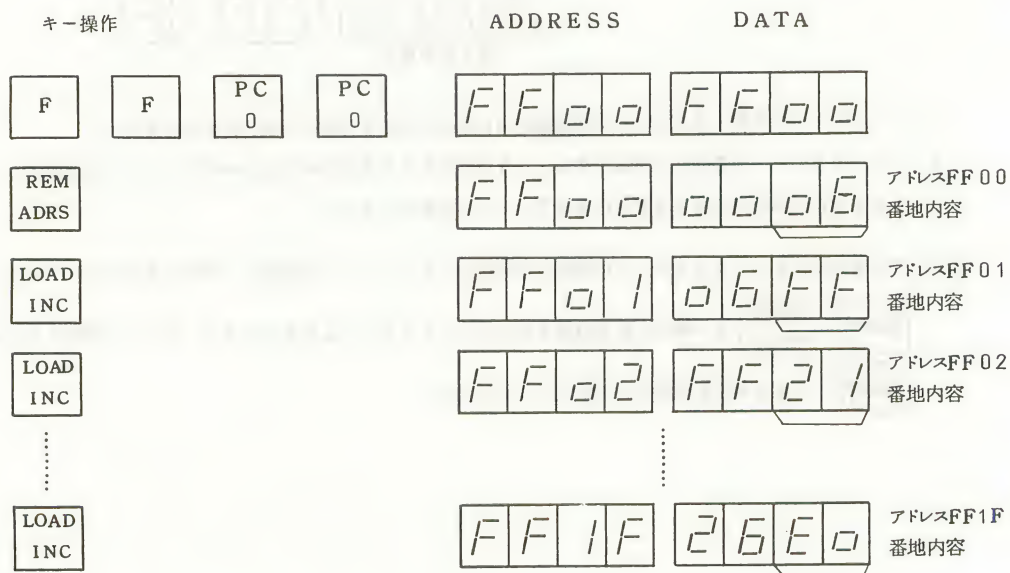
## (2) オーディオカセットよりの読み込み

(1)で書き込んだプログラムを、オーディオカセットより読み込みます。

プログラムを読み込む前に、プログラム書き込み前の位置にテープを巻き戻して再生状態にしてください。



オーディオカセットよりの読み込みが終了したら、次のキー操作で読み込んだプログラムをチェックしてください。表示内容は、2.7.5項を参照してください。





## 第3章 操 作 説 明

この章では、SM-B-80 Tを操作する上で必要なキーの使い方、表示の見方、オーディオカセットの使い方などを説明します。

### 3.1 システムのリセット

電源を投入したとき、または、**RESET** キーを押したときにシステムは初期状態に戻されます。また、初期状態に戻されたあとのリスタートアドレスは、2.6.4 項で説明したようにモニタプログラム開始アドレスE 0 0 0 番地か、ユーザプログラム開始アドレス0 0 0 0 番地に変更できます。

### 3.2 モニタプログラムの基本的な操作方法

SM-B-80 Tに実装していますモニタプログラムの操作方法を以下に説明します。

#### 3.2.1 データのセット

セットしたいデータを16進数キー **PC**  
**0** ~ **F** で入力します。このとき押したキーに対応した文字をデータ表示部に表示します。

(操作例1)

16進数の1Aをセットする例を示します。アドレス切り換えスイッチはE 0 0 0 側に設定しておきます。

(3.2.1 項以降もE 0 0 0 側に設定)

キー操作

ADDRESS

DATA

**RESET**

□ □ □ □

□ □ □ □

モニタプログラム実行

**SP**  
**1**

□ □ □ □

□ □ □ □

1を入力

**A**

□ □ □ □

□ □ □ A

Aを入力

(注) **RESET** キー操作後、表示は全て0になります。

(操作例2)

16進数の1Aを1Bと間違えて入力したときの修正方法を示します。

キー操作

RESET

SP  
1

B

SP  
1

A

ADDRESS

DATA

□ □ □ □

□ □ □ □

モニタプログラム実行

□ □ □ □

□ □ 1b

1Aを1Bと間違えて入力

□ □ □ □

□ 1b 1

□ □ □ □

1b 1A

1Bを1Aに修正

間違えたデータ 正しいデータ

(注) メモリへ書き込むときは、データ表示部の下2桁のデータが有効です。

### 3.2.2 アドレスのセット

メモリへのデータ書き込み、メモリの内容表示やプログラムの実行をさせたいアドレスを16進数でキー入力

し **REM ADRS** キーを押すと、入力したデータをアドレスとして表示し、そのアドレスのメモリの内容をアドレス表示部の下2桁に表示します。

(操作例)

モニタプログラムのアドレスE0AB番地をセットする例を示します。

キー操作

E

PC  
0

A

B

ADDRESS

DATA

× × × ×

E 0 A b

E0ABを入力

REM  
ADRS

F 0 A b

A b E 1

E0ABをアドレスと指定

E0AB番地内容

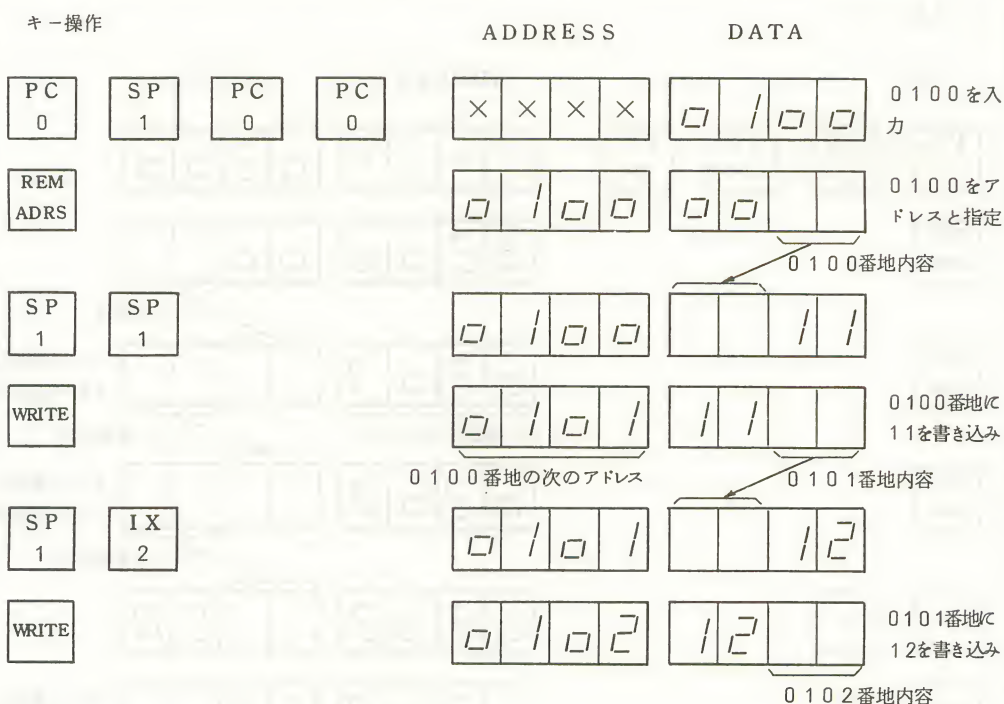
(注) **× × × ×** は、E0ABを入力する前の表示を表わします。

### 3.2.3 メモリへの書き込み

データを書き込みたいメモリのアドレスを16進数で4桁キー入力し、**REM ADRS** キーでアドレスとして指定します。次に書き込みたいデータを16進数で2桁キー入力し、**WRITE** キーを押すとセットしたアドレスのメモリにデータが書き込まれます。また、アドレス表示部は次のアドレスを示し、そのメモリの内容をデータ表示部下2桁に表示します。

(操作例)

0100番地から0101番地までのメモリに16進数の11, 12を書き込む例を示します。



(注) × × × × は、0100を入力する前の表示を表わします。

### 3.2.4 メモリの内容表示と変更

メモリの内容を表示させたいアドレスを16進数でキー入力し、**REM ADRS** キーでアドレスとして指定すると、そのアドレスのメモリの内容をデータ表示部下2桁に表示します。また、表示させたメモリの内容を変更したいときは、新しいデータをキー入力し、**WRITE** キーを押すとメモリの内容が変更され、次のアドレスをアドレス表示部に、そのメモリの内容をデータ表示部に表示します。さらに次のアドレス、または、一つ前のアドレス

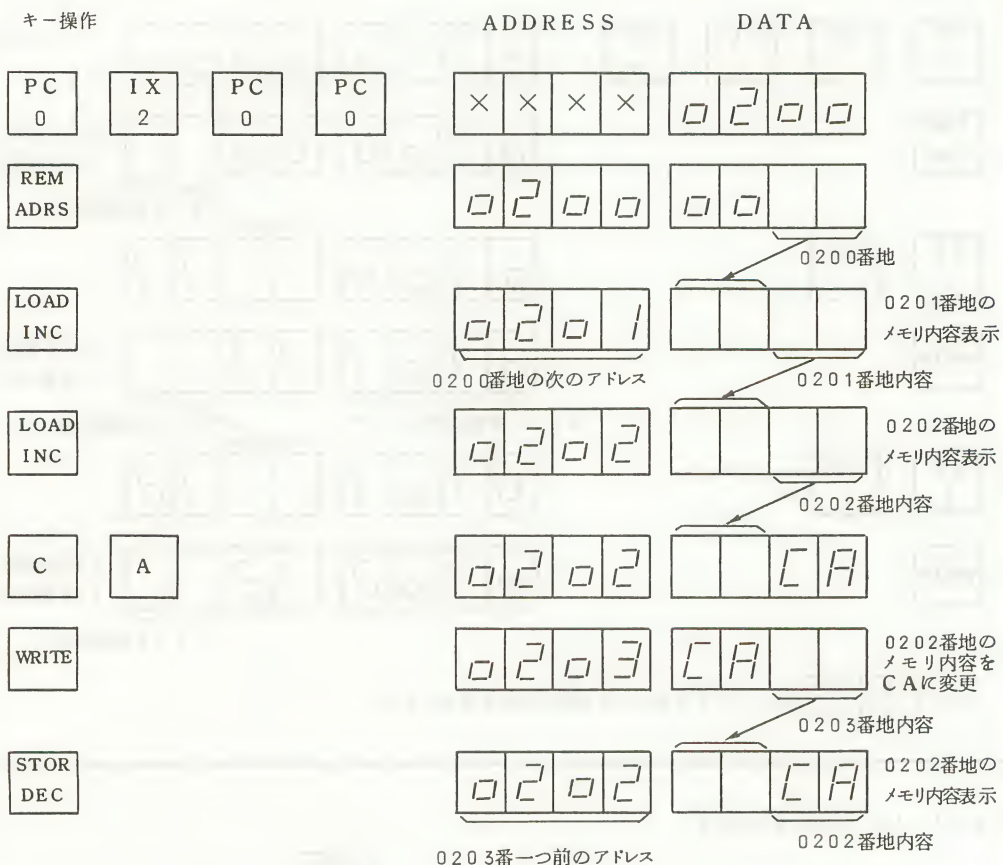
のメモリ内容を表示させたいときは **LOAD INC** キー、または、**STOR DEC** キーを押します。すると **LOAD INC** キーでは次のアドレスをアドレス表示部に、そのメモリの内容をデータ表示部に表示します。**STOR DEC** キーでは一つ前のアドレスをアドレス表示部に、そのメモリの内容をデータ表示部に表示します。

(注) **LOAD INC** キーはアドレスの表示を+1します(次のアドレスを表示します)。

**STOR DEC** キーはアドレスの表示を-1します(一つ前のアドレスを表示します)。

(操作例)

0200番地から0202番地のメモリの内容を表示させ、0202番地のメモリの内容を16進数のCAに変更する例を示します。



(注) × × × × は、0200を入力する前の表示を表わします。



### 3.2.5 ユーザレジスタの内容表示と変更

ユーザレジスタの内容を表示させたいときは **REG<sup>1</sup>** **REG** キーを押した後レジスタ名に対応したキーを入力します。すると、そのレジスタのシンボル名をアドレス表示部に、レジスタの内容をデータ表示部に表示します。ただし、補助レジスタ (A<sup>1</sup> B<sup>1</sup> C<sup>1</sup> D<sup>1</sup> E<sup>1</sup> F<sup>1</sup> H<sup>1</sup> L<sup>1</sup>) の内容を表示させたいときは **REG<sup>1</sup>** **REG** キーを押す前に **SHIFT** キーを押してください。また、表示させたレジスタの内容を変更したいときは、新しいデータをキー入力し、**WRITE** キーを押すとレジスタの内容が変更され、次のユーザレジスタのシンボル名をアドレス表示部に、そのレジスタの内容をデータ表示部に表示します。

#### (操作例 1)

補助レジスタ (B<sup>1</sup>) とプログラムカウンタ (PC) の内容を表示させ、プログラムカウンタの内容を 16 進数 0003 に変更する例を示します。

| キー操作                                            | ADDRESS                | DATA    |                                                        |
|-------------------------------------------------|------------------------|---------|--------------------------------------------------------|
| <b>SHIFT</b> <b>REG<sup>1</sup></b> <b>REG</b>  | × × × ×                | × × × × | 補助レジスタを指定                                              |
| <b>B</b>                                        | <b>B<sup>1</sup></b> - | □ □ □ □ | B <sup>1</sup> レジスタの内容を表示<br>(注) B <sup>1</sup> レジスタ内容 |
| <b>REG<sup>1</sup></b> <b>REG</b>               | <b>B<sup>1</sup></b> - | □ □ □ □ | 主レジスタを指定                                               |
| <b>PC</b><br>0                                  | <b>PC</b> -            | □ □ □ □ | プログラムカウンタの内容を表示                                        |
| <b>PC</b> 0 <b>PC</b> 0 <b>PC</b> 0 <b>IY</b> 3 | <b>PC</b> -            | □ □ □ 3 | プログラムカウンタ内容を 0003 に変更                                  |
| <b>WRITE</b>                                    | <b>SP</b> -            | □ □ □ □ | スタックポインタ内容                                             |

(注) × × × × は、**SHIFT** キーを押す前の表示を表わします。

ユーザレジスタには、8 ビットのものとは 16 ビットの 2 種類があり、その表示方法にも違いがありますので表 3.1 を参照してください。

このほかにユーザレジスタの内容を連続して表示させたいときは、操作例1の方法でユーザレジスタの中のどれかを指定し、

|      |
|------|
| LOAD |
| INC  |

キー、または、

|      |
|------|
| STOR |
| DEC  |

キーで次々とレジスタの内容を表示させることができます。

(操作例2)

プログラムカウンタを指定し、レジスタの内容を連続して表示させる例を示します。

(注) ユーザレジスタの内容を表示させる順番は表3.1を参照してください。

| キー操作        |         | ADDRESS | DATA |                              |
|-------------|---------|---------|------|------------------------------|
| REG'<br>REG | PC<br>0 | PC -    |      | プログラムカウンタの内容を表示              |
|             |         |         |      | プログラムカウンタ内容                  |
| LOAD<br>INC |         | SP -    |      | スタックポインタの内容を表示               |
| ...         |         |         |      | スタックポインタ内容                   |
| LOAD<br>INC |         | F -     | 0 0  | 主レジスタFの内容を表示                 |
|             |         |         |      | Fレジスタ内容                      |
| LOAD<br>INC |         | H' -    | 0 0  | 補助レジスタH'の内容を表示               |
|             |         |         |      | H'レジスタ内容                     |
| LOAD<br>INC |         | L' -    | 0 0  | 補助レジスタL'の内容を表示               |
| ...         |         |         |      | L'レジスタ内容                     |
| LOAD<br>INC |         | F' -    | 0 0  | 補助レジスタF'の内容を表示               |
|             |         |         |      | F'レジスタ内容                     |
| LOAD<br>INC |         | PC -    |      | 一巡して最初のプログラムカウンタへもどり、その内容を表示 |
|             |         |         |      | プログラムカウンタ内容                  |
| STOR<br>DEC |         | F' -    | 0 0  | プログラムカウンタの一つ手前のレジスタF'の内容を表示  |
| ...         |         |         |      | F'レジスタ内容                     |
| STOR<br>DEC |         | F -     | 0 0  | 主レジスタFの内容を表示                 |
| ...         |         |         |      | Fレジスタ内容                      |
| STOR<br>DEC |         | PC -    |      | 最初のプログラムカウンタへもどりその内容を表示      |
|             |         |         |      | プログラムカウンタ内容                  |

| キ                    | ー | レ | ジ                       | ス  | タ | 表 示     |         | 表示の順番 |     |
|----------------------|---|---|-------------------------|----|---|---------|---------|-------|-----|
|                      |   |   |                         |    |   | ADDRESS | DATA    | INC   | DEC |
| REG'<br>REG          | P | C | プログラムカウンタ               | PC | - | PC -    | × × × × | ↑     | ↓   |
|                      | S | P | スタックポインタ                | SP | - | SP -    | × × × × |       |     |
|                      | I | X | インデックスレジスタX             | IX | - | IX -    | × × × × |       |     |
|                      | I | Y | インデックスレジスタY             | IY | - | IY -    | × × × × |       |     |
|                      | B | A | ブレークアドレスレジスタ            | BA | - | BA -    | × × × × |       |     |
|                      | B | C | ブレークカウンタ                | BC | - | BC -    | 0 0 × × |       |     |
|                      | I |   | インターラプトページ<br>アドレスレジスタ  | I  | - | I -     | 0 0 × × |       |     |
|                      | I | F | インターラプトイネーブル<br>フラグレジスタ | IF | - | IF -    | 0 0 × × |       |     |
|                      | H |   | 主Hレジスタ                  | H  | - | H -     | 0 0 × × |       |     |
|                      | L |   | 主Lレジスタ                  | L  | - | L -     | 0 0 × × |       |     |
|                      | A |   | 主アキュムレータ                | A  | - | A -     | 0 0 × × |       |     |
|                      | B |   | 主Bレジスタ                  | B  | - | B -     | 0 0 × × |       |     |
|                      | C |   | 主Cレジスタ                  | C  | - | C -     | 0 0 × × |       |     |
|                      | D |   | 主Dレジスタ                  | D  | - | D -     | 0 0 × × |       |     |
|                      | E |   | 主Eレジスタ                  | E  | - | E -     | 0 0 × × |       |     |
|                      | F |   | 主フラグレジスタ                | F  | - | F -     | 0 0 × × |       |     |
| SHIFT<br>REG'<br>REG | H |   | 補助H' レジスタ               | H' | - | H' -    | 0 0 × × |       |     |
|                      | L |   | 補助L' レジスタ               | L' | - | L' -    | 0 0 × × |       |     |
|                      | A |   | 補助アキュムレータ               | A' | - | A' -    | 0 0 × × |       |     |
|                      | B |   | 補助B' レジスタ               | B' | - | B' -    | 0 0 × × |       |     |
|                      | C |   | 補助C' レジスタ               | C' | - | C' -    | 0 0 × × |       |     |
|                      | D |   | 補助D' レジスタ               | D' | - | D' -    | 0 0 × × |       |     |
|                      | E |   | 補助E' レジスタ               | E' | - | E' -    | 0 0 × × |       |     |
|                      | F |   | 補助フラグレジスタ               | F' | - | F' -    | 0 0 × × |       |     |

表 3.1 ユーザレジスタの表示  
 ××××: 16ビットレジスタの内容表示  
 ××: 8ビットレジスタの内容表示



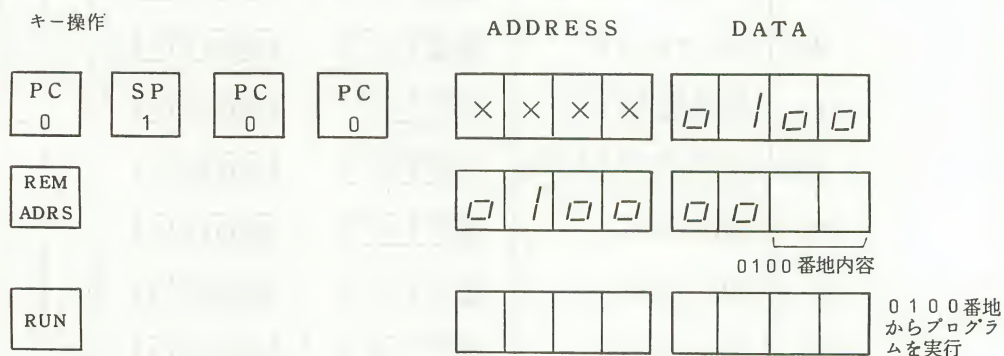
### 3.2.6 プログラムの実行

作成したプログラムをSM-B-80 Tに実行させるには、プログラムの開始アドレスをアドレスセットし、

**RUN** キーを押しますと、アドレスセットしたメモリアドレスよりプログラムを実行します。また、プログラムの最後にHALT命令を書き込んでおきますとHALT命令を実行した後、プログラムの実行を停止します。

(操作例)

アドレス0100番地からプログラムを実行させる例を示します。



(注) 

|   |   |   |   |
|---|---|---|---|
| × | × | × | × |
|---|---|---|---|

 は、0100を入力する前の表示を表わします。

また、プログラムを0000番地から実行させる場合は、アドレススイッチを0000側に設定して **RESET** キーを押すことにより実行を開始できます。

### 3.2.7 ステップ動作

作成したプログラムに誤りがある場合などに、そのプログラムを1命令ずつ実行させながら(ステップ動作)メモリやレジスタの内容を確認していけばプログラムの誤りの箇所を発見することができます。

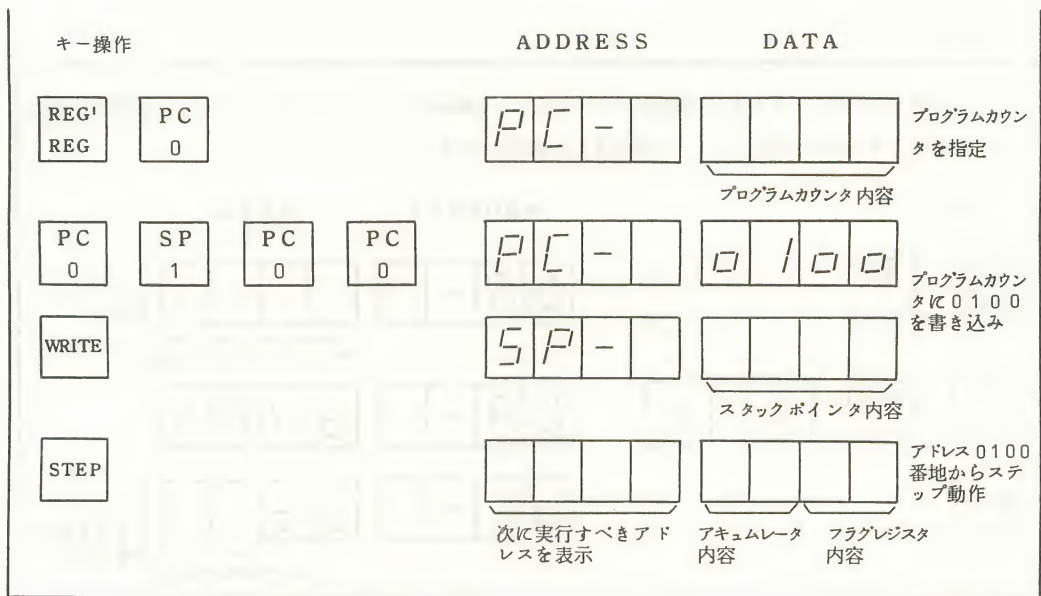
ステップ動作をSM-B-80 Tに行わせるには、ステップ動作をさせたいプログラムの開始アドレスを16進数でプログラムカウンタ(PC)に書き込み、**STEP** キーを押すとプログラムを1命令実行してプログラム実行を停止します。このため **STEP** キーを押して1命令実行して停止することによりメモリの内容やレジスタの内容を確認することができ、プログラムのどの部分に誤りがあるかを調べることができます。

プログラムを1命令実行して停止したときにはアドレス表示部に次に実行するアドレスを、データ表示部の上位2桁にアキュムレータの内容を、下2桁にフラグレジスタの内容を表示します。

(操作例)

アドレス0100番地からプログラムをステップ動作させる例を示します。





ステップ動作でプログラム実行を停止した後、RUN キーを押すとアドレス表示部に表示しているアドレスからプログラムを実行します。

### 3.2.8 ブレーク動作

ブレーク動作は、ブレークアドレスレジスタに書き込んだアドレスの一つ前までの命令をブレークカウンタに書き込んだ回数だけ実行して停止します。

ブレーク動作を使用しますと、プログラムの中に同じ命令をある条件になるまで何度も繰り返す命令があるときに、ステップ動作と組み合わせて使用すれば効率よくプログラムの誤りを発見できます。

ブレーク動作をSM-B-80 Tに行わせるには、プログラム実行を停止させたいアドレス（ブレークポイント）をブレークアドレスレジスタ（BA）に書き込み、ブレークカウンタ（BC）には実行回数を書き込みます。そして、ブレーク動作をさせたいプログラムの開始アドレスをアドレスセットし、RUN キーを押すと、ブレークアドレスレジスタ（BA）が指すアドレス（ブレークポイント）の一つ前の命令までのプログラムを、ブレークカウンタ（BC）が0になるまで実行して停止します。また、このときはアドレス表示部にブレークアドレスレジスタの内容（ブレークポイント）を表示し、データ表示部の上位2桁にアキュムレータ内容を、下2桁にはフラグレジスタ内容を表示します。

（注）ブレーク動作での繰り返し回数は、1～255回です。ブレークカウンタが0のときはブレーク動作は行わずに普通のプログラム実行となります。

ブレークポイントは、CPUの命令のオペレーションコード（OPコード）が入っているアドレスでなければなりません。

オペレーションコードが入っているアドレス以外をブレークポイントとして設定しますと、ブレーク動作を行いません。

( 操作例 )

ブレーク動作をさせたいプログラムの開始アドレスを0100番地とし、ブレークポイントを01AB番地、繰り返し回数を100回と設定してブレーク動作をさせる例を示します。

キー操作

ADDRESS

DATA

|             |         |         |         |      |                               |   |    |                         |
|-------------|---------|---------|---------|------|-------------------------------|---|----|-------------------------|
| REG'<br>REG | BA<br>4 |         |         | 6A - |                               |   |    | ブレークアドレスレジスタを指定         |
|             |         |         |         |      | ブレークアドレスレジスタ内容                |   |    |                         |
| PC<br>0     | SP<br>1 | A       | B       | 6A - | 0                             | 1 | AB |                         |
| WRITE       |         |         |         | 6C - | 0                             | 0 |    | ブレークポイントとして01AB番地を書き込み  |
|             |         |         |         |      | ブレークカウンタ内容                    |   |    |                         |
| I<br>6      | BA<br>4 |         |         | 6C - | 0                             | 0 | 64 | 繰り返し回数100回を16進数の64で書き込み |
| WRITE       |         |         |         | 1 -  | 0                             | 0 |    |                         |
|             |         |         |         |      | Iレジスタ内容                       |   |    |                         |
| PC<br>0     | SP<br>1 | PC<br>0 | PC<br>0 | 1 -  | 0                             | 1 | 00 |                         |
| REM<br>ADRS |         |         |         | 0100 | 0                             | 0 |    | 0100をアドレスとして指定          |
|             |         |         |         |      | 0100番地内容                      |   |    |                         |
| RUN         |         |         |         | 01AB |                               |   |    | ブレークポイントでプログラム実行停止      |
|             |         |         |         |      | ブレークポイントを表示 アキュムレータ フラグレジスタ内容 |   |    |                         |

(注) 繰り返し回数は16進数でブレークカウンタに書き込んでください。

繰り返し回数100回=16進数の64

ブレーク動作でプログラム実行を停止した後、**STEP** キーを押すとブレークポイントよりステップ動作を実行します。また、**RUN** キーを押したときはブレークポイントよりプログラムを実行します。

### 3.3 オーディオカセットとの接続

プログラムを入れるRAMメモリは、電源が切れるとその内容が壊われてしまい作成したプログラムの保存ができません。

そこでSM-B-80Tは一般のオーディオカセットをプログラム保存に使用しています。SM-B-80Tにはこのオーディオカセットとの間でプログラム（データ）をやりとりするためのインターフェースを内蔵しています。

#### 3.3.1 プログラムのカセットテープへのストア（プログラムの書き込み）

プログラムをカセットテープへストアするときは図3.1に示すように接続してください。

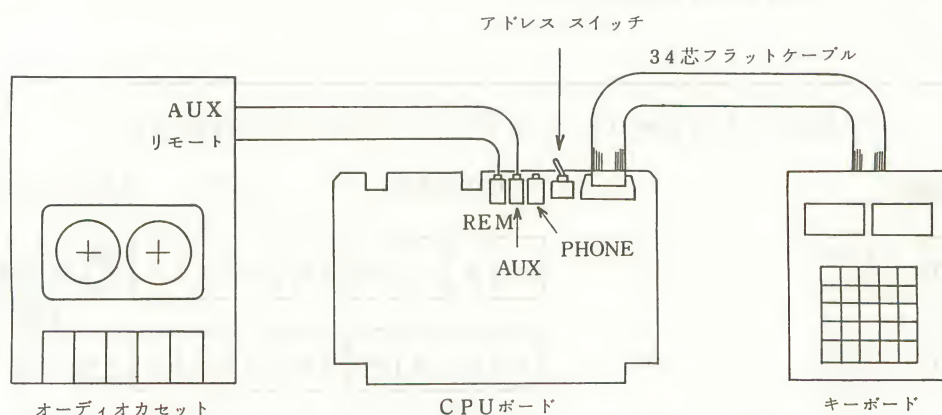


図3.1 プログラムをストアするときの接続

プログラムをカセットテープへストアするときは、次の手順で行ってください。

- (1) オーディオカセットにカセットテープをセットします。
- (2) リモート用ケーブルの一方をCPUボードのREM端子（EJ<sub>1</sub>）へ、他方をカセットのリモート端子へ差し込みます。
- (3) AUX／イヤホン用ケーブルの一方をCPUボードのAUX端子（EJ<sub>2</sub>）へ、他方をカセットのAUX端子へ差し込みます。
- (4) カセットの巻き戻しボタンを押して巻き戻し状態にしてから次のキー操作でテープを巻き戻してください。



リモート端子をONしてテープを巻き戻します。  
このときREM用LEDが点灯します。



テープを巻き戻したらリモート端子をOFFします。

(注) リモート端子をキーで制御する場合は反転式になっていますので、リモート端子がONのときの  
 REM ADRS キー操作ではOFF、また、逆にリモート端子がOFFのときの  
 REM ADRS キー操作ではON状態になります。



(5) テープの巻き戻しが終わったらカセットのREC(録音)ボタンとPLAYボタンを同時に押して録音状態にしてください。



(6) 次にアドレス表示部に、ストアしたいプログラムが入っているメモリの開始アドレスをセットし、データ表示部にプログラムの終了アドレスをセットして **SHIFT** 次に **STOR DEC** キーを押すと自動的にカセットが動き出し、カセットテープへのストアを始めます。

ストアが終了すると自動的にカセットを停止して、データ表示部にストア前にセットしたプログラムの終了アドレスを、アドレス表示部に終了アドレスの次のアドレス(終了アドレス+1番地)を表示します。

また、ストア中はREM用LEDが点灯します。

(操作例)

アドレス0000番地から03FF番地の1Kバイトをカセットテープにストアする例を示します。

| キー操作                                            | ADDRESS                  | DATA                | REM・LED                                                                                               |
|-------------------------------------------------|--------------------------|---------------------|-------------------------------------------------------------------------------------------------------|
| <b>SHIFT</b> <b>REM ADRS</b>                    | × × × ×                  | × × × ×             |  リモート端子ONでテープを巻き戻し |
| <b>SHIFT</b> <b>REM ADRS</b>                    | × × × ×                  | × × × ×             | リモート端子OFF                                                                                             |
| <b>PC</b> 0 <b>PC</b> 0 <b>PC</b> 0 <b>PC</b> 0 | × × × ×                  | □ □ □ □             |                                                                                                       |
| <b>REM ADRS</b>                                 | □ □ □ □<br>開始アドレス        | □ □ □ □<br>0000番地内容 | 開始アドレス0000番地セット                                                                                       |
| <b>PC</b> 0 <b>IY</b> 3 <b>F</b> <b>F</b>       | □ □ □ □                  | □ 3 F F<br>終了アドレス   | 終了アドレス03FF番地セット                                                                                       |
| <b>SHIFT</b> <b>STOR DEC</b>                    | □ □ □ □<br>ストア中は消灯       | □ □ □ □             |  プログラムストア中       |
|                                                 | □ 4 □ □<br>終了アドレスの次のアドレス | □ 3 F F<br>終了アドレス   | プログラムストア終了                                                                                            |

(注) 

|   |   |   |   |
|---|---|---|---|
| × | × | × | × |
|---|---|---|---|

 は、カセットテープに書き込む前の表示を表わします。



### 3.3.2 プログラムのカセットテープよりのロード (プログラムの読み込み)

プログラムをカセットテープよりロードするときは図3.2に示すように接続してください。

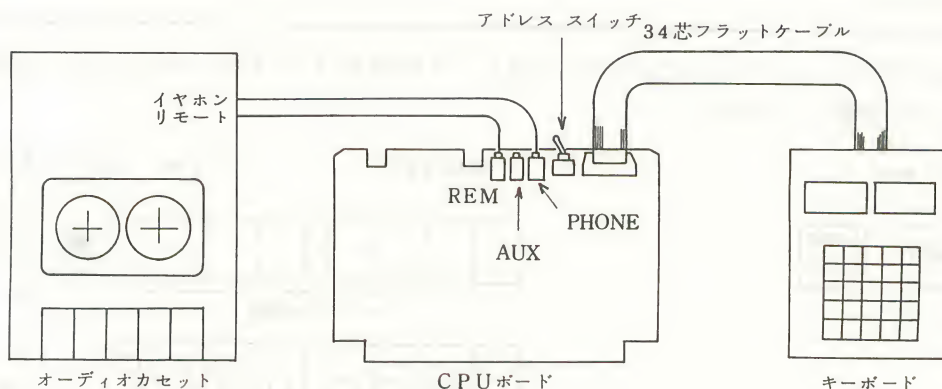
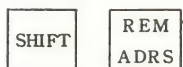


図3.2 プログラムをロードするときの接続

カセットテープからプログラムをロードするときは次の手順で行ってください。

- (1) オーディオカセットにカセットテープをセットします。
- (2) リモート用ケーブルの一方をCPUボードのREM端子(EJ<sub>1</sub>)へ、他方をカセットのリモート端子へ差し込みます。
- (3) AUX/イヤホン用ケーブルの一方をCPUボードのPHONE端子へ、他方をカセットのイヤホン端子、または、外部スピーカ端子へ差し込みます。
- (4) カセットの巻き戻しボタンを押して巻き戻し状態にしてから次のキー操作でテープを巻き戻してください。

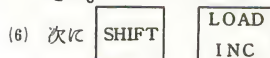


リモート端子をONしてテープを巻き戻します。  
このときREM用LEDが点灯します。



テープを巻き戻したらリモート端子をOFFします。

- (5) テープの巻き戻しが終わりましたらカセットのPLAYボタンを押して再生状態にし、カセットテレコの音量ツマミを中間～最大の間にしてください。また、音質調整ツマミがあればこれも中間～最大の間にしてください。



キーを押すと自動的にカセットが動き出しロードを始めます。

ロードが終了すると自動的にカセットを停止して、アドレス表示部にロードしたプログラムの開始アドレスを、データ表示部に終了アドレスを表示します。また、ロード中はREM用LEDが点灯します。

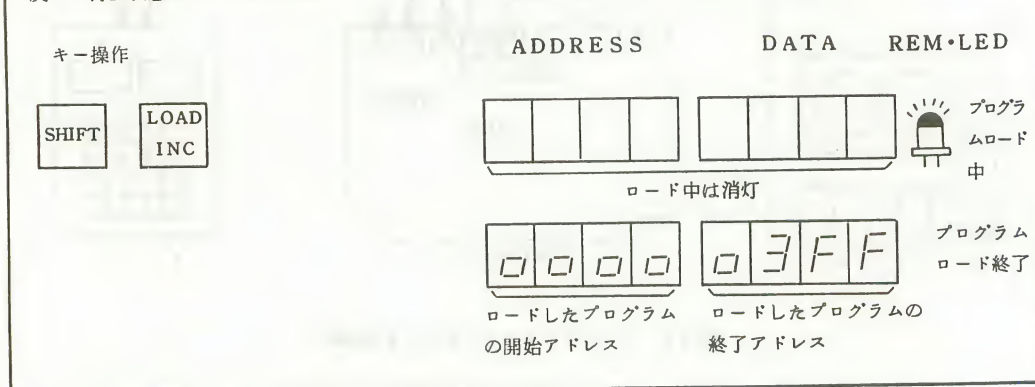
(注) カセットテープにストアするとき、最初の約30秒間はデータ1が書き込まれていますので、テープを巻き戻して再生状態にしたときは、この部分でテープを止めてください。

詳細は4.3.5項のカセットテープへの書き込みフォーマットの説明を参照してください。

データ1の音をスピーカに再生すると、ビー（2.4 kHz）という音がします。また、データ0はボー（1.2 kHz）という音がします。

（操作例）

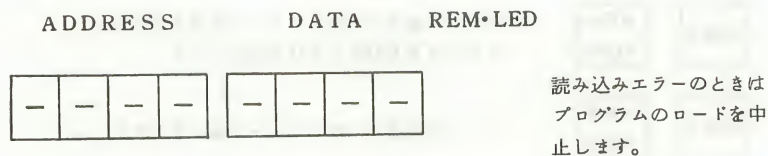
3.3.1項でカセットテープへストアしたプログラムをロードする例を示します。ただし、あらかじめテープを巻き戻して再生状態にしてください。



プログラムをロード中に次のような表示になったときは、プログラムの読み込みエラーですので最初からやりなおしてください。

（注）使用するカセットテープに傷がありますとプログラムの読み込みエラーの原因となりますので新しいものと交換してください。

プログラム読み込みエラーのときの表示



### 3.4 プログラムの作成とデバッグの仕方

SM-B-80Tの基本的な操作方法がわかりましたので次に実際にプログラムを作成して、そのプログラムのデバッグの仕方を説明します。

#### 3.4.1 プログラムの作成手順

SM-B-80Tを使用してのプログラムの作成手順を説明します。

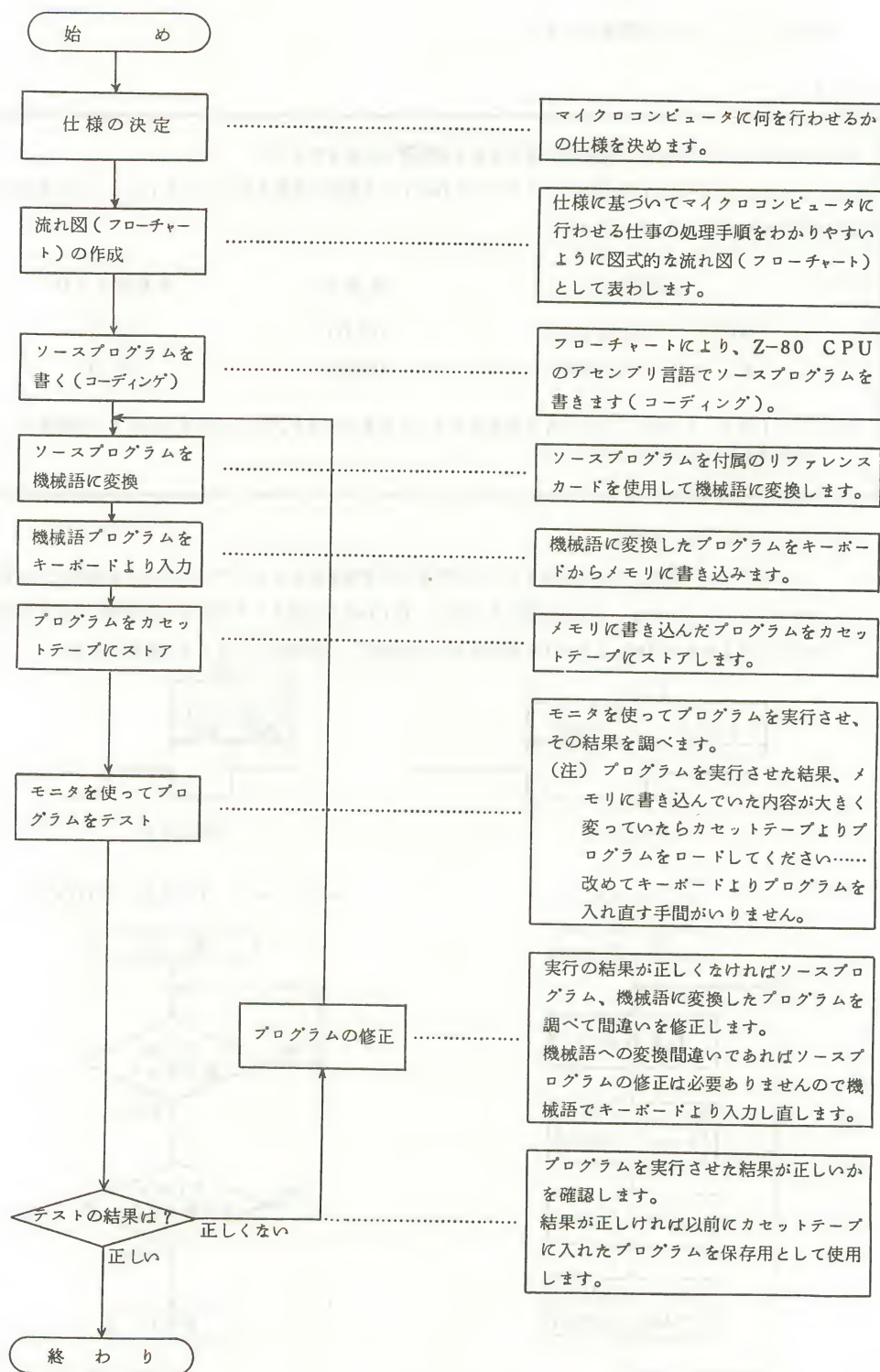


図 3.3 プログラムの作成手順

簡単なプログラムの作成例を示します。

(例)

オーディオカセットのリモート端子用LEDを約1秒周期で点滅させます。

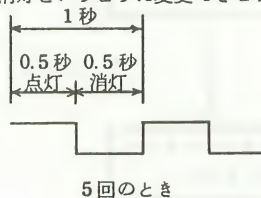
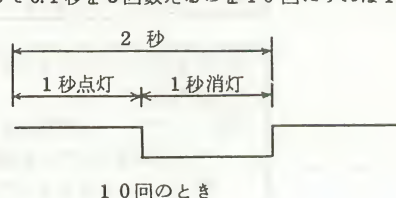
ただし、リモート端子にはCPUのポートアドレスDC(16進数)を割り当ててありますので、次の命令でLEDを点灯させたり消灯させたりできます。

| CPU命令         | 機械語  | REM・LED |
|---------------|------|---------|
| OUT (0DCH), A | D3DC | 点 灯     |
| IN A, (0DCH)  | DBDC | 消 灯     |

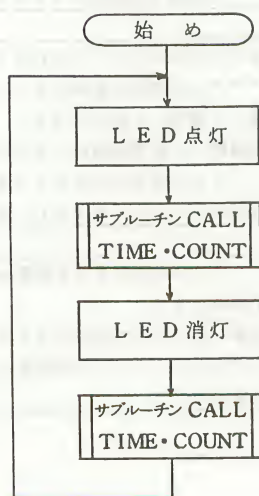
(注) (0DCH)のHは、DCが16進数であることを表わします。また、0はアセンブラの命令で、A~Fで始まるアドレスの前に書きます。

#### (1) フローチャート(流れ図)

フローチャートを図3.4に示します。この中で約0.5秒間を数えるのにサブルーチンを使用しています。このサブルーチンの中でも、0.1秒を数える部分と、0.1秒を5回数えて0.5秒にする部分に分けています。したがって0.1秒を5回数えるのを10回にすれば1秒点灯、1秒消灯というように変更できます。



メインルーチン



サブルーチン TIME・COUNT

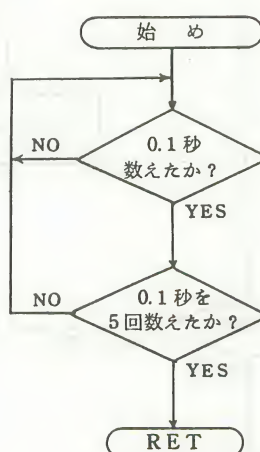


図3.4 フローチャート



- (2) ソースプログラムを機械語に変換したリストを示します。

プログラムの開始アドレスは0000番地、終了アドレスは0018番地です。

# Z-80 ASSEMBLER V1.1 PAGE 1

| アドレス    | 機械語    | アセンブリ言語             |
|---------|--------|---------------------|
| 1       |        | ORG 0               |
| 2 0000  | D3DC   | LOOP: OUT (0DCH), A |
| 3 0002  | CD0C00 | CALL TCOUNT         |
| 4 0005  | DBDC   | IN A, (0DCH)        |
| 5 0007  | CD0C00 | CALL TCOUNT         |
| 6 000A  | 18F4   | JR \$-10            |
| 7 000C  | 0605   | TCOUNT: LD B, 5     |
| 8 000E  | 21E624 | LOOP1: LD HL, 24E6H |
| 9 0011  | 2B     | LOOP2: DEC HL       |
| 10 0012 | 7C     | LD A, H             |
| 11 0013 | B5     | OR L                |
| 12 0014 | 20FB   | JR NZ, \$-3         |
| 13 0016 | 10F6   | DJNZ \$-8           |
| 14 0018 | C9     | RET                 |

ソースプログラムを機械語に変換するときは次の点に注意してください。

- (a) 16ビットのデータをレジスタなどに設定するときの上位8ビットのデータと下位8ビットのデータの並びは次の例に示すようにします。

(例)

| アセンブリ言語      | 機械語       | 説明           |
|--------------|-----------|--------------|
| LD HL, 24E6H | 21E624    | HLレジスタに16進数の |
| LD HL        | 21E624    | 24E6をセットします。 |
|              | 下位8ビットデータ |              |
|              | 上位8ビットデータ |              |

メモリには、21, 00, 24の順序で書き込みます。

- (b) リラティブジャンプ(“JR”)などを使用するときの例を示します。

(例)

| アドレス | アセンブリ言語     | 機械語              |
|------|-------------|------------------|
| ...  | ...         | ...              |
| 0020 | DEC HL      | FB.....2B        |
| 0021 | LD A, H     | FC.....7C        |
| 0022 | OR L        | FD.....B5        |
| 0023 | JR NZ, \$-3 | FE, FF.....20 FB |
| 0025 | DJNZ \$-8   | 00.....10 F6     |

00になります。

「JR NZ, \$-3」の\$-3はアセンブラの命令で、「JR NZ, \$-3」のアドレス0023番地から-3番地(0020番地)へ戻ることを意味します。

ただし、機械語に変換するときは「JR NZ, \$-3」の次のアドレス0025番地を00とし、戻りたいアドレスまで-1を行います。

ディスプレイメントがプラスのときは、次のアドレスを00とし、+1を行います。

(例)

| アドレス | アセンブリ言語     | 機械語           |
|------|-------------|---------------|
| 0020 | JR NZ, \$+4 | 2003          |
| 0022 | LD A, H     | 00.....7C     |
| 0023 | LD B, 01H   | 0102.....0601 |
| 0024 | LD C, 05    | 03.....0E05   |

(3) 機械語に変換したプログラムをキーボードより入力します。

機械語に変換したプログラムをアドレス0000番地よりメモリに書き込んでください。

(4) カセットテープにストアします。

(3)でメモリに書き込んだプログラムをカセットテープにストアしてください。プログラムはアドレス0000~0018番地のメモリに書き込まれています。

### 3.4.2 プログラムのデバックの仕方

3.2.7項のステップ動作、3.2.8項のブレイク動作を使ってプログラムに誤りがないかを調べます。

(操作例)

#### (1) ステップ動作

アドレス0000~000C番地の命令までステップ動作させます。

| キー操作                | ADDRESS | DATA | REM・LED     |
|---------------------|---------|------|-------------|
| REG' PC<br>REG 0    | PC -    |      | プログラムカウンタ内容 |
| PC 0 PC 0 PC 0 PC 0 | PC -    | 0000 |             |
| WRITE               | SP -    |      | スタックポインタ内容  |
| STEP                | 0002    |      | アウト命令でLED点灯 |
| STEP                | 000C    |      | アウト命令でLED点灯 |

STEP

000E



アキュムレータ内容 フラグレジスタ内容

ここで、アドレス000C番地の命令「LD B, 5」でBレジスタに16進数の05が書き込まれたかを確認します。

REG'  
REG

B

b -

0005



Bレジスタ内容

続いてステップ動作させます。

STEP

0011



アキュムレータ内容 フラグレジスタ内容

ここで、アドレス000E番地の命令「LD HL, 2400H」でHLレジスタペアに16進数の2400が書き込まれたかを確認します。

REG'  
REGH  
8

h -

0024



Hレジスタ内容

LOAD  
INC

L -

0000



Lレジスタ内容

## (2) ブレーク動作

ブレークポイントを0018番地、繰り返し回数を1回としてアドレス0011番地よりブレーク動作させます。

REG'  
REGBA  
4

bA -



ブレークアドレスレジスタ内容

PC  
0PC  
0SP  
1H  
8

bA -

0018



WRITE

bC -

0000



ブレークカウンタ内容

|    |    |
|----|----|
| PC | SP |
| 0  | 1  |

|   |   |   |  |   |   |   |   |
|---|---|---|--|---|---|---|---|
| b | c | - |  | 0 | 0 | 0 | 1 |
|---|---|---|--|---|---|---|---|



WRITE

|   |   |  |  |   |   |  |  |
|---|---|--|--|---|---|--|--|
| 1 | - |  |  | 0 | 0 |  |  |
|---|---|--|--|---|---|--|--|



インタラプトページアドレスレジスタ内容


|    |    |    |    |
|----|----|----|----|
| PC | PC | SP | SP |
| 0  | 0  | 1  | 1  |

|   |   |  |  |   |   |   |   |
|---|---|--|--|---|---|---|---|
| 1 | - |  |  | 0 | 0 | 1 | 1 |
|---|---|--|--|---|---|---|---|



REM  
ADRS

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 1 | 1 | 1 | 2 | b |
|---|---|---|---|---|---|---|---|



RUN


|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|



ブレーク動作中は消灯します。

約1分後、次の表示となります。

|   |   |   |   |   |   |  |  |
|---|---|---|---|---|---|--|--|
| 0 | 0 | 1 | 8 | 0 | 0 |  |  |
|---|---|---|---|---|---|--|--|



ブレークポイント


アキュムレ  
ータ内容

フラグレジスタ  
内容

ブレークポイントでプログラム実行を停止しますと、HLレジスタペアの内容と、Bレジスタの内容は0になっています。

|      |   |
|------|---|
| REG' | H |
| REG  | 8 |

|   |   |  |  |   |   |   |   |
|---|---|--|--|---|---|---|---|
| h | - |  |  | 0 | 0 | 0 | 0 |
|---|---|--|--|---|---|---|---|



Hレジスタ内容

LOAD  
INC

|   |   |  |  |   |   |   |   |
|---|---|--|--|---|---|---|---|
| L | - |  |  | 0 | 0 | 0 | 0 |
|---|---|--|--|---|---|---|---|



Lレジスタ内容

LOAD  
INC


|   |   |  |  |   |   |   |   |
|---|---|--|--|---|---|---|---|
| A | - |  |  | 0 | 0 | 0 | 0 |
|---|---|--|--|---|---|---|---|



アキュムレータ内容

LOAD  
INC

|   |   |  |  |   |   |   |   |
|---|---|--|--|---|---|---|---|
| b | - |  |  | 0 | 0 | 0 | 0 |
|---|---|--|--|---|---|---|---|



Bレジスタ内容

続いて0018番地~0007番地までをステップ動作、000C番地からプログラムを実行させます。

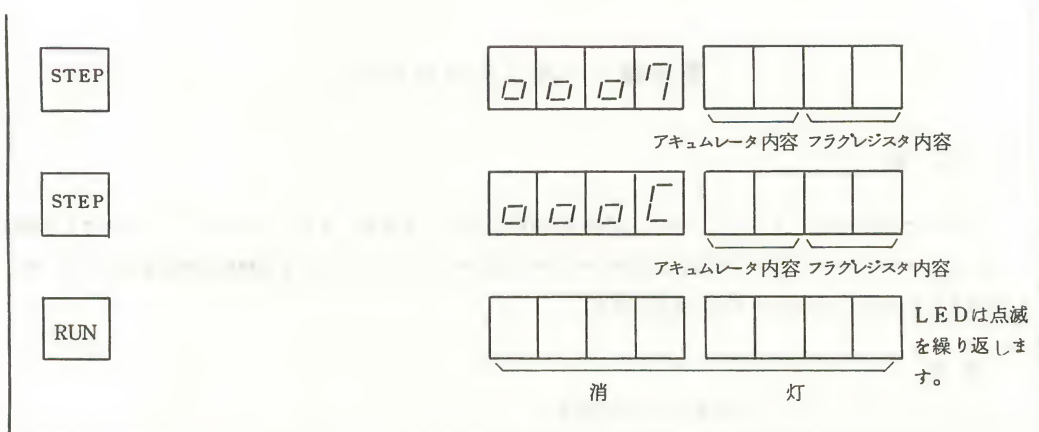
STEP

|   |   |   |   |   |   |  |  |
|---|---|---|---|---|---|--|--|
| 0 | 0 | 0 | 5 | 0 | 0 |  |  |
|---|---|---|---|---|---|--|--|



アキュムレータ内容 フラグレジスタ内容





SM-B-80Tで使用するモニタプログラムについては第4章で詳しく説明します。

## 第4章 モニタプログラム

### 4.1 概 要

SM-B-80Tのモニタプログラムは、SM-B-80Tのキー、LED、カセットインターフェースなどを制御し、またユーザプログラムの実行、修正を行います。次にモニタプログラムの主な機能と特長を示します。また付録8にモニタプログラムのリストを示します。

#### 機 能

- ① ユーザレジスタの内容表示、および変更
- ② メモリの内容表示、および変更
- ③ ユーザプログラムの実行
- ④ ユーザプログラムのステップ実行
- ⑤ カセットテープよりのロード、およびストア
- ⑥ ブレークポイント、ブレークカウンタ機能

#### 特 長

- ① レジスタのシンボル表示
- ② 16ビットレジスタの変更が容易に行える
- ③ オーディオカセットのリモート操作
- ④ カンサスシティ規格採用

### 4.2 構 成

モニタプログラムは、次の三つの部分より構成されています。

- ① メインルーチン
- ② コマンド処理ルーチン
- ③ 割り込み処理ルーチン

メインルーチンは、キー入力を待ち、入力されたキーに従って処理を進めます。データキーが入力されると、そのデータをLEDに表示し、またコマンドキーが入力されると、そのコマンドの処理ルーチンへ制御を移します。

コマンド処理ルーチンは、各コマンドキーに対応した処理を行います。

割り込み処理ルーチンは、SM-B-80Tで使用しているノンマスクابلインターラプトの処理ルーチンで、レジスタの退避、ブレークカウンタの更新などを行います。

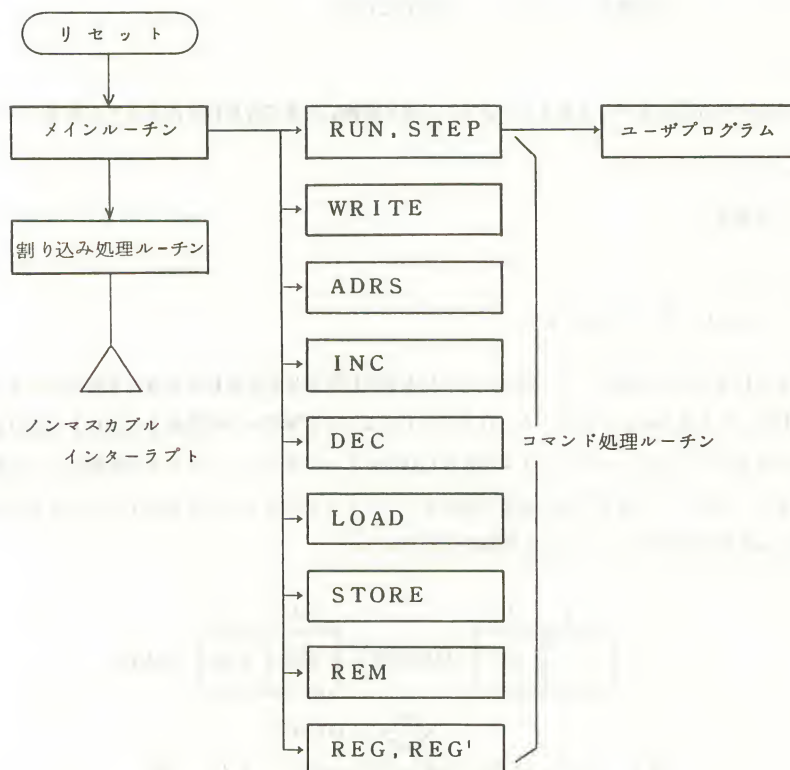


図 4.1 モニタプログラム構成

### 4.3 モニタサブルーチン

モニタで使用しているいくつかのサブルーチンを、ユーザプログラムで使うことができます。モニタサブルーチンの名前と開始アドレスを次に示します。

| 名 前                |          | アドレス |
|--------------------|----------|------|
| ① セグメントデータ変換サブルーチン | (SEGCON) | E324 |
| ② 文字データ変換サブルーチン    | (DISP)   | E2F7 |
| ③ キー入力・LED表示サブルーチン | (KEYIN)  | E33F |
| ④ タイマーサブルーチン       | (WAIT)   | E2B7 |
| ⑤ カセットロードサブルーチン    | (LOAD)   | E1C6 |
| ⑥ カセットストアサブルーチン    | (STORE)  | E236 |
| ⑦ LED表示サブルーチン      | (SCAN)   | E370 |

以降の説明では、アドレスの代りに 4.4 項のメモリマップの名前を使用します。

#### 4.3.1 セグメントデータ変換サブルーチン SEGCON

<機能>

DISBUF内の文字データをセグメントデータに変換してSEGBUFにストアします。

<開始アドレス>

E324番地

<使用レジスタ>

A, F, B, C, D, E, H, L

ADDR, DATAの内容は、二つのバッファDISBUFとSEGBUFを通して表示されます。

まずADDR, DATAは、サブルーチンDISP1によって文字データに変換され、DISBUFに格納されます。次に各文字データは、サブルーチンSEGCONによってセグメントデータに変換され、SEGBUFに格納されます。SM-B-80Tでは、LED表示をソフトウェアで行っているためキー入力・表示サブルーチンの実行中のみSEGBUFのデータはLEDに表示されます。

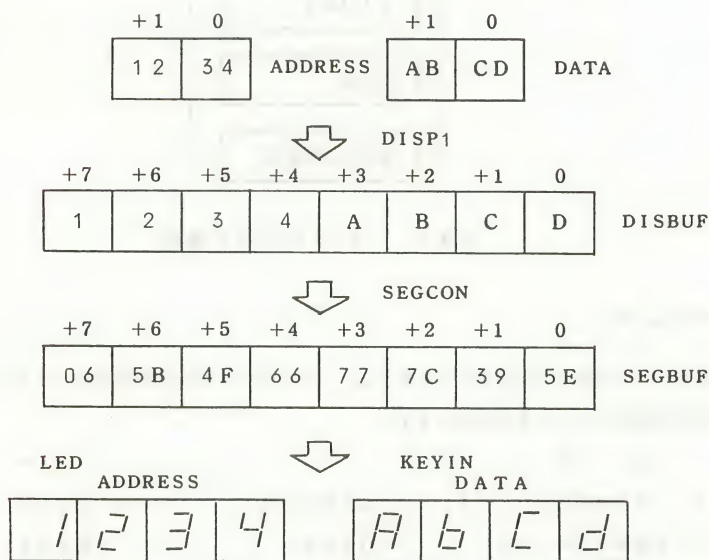
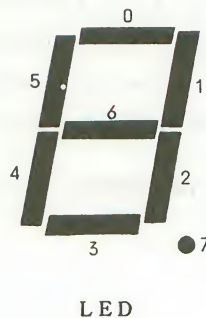


図4.2 表示データの変換

SM-B-80Tは、表4.1に示す26種の文字を表示することができます。各文字には順に番号が割り当てられていてこの番号をこの文字の文字データと呼びます。またLEDのどのセグメントを点灯させるかに対応したデータをこの文字のセグメントデータと呼びます。

|      |      |      |      |      |      |      |      |
|------|------|------|------|------|------|------|------|
| 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 |

図4.3 セグメントデータ





| 文 字 | 文 字<br>デー<br>タ | セグメント<br>デー<br>タ | LED |
|-----|----------------|------------------|-----|
| 0   | 0 0            | 5 C              |     |
| 1   | 0 1            | 0 6              |     |
| 2   | 0 2            | 5 B              |     |
| 3   | 0 3            | 4 F              |     |
| 4   | 0 4            | 6 6              |     |
| 5   | 0 5            | 6 D              |     |
| 6   | 0 6            | 7 D              |     |
| 7   | 0 7            | 2 7              |     |
| 8   | 0 8            | 7 F              |     |
| 9   | 0 9            | 6 F              |     |
| A   | 0 A            | 7 7              |     |
| B   | 0 B            | 7 C              |     |
| C   | 0 C            | 3 9              |     |

| 文 字 | 文 字<br>デー<br>タ | セグメント<br>デー<br>タ | LED |
|-----|----------------|------------------|-----|
| D   | 0 D            | 5 E              |     |
| E   | 0 E            | 7 9              |     |
| F   | 0 F            | 7 1              |     |
| H   | 1 0            | 7 4              |     |
| L   | 1 1            | 3 8              |     |
| P   | 1 2            | 7 3              |     |
| X   | 1 3            | 7 6              |     |
| Y   | 1 4            | 6 E              |     |
| —   | 1 5            | 4 0              |     |
| '   | 1 6            | 2 0              |     |
| 空白  | 1 7            | 0 0              |     |
| I   | 1 8            | 0 6              |     |
| S   | 1 9            | 6 D              |     |

表 4.1 文字表示変換表 (16進数)

<フローチャート>

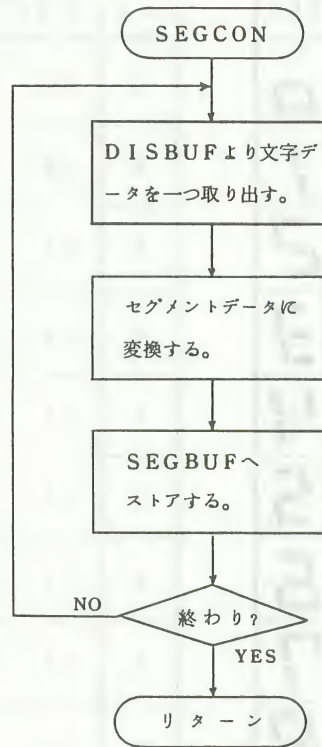


図4.4 セグメント変換サブルーチン

<注 意>

SEGCONは、デシマルポイントをサポートしていません。

デシマルポイントを点灯するには、SEGBUFの対応するバイトのビット7を1にしなければなりません。

<例>

LEDに1～8の数を表示するルーチンです。

| アドレス   | 機械語    | アセンブリ言語         |
|--------|--------|-----------------|
| 1      |        | ORG 0           |
| 2 0000 | 21D5FF | LD HL,DISBUF    |
| 3 0003 | 0608   | LD B,8          |
| 4 0005 | 70     | LOOP: LD (HL),B |
| 5 0006 | 23     | INC HL          |
| 6 0007 | 10FC   | DJNZ LOOP       |
| 7 0009 | CD24E3 | CALL SEGCON     |
| 8 000C | CD3FE3 | CALL KEYIN      |

#### 4.3.2 文字データ変換サブルーチン DISP

##### <機能>

ADDR, DATAの内容を文字データに変換してDISBUFにストアし、SEGCONをコールしてセグメントデータをSEGBUFにストアします。

##### <開始アドレス>

E2F7番地

##### <使用レジスタ>

A, F, B, C, D, E, H, L, B', D', E', H', L'

##### <フローチャート>

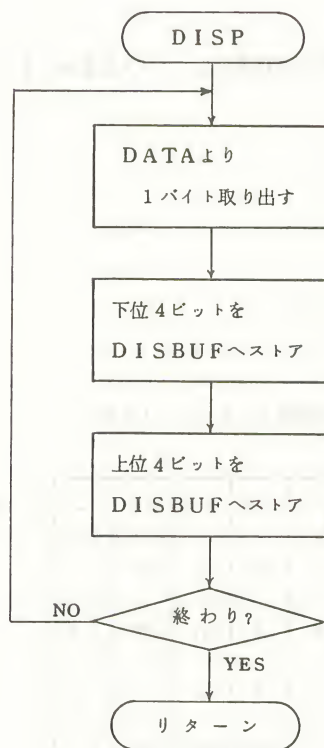


図 4.5 文字データ変換サブルーチン

<例>

LEDに1~8の数を表示するルーチンです。

| アドレス    | 機械語    | アセンブリ言語       |
|---------|--------|---------------|
| 9       |        | ORG 0         |
| 10 0000 | 213412 | LD HL, 1234H  |
| 11 0003 | 22E1FF | LD (ADDR), HL |
| 12 0006 | 217856 | LD HL, 5678H  |
| 13 0009 | 22DFFF | LD (DATA), HL |
| 14 000C | CD7FE2 | CALL DISP     |
| 15 000F | CD3FE3 | CALL KEYIN    |

#### 4.3.3 キー入力・LED表示サブルーチン KEYIN

<機能>

SEGBUF内のセグメントデータをLED表示し、キー入力を待ちます。キー入力があればそのキー番号をAレジスタに入れてリターンします。

<開始アドレス>

E33F番地

<使用レジスタ>

A', F', C', IX, IYを除く全レジスタ

<出力>

図4.6にキーの位置とキー番号の対応図を示します。(16進)

|    |    |    |    |          |
|----|----|----|----|----------|
| 13 | 14 | 11 | 12 | RESET キー |
| C  | D  | E  | F  | 17       |
| 8  | 9  | A  | B  | 10       |
| 4  | 5  | 6  | 7  | 16       |
| 0  | 1  | 2  | 3  | 15       |

図4.6 キー番号



<例>

入力したキーのキー番号をLEDに表示します。

| アドレス    | 機械語    | アセンブリ言語          |
|---------|--------|------------------|
| 16      |        | ORG 0            |
| 17 0000 | CD3FE3 | LOOP: CALL KEYIN |
| 18 0003 | 6F     | LD L, A          |
| 19 0004 | 2600   | LD H, 0          |
| 20 0006 | 22DFFF | LD (DATA), HL    |
| 21 0009 | CDF7E2 | CALL DISP        |
| 22 000C | 18F2   | JR LOOP          |

#### 4.3.4 タイマーサブルーチン WAIT

<機能>

Bレジスタの内容をnとすると、 $n \times 0.5$ 秒後にリターンします。

<開始アドレス>

E2B7番地

<使用レジスタ>

A, F, B, H, L

<フローチャート>

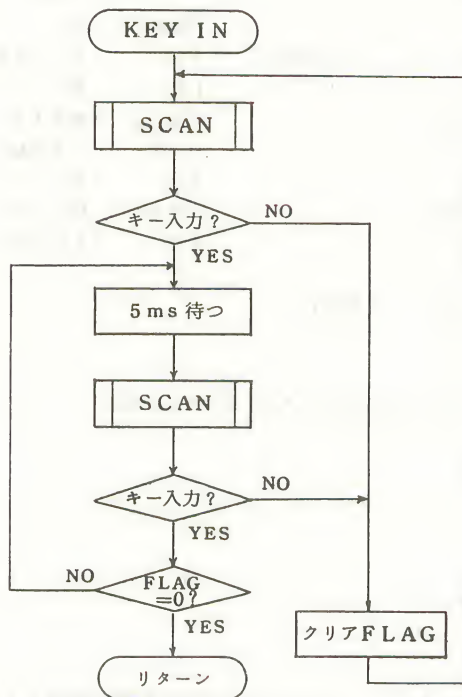


図 4.7 キー入力・LED表示サブルーチン

<フローチャート>

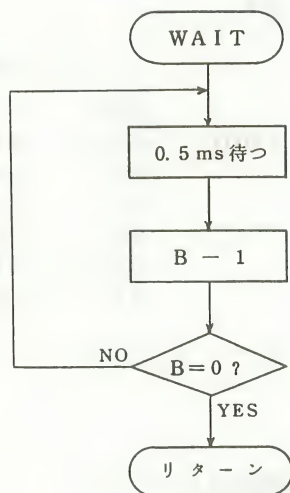


図 4.8 タイマーサブルーチン

<例>

1秒ごとにREM用LEDが点滅します。

| アドレス | 機械語         | アセンブリ言語           |
|------|-------------|-------------------|
| 23   |             | ORG 0             |
| 24   | 0000 DBDC   | LOOP: IN A, (REM) |
| 25   | 0002 0602   | LD B, 2           |
| 26   | 0004 CDB7E2 | CALL WAIT         |
| 27   | 0007 D3DC   | OUT (REM), A      |
| 28   | 0009 0602   | LD B, 2           |
| 29   | 000B CDB7E2 | CALL WAIT         |
| 30   | 000E 18F0   | JR LOOP           |

4.3.5 カセットロードサブルーチン LOAD

<機能>

カセットテープよりメモリヘデータまたはプログラムをロードします。

<開始アドレス>

E1C6番地

<使用レジスタ>

A, F, B, C, D, E, H, L

<データフォーマット>

SM-B-80 Tのカセットインターフェースは、カンサスシティ規格を採用しており、次に示す仕様となっています。

|             |                       |
|-------------|-----------------------|
| モード         | 直列非同期                 |
| 伝送速度        | 300ボー                 |
| マーク（論理“1”）  | 2400Hz を8サイクル         |
| スペース（論理“0”） | 1200Hz を4サイクル         |
| テープヘッダ      | テープの開始よりマーク周波数を30秒間記録 |
| ブロックヘッダ     | マーク周波数を5秒間記録          |
| スタートビット     | 1ビット（論理“0”）           |
| ストップビット     | 2ビット（論理“1”）           |
| データビット      | 8ビット                  |

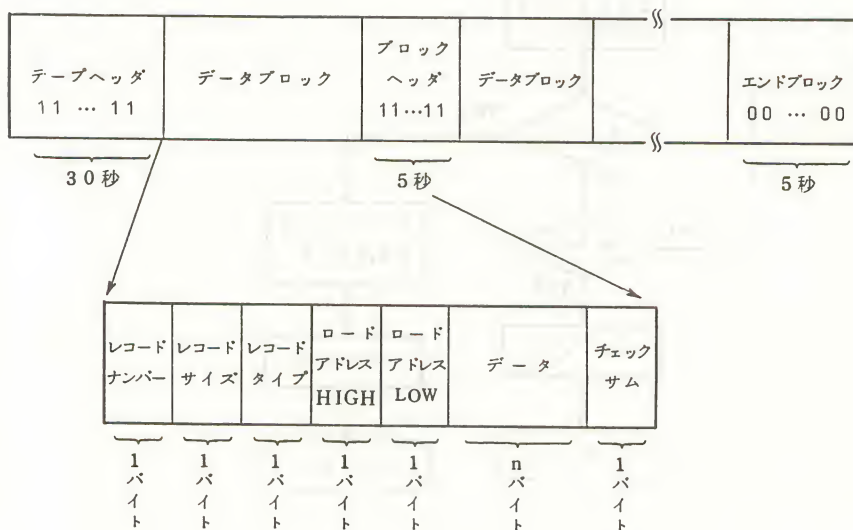


図 4.9 カセットテープデータフォーマット

レコードナンバーは、レコードのシーケンスナンバを示す。1～最大255

レコードサイズは、このレコードのデータ長を示す。最大255バイト

レコードタイプは、このレコードの種類を示す。“0”の場合、エンドレコード  
“1”の場合、データレコードです。

#### <注 意>

もしロード中にエラーを生じると、LEDへ“-----”を表示してモニタへ戻ります。

<フローチャート>

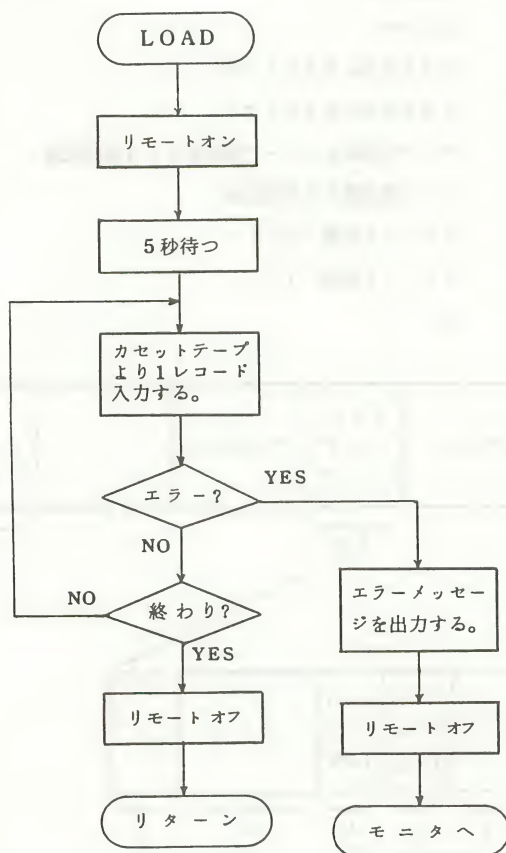


図 4.10 カセットロードサブルーチン

#### 4.3.6 カセットストアサブルーチン STORE

<機能>

カセットテープヘデータ、または、プログラムをストアします。

このルーチンをコールする前にストアするメモリブロックの開始アドレスをADDRへ、最終アドレスをDATAにセットしていなければなりません。

<開始アドレス>

E236番地

<使用レジスタ>

A, F, B, C, D, E, H, L

<データフォーマット>

4.3.5 参照



<例>

0番地より100番地の内容をカセットへストアします。

| アドレス | 機械語         | アセンブリ言語       |
|------|-------------|---------------|
| 31   |             | ORG 0         |
| 32   | 0000 210000 | LD HL, 0      |
| 33   | 0003 22E1FF | LD (ADDR), HL |
| 34   | 0006 210001 | LD HL, 100H   |
| 35   | 0009 22DFFF | LD (DATA), HL |
| 36   | 000C CD36E2 | CALL STORE    |

<フローチャート>

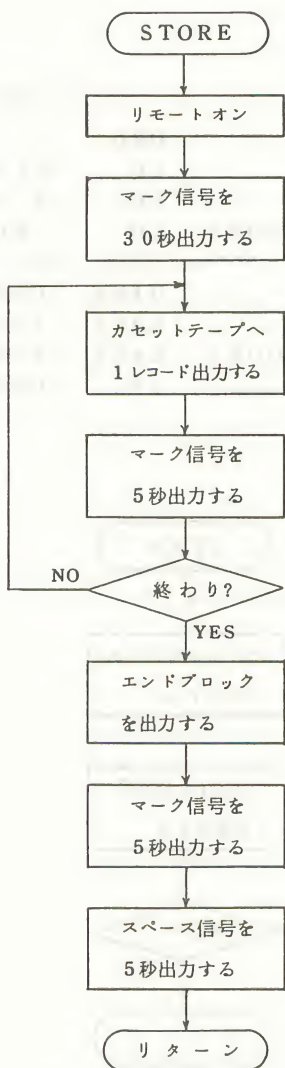


図 4.11 カセットストアサブルーチン

#### 4.3.7 LED表示サブルーチン SCAN

##### <機能>

SEGBUF内のセグメントデータをLEDに表示します。

SM-B-80 TではLEDの表示をダイナミックスキャンで行っているため続けてコールしてください。

##### <開始アドレス>

E370番地

##### <使用レジスタ>

A, F, C, D, H, L

##### <例>

LEDに1~8の数を表示 ます。

| アドレス    | 機械語    | アセンブリ言語           |
|---------|--------|-------------------|
| 37      |        | ORG 0             |
| 38 0000 | 21D5FF | LD HL, DISBUF     |
| 39 0003 | 0608   | LD B, 8           |
| 40 0005 | 70     | LOOP1: LD (HL), B |
| 41 0006 | 23     | INC HL            |
| 42 0007 | 10FC   | DJNZ LOOP1        |
| 43 0009 | CD24E3 | CALL SEGCON       |
| 44 000C | CD70E3 | LOOP2: CALL SCAN  |
| 45 000F | 18FB   | JR LOOP2          |

##### <フローチャート>

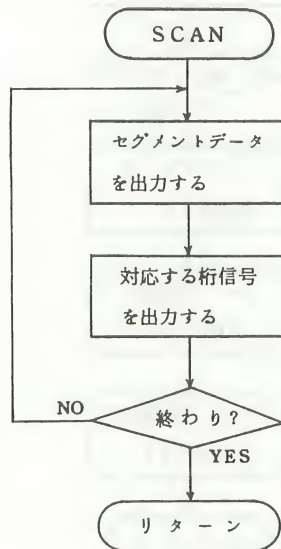


図 4.12 LED表示サブルーチン

1を持っています。

[illegible]

|      |        |   |                 |
|------|--------|---|-----------------|
| FFD4 |        | 8 |                 |
| D3   |        | 7 |                 |
| D2   |        | 6 |                 |
| D1   |        | 5 |                 |
| D0   | SEGBUF | 4 | セグメントバッファ       |
| CF   |        | 3 |                 |
| CE   |        | 2 |                 |
| FFCD |        | 1 |                 |
| FFCC | MODE   |   | モードフラグ STEP/RUN |
| FFCB |        |   |                 |
| ≡    |        |   |                 |
|      | STACK  |   | モニタスタックエリア      |
| FF9A |        |   |                 |
| FF99 |        |   |                 |
| ≡    |        |   |                 |
|      | USER   |   | ユーザースタックエリア     |
| FF00 |        |   |                 |

表 4.2 モニタワーキングエリア

ユーザスタックとして154バイトのエリアが確保されています。スタックポインタはリセットするたびにこのエリアを指すよう設定されますので、サブルーチンネスティグは87まで可能です。



## 第5章 SM-B-80Tハードウェア

この章では、SM-B-80Tの構成、ハードウェアについて説明します。

なお、LSIについては付属のLSI資料を参照してください。

### 5.1 マイクロコンピュータの基本的な構成

マイクロコンピュータは、基本的にはCPU、メモリ、I/Oポートで最小のシステムが構成できます。

図5.1にZ-80 CPUを使用するマイクロコンピュータの基本的な構成を示します。

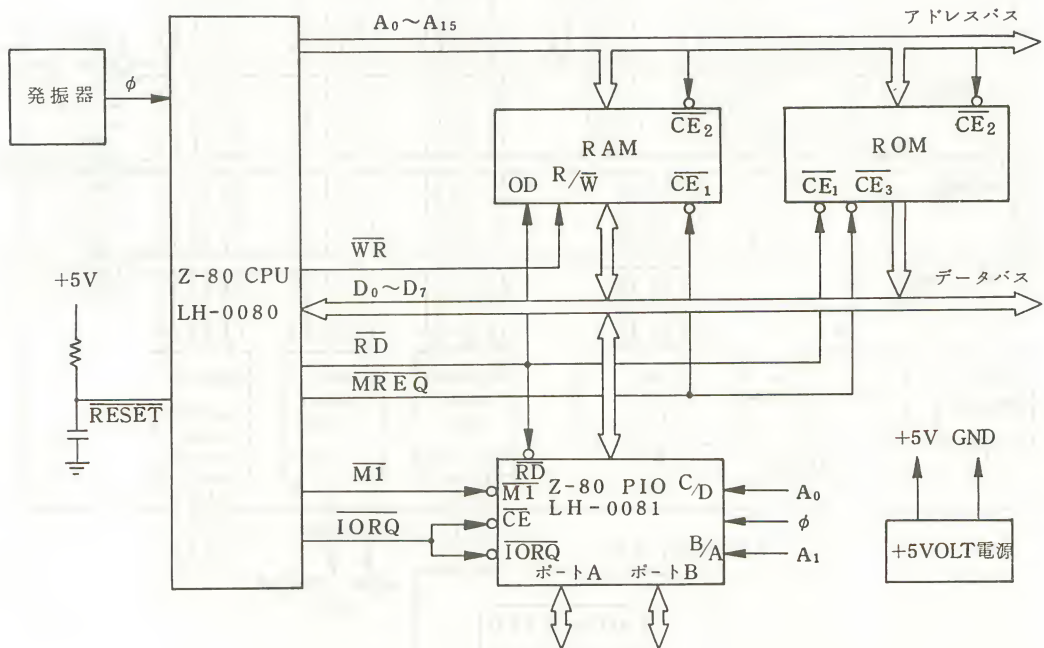


図5.1 基本的な構成

マイクロコンピュータのシステムとしては一般的に経済性、信頼性から制御プログラム（モニタプログラム）をROMに書いておき、RAMは、データの保存場所として、また、スタックとして使用しています。

Z-80 CPUは5V単一電源で動きますので、ROM、RAMにも5V単一電源のものを使えば電源の種類が少なくてすみ、電源構成が簡単になります。

コンピュータシステムには、コンピュータ内部と外部世界とを結ぶ（データ交信）I/O回路が必要です。

図5.1の構成では、I/OポートとしてZ-80 PIOを使用しています。

Z-80 PIOは、CPUから送られてきたデータを外部に出力したり、また、外部から入力されたデータをコンピュータ内部のデータバスに取り込んだりします。

図5.1はマイクロコンピュータの基本的な構成ですので、メモリなどのアドレス配分はアドレス信号を直接使用していますが、将来メモリなどの拡張を考えた場合、アドレスデコードしてアドレス配分をした方が非常に有利となります。

## 5.2 SM-B-80Tのシステム構成

図5.2にSM-B-80Tのシステム構成を示します。

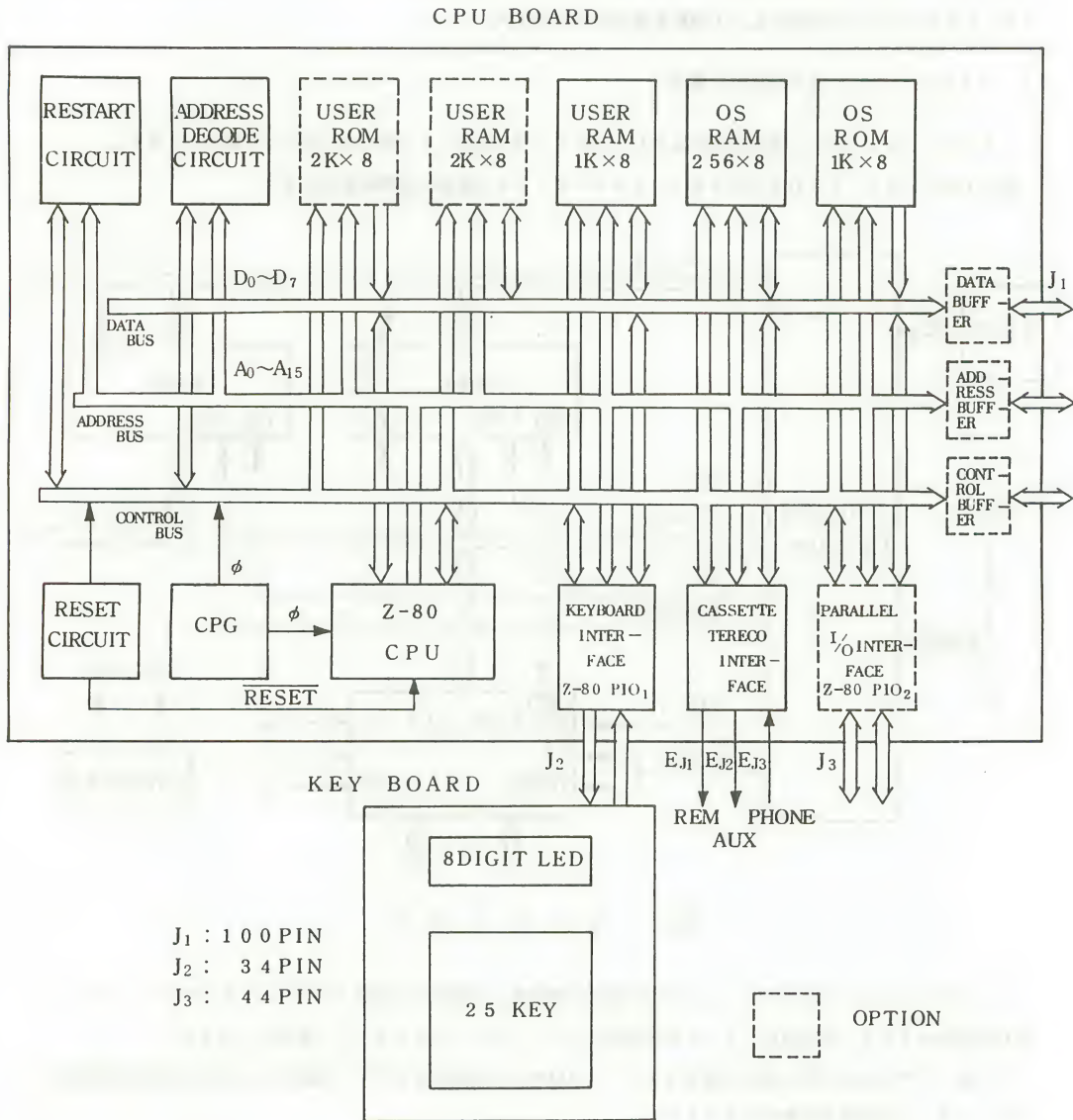


図5.2 SM-B-80Tのシステム構成

SM-B-80TはCPUにLH-0080 (Z-80 CPU)を使用しています。

ROMにはパイプのLH-7055 (1K バイト)を使用し、モニタプログラムを書き込んで1個実装しています (最大2個まで搭載できます)。

RAMにはモニタプログラム専用のLH-2111A4 (256 バイト)と、ユーザ用としてLH-2114-3 (1K バイト)を使用しています。また、LH-2114-3は最大3K バイトまで拡張できます。さらに、

モリのチップ選択はアドレスデコード回路でアドレス信号A<sub>8</sub>～A<sub>15</sub>をデコードした信号を使用しています。

オーディオカセットインターフェースは、8251 (UART) を使用してのデータの並列、直列変換回路と変調回路、復調回路、リモート回路、分周回路より構成されます。

パラレルのI/OポートはLH-0081 (Z-80 PIO) を使用しています (オプション)。この他に、キーボードとのインターフェースに使用しているLH-0081もキーボードを使用しなければパラレルI/Oポートとして使用できます。

キーボードは、25キー、8桁7モグメントLED、デコード回路、LED駆動回路より構成し、34芯のフラットケーブル (J<sub>2</sub>) でCPUボードと接続しています。

アドレス、データ、コントロール信号はバッファを介して100ピンコネクタ (J<sub>1</sub>) へつながっていますので、バッファを取り付けることによりJ<sub>1</sub>を用いてシステムを拡張できるようになっています。

SM-B-80Tはこの他に、リスタートアドレス変換回路、リセット回路、水晶発振回路などにより構成されています。

図5.3にSM-B-80Tのシステム構成の詳細を示します。

### 5.3 アドレス配置

SM-B-80Tのメモリアドレス、ポートアドレスについて説明します。

#### 5.3.1 メモリアドレス

表5.1にSM-B-80Tのメモリアドレスを示します。

メモリのアドレス配置は、アドレス信号A<sub>15</sub>～A<sub>8</sub>をデコードして各メモリのチップ選択信号として使用しています。

ROMは、アドレスE000番地～E7FF番地の2Kバイトに配置しています。

モニタプログラムが使用するRAMは、アドレスFF00番地～FFFF番地の256バイトに配置しています。

ユーザ用RAMは、アドレス0000番地～0BFF番地の3Kバイトに配置しています。

#### 5.3.2 ポートアドレス

表5.2にSM-B-80Tのポートアドレスを示します。

ポートアドレスの配置は、アドレス信号A<sub>7</sub>～A<sub>0</sub>をデコードして各I/Oポートの選択信号として使用しています。

ポートアドレスのDE～FFは将来のシステム拡張用としています。







| アドレス                                             | 容量             | メモリ | 内 容                     |
|--------------------------------------------------|----------------|-----|-------------------------|
| FFFF<br>FF00                                     | 256            | RAM | LH-2111A4<br>(ワーキングエリア) |
| FEFF<br>E800                                     | 5K<br>+<br>768 | —   | ブ ラ ン ク                 |
| E7FF<br>E400                                     | 1K             | ROM | LH-7055<br>(オプション)      |
| E3FF<br>E000                                     | 1K             | ROM | LH-7055<br>(モニタプログラム)   |
| DFFF<br><br><br><br><br><br><br><br><br><br>0C00 | 53K            | —   | ブ ラ ン ク                 |
| 0BFF<br>0400                                     | 2K             | RAM | LH-2114<br>(オプション)      |
| 03FF<br>0000                                     | 1K             | RAM | LH-2114-3<br>(ユーザエリア)   |

表 5.1 メモリアドレス

| アドレス                 | 内 容                                                 |
|----------------------|-----------------------------------------------------|
| FF<br>DE             | システム予備                                              |
| DD                   | U44 F/F セット (OUT命令)<br>リセット (IN命令)                  |
| DC                   | リモート端子 ON (OUT命令)<br>OFF (IN命令)                     |
| DB<br>DA             | 8251 コントロール<br>デ ー タ                                |
| D9                   | STEP                                                |
| D8                   | AREP                                                |
| D7<br>D6<br>D5<br>D4 | PIO2 ポートBコントロール<br>ポートBデータ<br>ポートAコントロール<br>ポートAデータ |
| D3<br>D2<br>D1<br>D0 | PIO1 ポートBコントロール<br>ポートBデータ<br>ポートAコントロール<br>ポートAデータ |
| CF<br><br><br>00     | ブ ラ ン ク                                             |

表 5.2 ポートアドレス

#### 5.4 リスタート回路

リスタート回路は、電源を投入したとき、**RESET** キーを押したときにCPU, PIO, 8251, F/Fなどをリセットするためのものです。

電源を投入、または、**RESET** キーを押すことによりRESが“L”レベルとなり、この“L”レベルの間がリセット期間となります。また、この信号はC<sub>1</sub>とR<sub>8</sub>の時定数で“H”レベルになりますが、“H”レベルになるとリスタートします。

CPU, PIO, F/Fに対してはRESETが、8251に対してはRESETがリセット信号になります。また、MRESET<sup>\*</sup>は外部よりリセット信号を入力するラインです。

図5.4にリスタート回路を示します。また、図5.5にタイミングを示します。



Z-80 CPUのリスタートアドレスは0000番地ですが、アドレス切り換えスイッチをE000側に設定しておきますとRESETにより7474 (U<sub>47</sub>) が“H”にセットされますので、CPUのアドレス信号A<sub>15</sub>~A<sub>13</sub>を“H”(1)にします。これによりアドレスがE000番地に変換されます。

モニタプログラムをE000番地より実行しますと次の命令が書き込まれていますのでCPUのプログラムカウンタ(PC)の書き換えと、7474 (U<sub>47</sub>)を“L”にリセットするためアドレス信号A<sub>15</sub>~A<sub>13</sub>を“H”(1)にするのを中止します。命令の詳細は付録8のモニタプログラムリストを参照してください。

| 16進アドレス | 機械語    | アセンブリ言語      |
|---------|--------|--------------|
| E000    | C303E0 | JP \$+3      |
| E003    | D3D8   | OUT (SYS), A |

ARES信号 → E003番地へジャンプします。  
(ポートアドレスD8) (プログラムカウンタの書き換え)

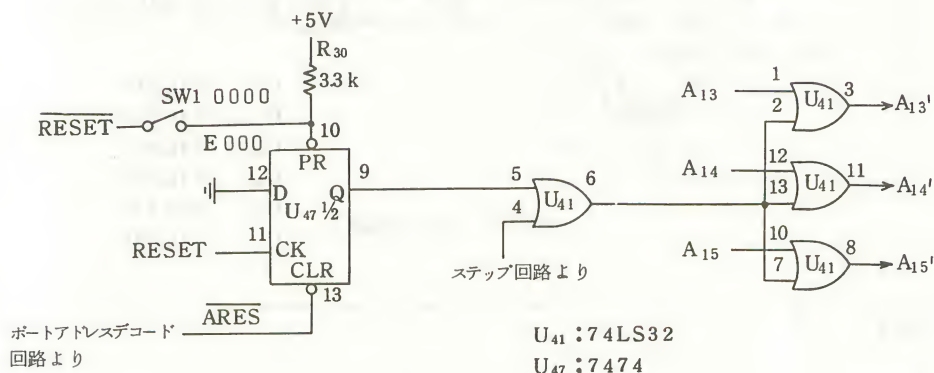


図5.6 アドレス変換回路

## 5.6 ステップ回路

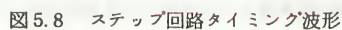
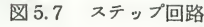
ステップ回路は、シングルステップ機能によりプログラムの中の1命令を実行したときにNMI (ノンマスカブルインターラプト) を発生させるためのものです。

図5.7にステップ回路を、図5.8にステップ回路のタイミング波形を示します。

**STEP** キーを押しますとCPUがSTEP (ポートアドレスD9) を“L”レベルにします。このSTEPで74LS74 (U<sub>27-1/2</sub>) を“H”にセットしてカウンタ74161 (U<sub>36</sub>) をカウント可能な状態にします。また、同時に74161 (U<sub>36</sub>) にD, C, B, Aの入力状態(1011)をセットします。

プログラムの1命令を実行してカウンタが1011になるとNMIを発生してCPUに送り、CPUはこれに対してアドレス信号にノンマスカブルインターラプトのアドレス0006番地を出力します。これをステップ動作の処理ルーチンE006番地に変換しています。

処理ルーチンでは、ARES (ポートアドレスD8) を“L”レベルにして74LS74 (U<sub>27-1/2</sub>) と74161 (U<sub>36</sub>) をリセットし、1命令実行後の結果をユーザレジスタに退避させ、次の命令が入っているアドレスをアド





## 5.7 アドレスデコード回路

アドレスのデコード回路には、メモリのチップ選択用信号を発生させるメモリアドレスデコード回路と、PIO，8251のチップ選択信号や、ステップ回路などに使用する制御信号を発生させるポータドレスデコード回路があります。

### 5.7.1 メモリアドレスデコード回路

図5.9にメモリアドレスデコード回路を示します。

ユーザRAM領域のデコード回路では、アドレス0000番地～1FFF番地を1Kバイト単位でデコードしていますが、0C00番地～1FFF番地の5Kバイトは使用していません。

ROM領域は、アドレスE000番地～FFFF番地を1Kバイト単位でデコードしていますが、E800番地～FFFF番地の5Kバイトは使用していません。ただし、FF00番地～FFFF番地の256バイトはモニタプログラム専用のRAM領域(LH-2111A4)に使用しています。

メモリのアドレスについては表5.1を参照してください。

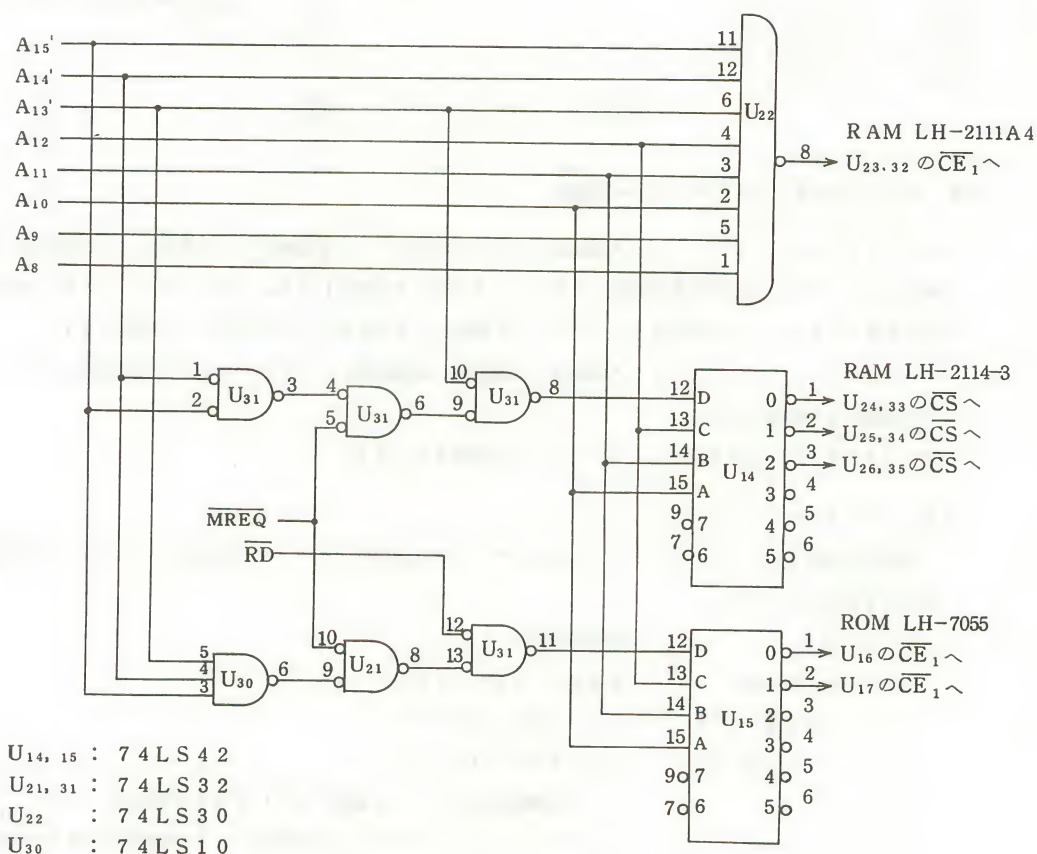


図5.9 メモリアドレスデコード回路

## 5.7.2 ポートアドレスデコード回路

図 5.10 にポートアドレスデコード回路を示します。

ポートアドレスはD0～DFまでデコードしていますが、このうちモニタプログラムがD0～DDまでの14ポートを使用しています。

アドレスの詳細については表 5.2 を参照してください。

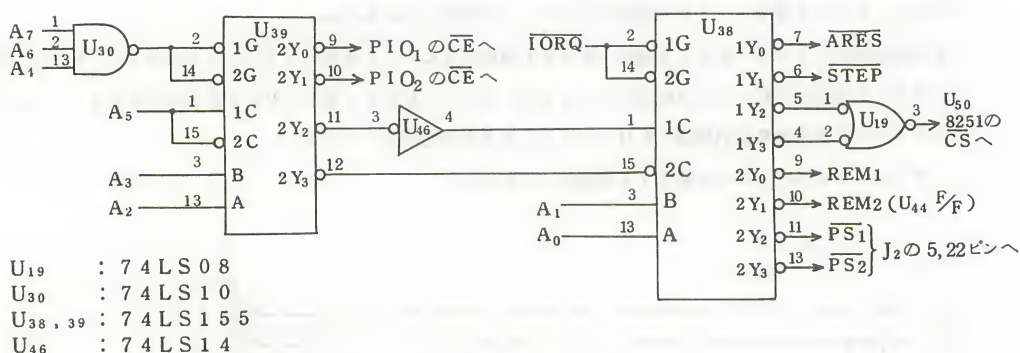


図 5.10 ポートアドレスデコード回路

## 5.8 オーディオカセットインターフェース回路

オーディオカセットインターフェース回路は、8ビットの並列データを直列データに変換し、この直列データを可聴帯域のオーディオ信号に周波数変調してオーディオカセットに出力します。また、オーディオカセットからの周波数変調されたオーディオ信号をシリアルデータに変換し、さらに8ビットの並列データに戻します。

オーディオカセットインターフェース回路は、変調回路、復調回路、システムクロックの分周回路、リモートスイッチ回路により構成されます。

図 5.14 にオーディオカセットインターフェースの回路を示します。

### 5.8.1 データのフォーマット

SM-B-80 Tでは、カセットテープへはカンサスシティ標準フォーマットで記録していますが、その仕様は次のようになっています。

|                   |                                          |
|-------------------|------------------------------------------|
| (1) モード           | 直列非同期                                    |
| (2) データ伝送速度       | 3000 ボー (ビット/秒)                          |
| (3) マーク (論理 "1")  | 2400 Hz で 8 サイクル                         |
| (4) スペース (論理 "0") | 1200 Hz で 4 サイクル                         |
| (5) テープヘッダ        | テープの開始部分にマーク (論理 "1") を 30 秒間記録          |
| (6) ブロックヘッダ       | データブロックとデータブロックとの間にマーク (論理 "1") を 5 秒間記録 |
| (7) データブロック長      | 255 バイト                                  |
| (8) スタートビット       | 1 ビット (論理 "0")                           |

- (9) ストップビット                      2 ビット (論理 “1”)
- (10) データビット                      8 ビット
- (11) エンドブロック                      終わりの部分にスペース (論理 “0”) を 5 秒間記録

CPUからの8ビット並列データは8251 (U A R T)で直列データに変換し、自動的にスタートビットを1ビット、ストップビットを2ビット付加します。

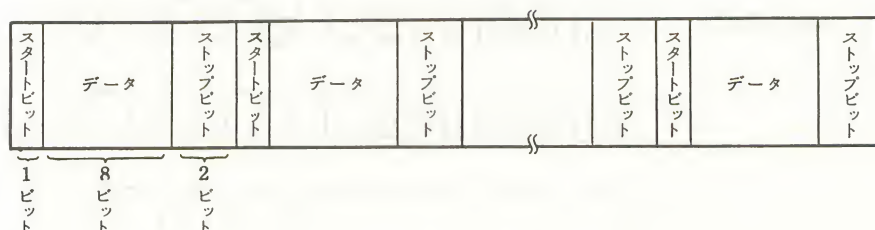


図 5.11 データフォーマット

データフォーマットの詳細は 4.3.5 項のカセットロードサブルーチンを参照してください。

### 5.8.2 変調回路

変調回路では、8251 (U A R T) からのシリアルデータを論理 “0” のとき 1200 Hz、論理 “1” のとき 2400 Hz に周波数変調します。

さらに、この変調したデータをフィルタと増幅器を通して A U X 端子へ出力します。

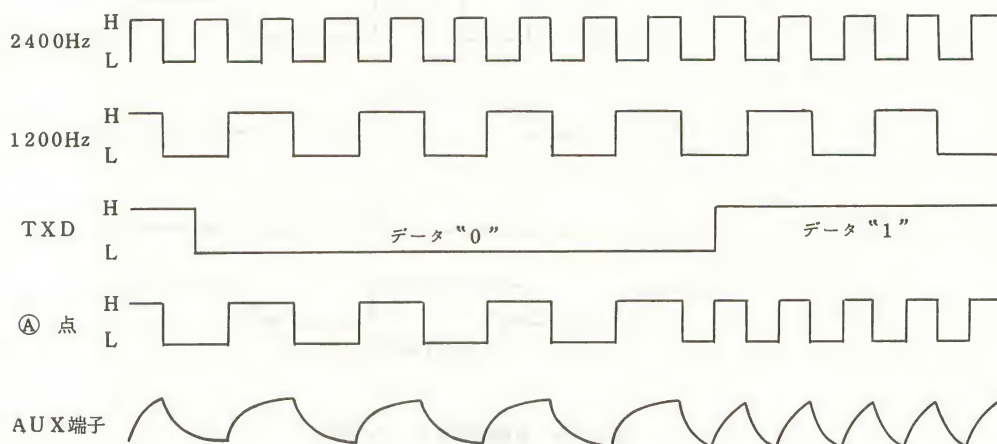


図 5.12 変調回路タイミング波形

### 5.8.3 復調回路

復調回路では、カセットテープに記録したデータをカセットのイヤホン端子から CPU ボードの PHONE 端子に入力し、1200 Hz をデータ “0”、2400 Hz をデータ “1” に変換します。

PHONE 端子に入力したデータは増幅され 74LS14 (U<sub>46</sub>) でパルスに波形整形されます。この整形された信号とクロック (614.4 kHz) でカウント回路を働かせます。

カウント回路では、⑧点の入力信号（データ）が1200Hzのときはパルスになり、2400Hzのときは“1”になるように設定していますので⑨点のような波形になります。

この⑨点の信号から8251（U<sub>50</sub>）のRXD（レシーブデータ）と $\overline{\text{RXC}}$ （レシーブクロック）を作っています。また、8251（U<sub>50</sub>）は $\overline{\text{RXC}}$ の立ち上がりでRXDを読み込みます。

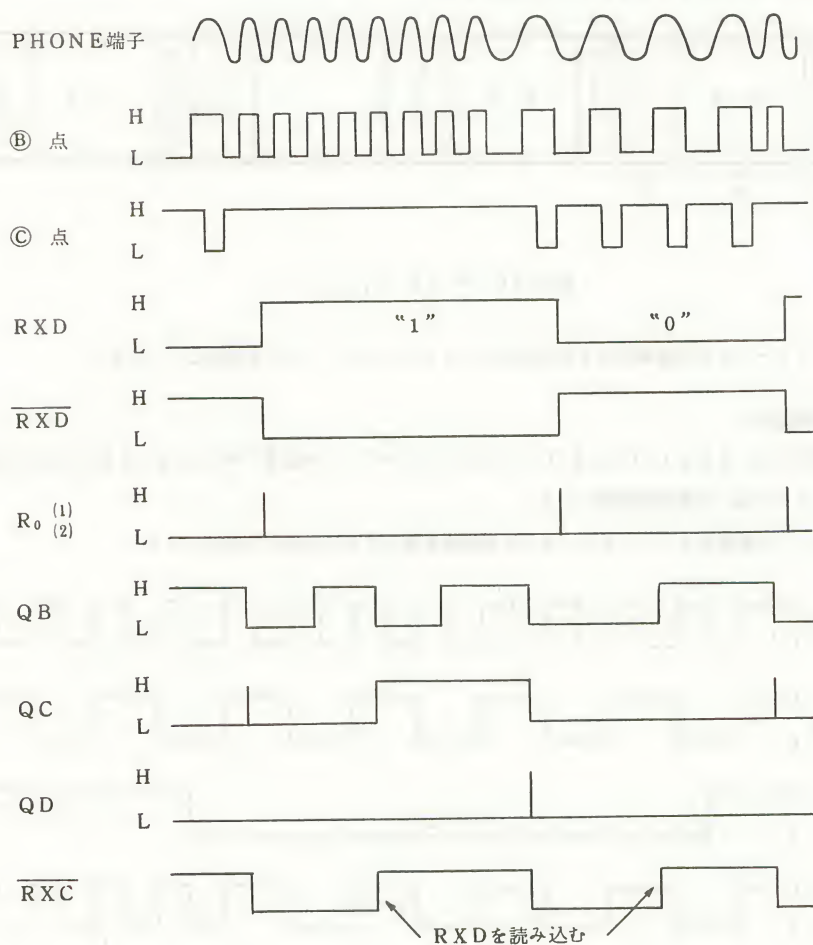


図 5.13 復調回路タイミング波形



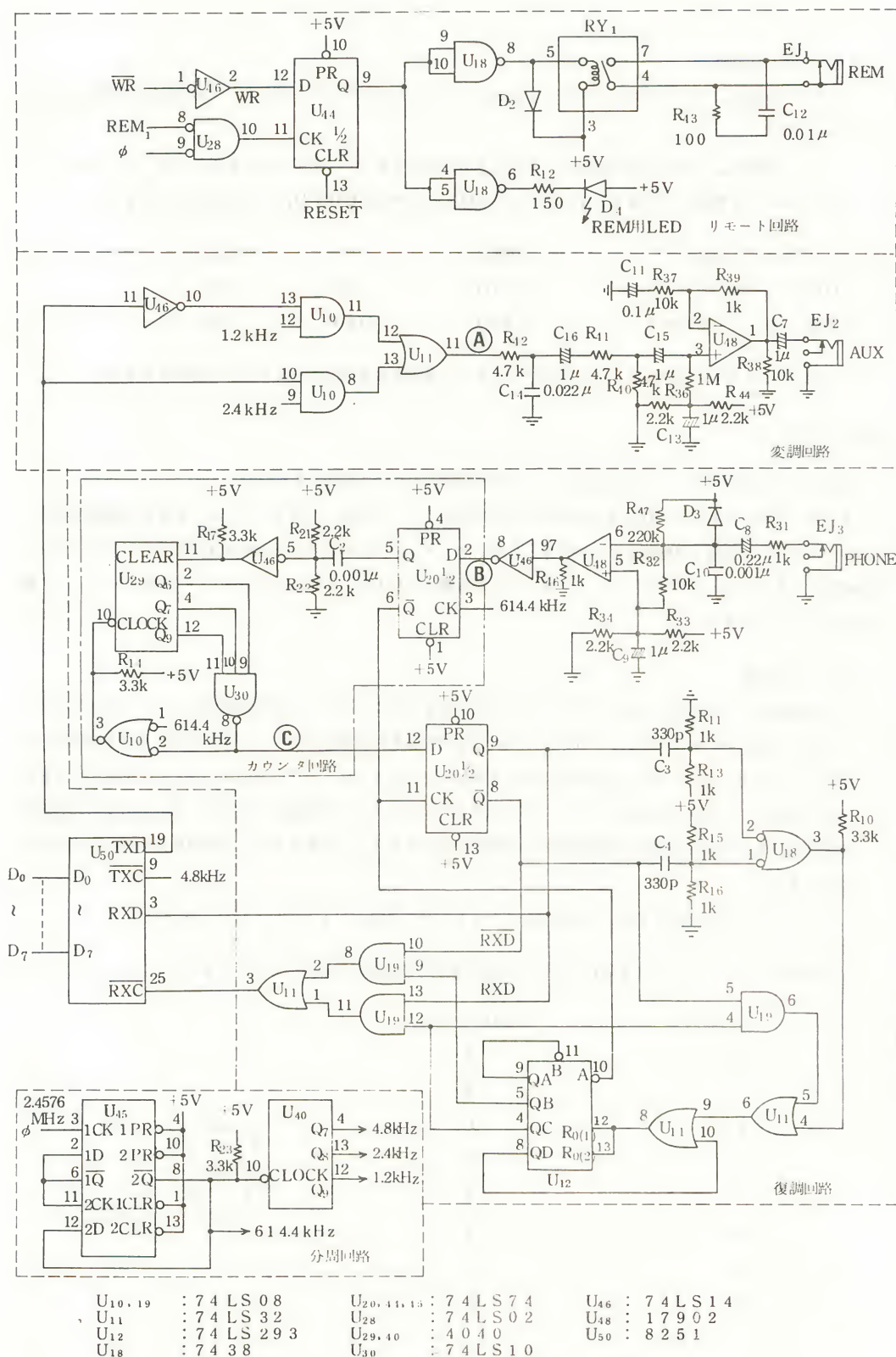


図5.14 オーディオカセットインターフェース回路

#### 5.8.4 リモート回路

リモート回路は、プログラムのロード、または、ストアのときにオーディオカセットを自動的にONさせるためのものです。

リモート回路は、CPUの次の命令で74LS74(U<sub>44</sub>)を“1”にセットしたり、“0”にリセットしたりしてリレーを制御しています。また、リレーがONのときはLED(D<sub>4</sub>)も点灯させています。

| アセンブリ言語       | 機械語  | リレー | LED |
|---------------|------|-----|-----|
| OUT (0DCH), A | D3DC | ON  | 点灯  |
| IN A, (0DCH)  | DBDC | OFF | 消灯  |

また、このリモート回路はユーザの方がプログラムで上記命令を使用することにより制御できます。

#### 5.9 キーボード

SM-B-80Tのキーボードの表示部、キー入力部の構成について説明します。

キーボードは、PIO<sub>1</sub>(U<sub>49</sub>)から出力された信号のデコード回路、8桁7セグメントLEDの駆動回路、キーボードスイッチ回路より構成されています。また、キーボードとCPUボードとは34芯のフラットケーブルで接続していますので、CPUボードとキーボードを切り離してPIO<sub>1</sub>(U<sub>49</sub>)をパラレルI/Oポートとして使用することができます。

##### 5.9.1 表示回路

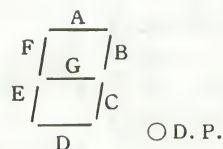
表示回路では、PIO<sub>1</sub>(U<sub>49</sub>)のポートAの信号をLEDのセグメント信号に使用し、ポートBの上位4ビットB<sub>7</sub>~B<sub>4</sub>を7445(U<sub>5</sub>)でデコードした信号をLEDの桁信号とキースイッチのスキャン信号として使用しています。また、ポートBの下位3ビットB<sub>3</sub>~B<sub>0</sub>はキースイッチの入力ラインとして使用しています。

表示回路では、図5.16の表示タイミングに示すようにダイナミック駆動しています。また、桁信号と桁信号の間に約15μsの表示しない時間を設けて桁信号波形の立ち上がりが悪くなくても次の桁に影響しないようにしています。

この15μsの時間はPIO<sub>1</sub>(U<sub>49</sub>)のポートBのB<sub>7</sub>信号を“1”にして作っています。

LEDのセグメントと、PIO<sub>1</sub>のポートAの信号との対応は次のようになっています。

| ポートA信号名        | LEDセグメント |
|----------------|----------|
| A <sub>0</sub> | A        |
| A <sub>1</sub> | B        |
| A <sub>2</sub> | C        |
| A <sub>3</sub> | D        |
| A <sub>4</sub> | E        |
| A <sub>5</sub> | F        |
| A <sub>6</sub> | G        |
| A <sub>7</sub> | D.P.     |



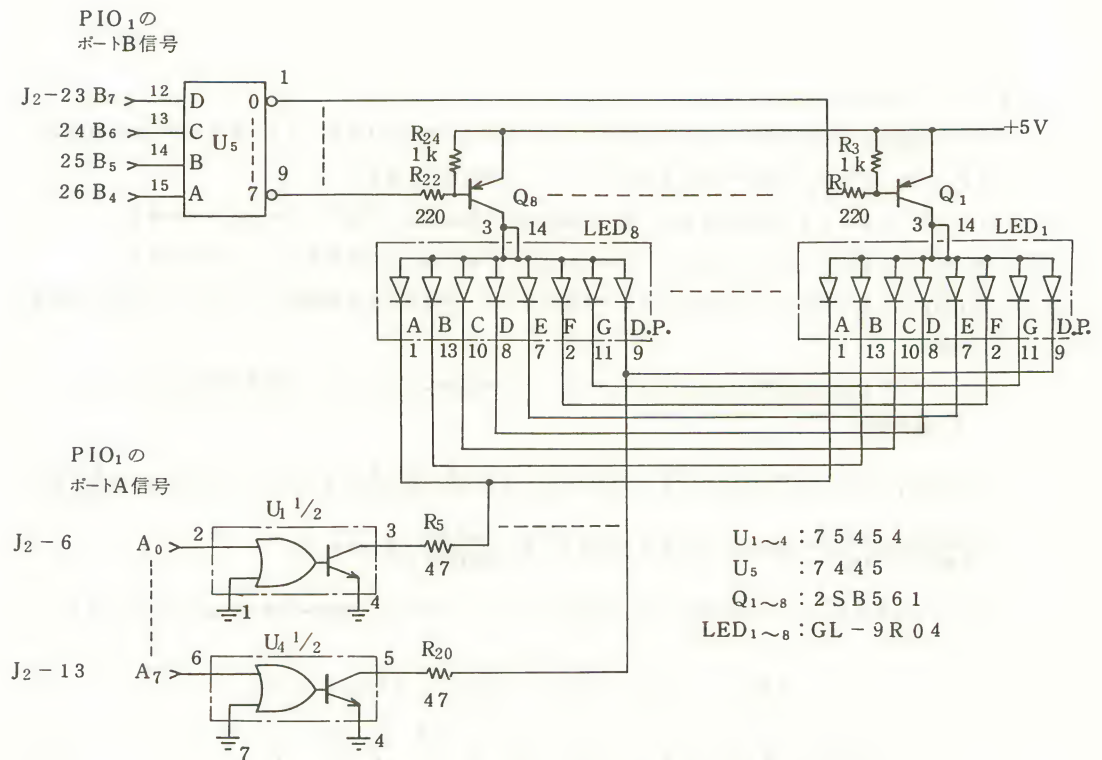


図 5.15 表示回路

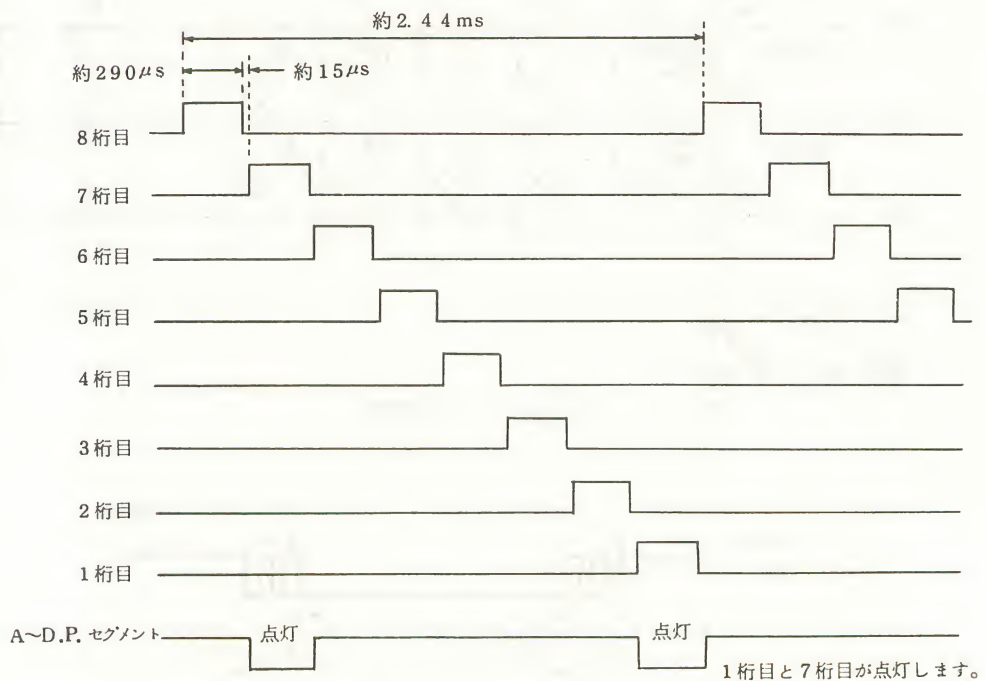


図 5.16 表示タイミング波形 (LEDへの信号波形)

## 5.9.2 キー入力回路

キー入力回路は、LEDの1～6桁目の信号(7445デコーダ出力)をキースイッチのスキャンに使用しています。また、P<sub>IO</sub>1のB<sub>3</sub>～B<sub>0</sub>を入力ラインとして使用しています。

キースイッチを押さない状態ではB<sub>3</sub>～B<sub>0</sub>が抵抗R<sub>31</sub>～R<sub>34</sub>により“H”レベルとなっています。

キースイッチを押すと、押された入力ラインに桁信号の“L”が入力されP<sub>IO</sub>1へ入力されます。

P<sub>IO</sub>1へ入力されたデータをCPUはソフト的にどのキーが押されたかを判断してそのキーに対応する処理を行います。

キースイッチを2つ以上押したときでも1つのキーだけが有効になるようキーに優先順位を設けています。

キー優先順位

RESET > PC > SP > IX > IY > BA > BC > I > IF > H > L > A > B > C > D > E > F > REG' > REG  
LOAD > STOR > RUN > STEP > WRITE > REM > ADDR > SHIFT

キースイッチのチャタリングに対しては、前後各5msソフト的にキーを読み込まないようにしています。



図5.17 キー入力回路

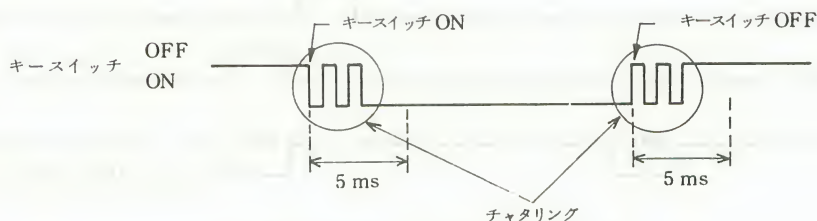


図5.18 キー入力タイミング



## 5.10 P I O<sub>1</sub> 周辺回路

CPUボードとキーボードとのインターフェースにP I O<sub>1</sub>（並列入出力コントローラ）を使用しています。

図5.19 にP I O<sub>1</sub> の周辺回路を示します。

モニタプログラムでは、P I O<sub>1</sub> のポートA 8ビットを出力ポートとして、ポートBのB<sub>0</sub>～B<sub>3</sub>を入力ポート、B<sub>4</sub>～B<sub>7</sub> を出力ポートとして使用しています。

P I O<sub>1</sub> はモニタプログラムでは割り込みが掛からないようにして使用していますが、キーボードを使用せずに他の周辺装置の接続を考慮し、割り込み優先回路を設けています。

割り込み優先は、ボード内ではP I O<sub>2</sub> より上位に設定しています。

ポートBのB<sub>7</sub> ラインはRESET信号とORGATEを構成していますが、これは、システムをリセットしたときにLED（7セグメントの）を全桁消灯するための回路です。このためポートBを他の目的に使用するときにはジャンパ線P<sub>2</sub>とP<sub>3</sub>を切断し、P<sub>1</sub>に新たにジャンパ線を追加すればJ<sub>2</sub>（34ピン）にP I O<sub>1</sub> のB<sub>7</sub>を直接取り出せます。

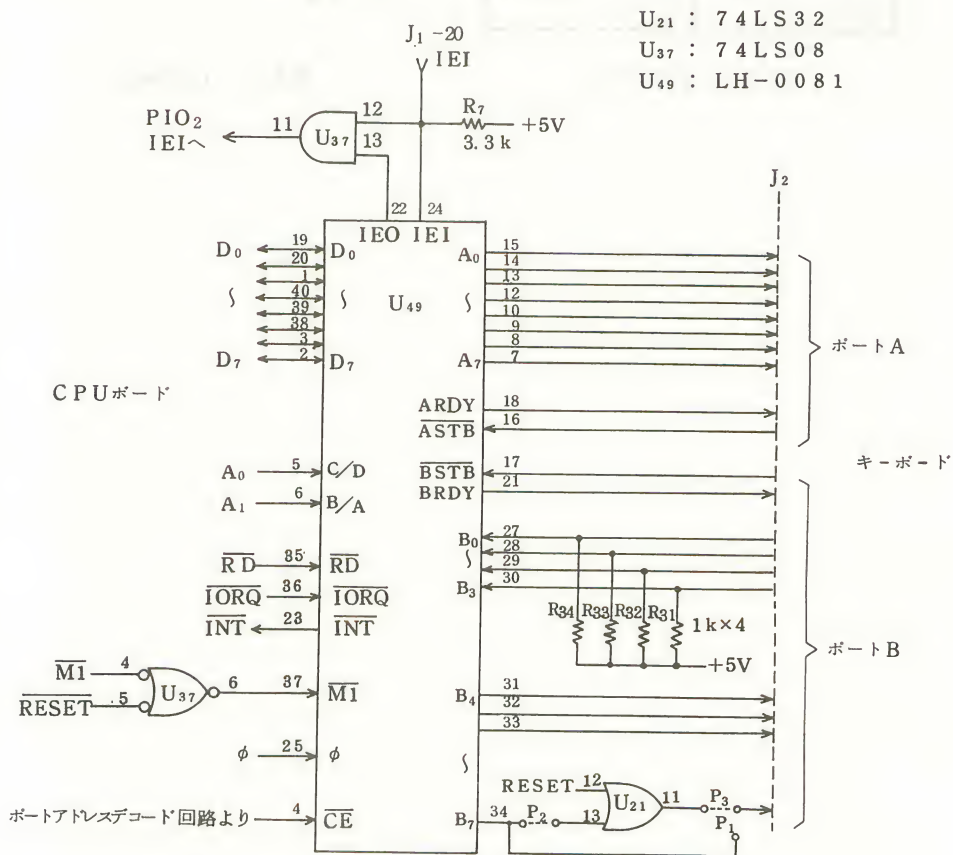


図 5.19 P I O<sub>1</sub> 周辺回路

| 端子<br>No | 信号名             | 端子<br>No | 信号名             |
|----------|-----------------|----------|-----------------|
| 1        | VCC(+5V)        | 18       | VCC(+5V)        |
| 2        | "               | 19       | "               |
| 3        |                 | 20       |                 |
| 4        |                 | 21       | RES             |
| 5        | PS <sub>1</sub> | 22       | PS <sub>2</sub> |
| 6        | A <sub>7</sub>  | 23       | B <sub>7</sub>  |
| 7        | A <sub>6</sub>  | 24       | B <sub>6</sub>  |
| 8        | A <sub>5</sub>  | 25       | B <sub>5</sub>  |
| 9        | A <sub>4</sub>  | 26       | B <sub>4</sub>  |
| 10       | A <sub>3</sub>  | 27       | B <sub>3</sub>  |
| 11       | A <sub>2</sub>  | 28       | B <sub>2</sub>  |
| 12       | A <sub>1</sub>  | 29       | B <sub>1</sub>  |
| 13       | A <sub>0</sub>  | 30       | B <sub>0</sub>  |
| 14       | ASTB            | 31       | BSTB            |
| 15       | ARDY            | 32       | BRDY            |
| 16       | GND             | 33       | GND             |
| 17       | "               | 34       | "               |

表 5.3 端子配列表

信号の意味は付録 6 の端子信号説明表を  
参照してください。

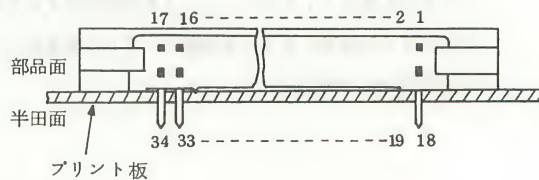


図 5.20 J<sub>2</sub>端子配列

## 第6章 システムの拡張

SM-B-80Tでは、ユーザ用としてI/Oポート(PIO2)、バスドライバなどを拡張できますが、その拡張方法、使用方法を説明します。

### 6.1 1ビット出力ポート(74LS74-U<sub>44</sub>)

CPUボードにポートアドレスDDを割り当てたD型F/Fを設けています。

このF/Fはプログラムで制御できますのでリレーの制御や、音楽の自動演奏に使用できます。

#### 6.1.1 ハードウェア

D型F/F(U<sub>44</sub>)はCPUの出力命令で“H”にセットし、入力命令で“L”にリセットできる回路構成となっています。

74LS74(U<sub>44</sub>)のQ、 $\bar{Q}$ 出力はCPUボード上にCHECKピンを設けていますのでここに半田付、または、ワイヤーラビングを行って外部へ信号を取り出せます。

システムのリセット後、74LS74(U<sub>44</sub>)は“L”にリセットされます。

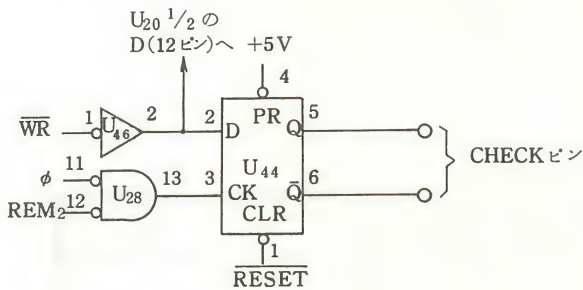


図 6.1 U<sub>44</sub> 回路図

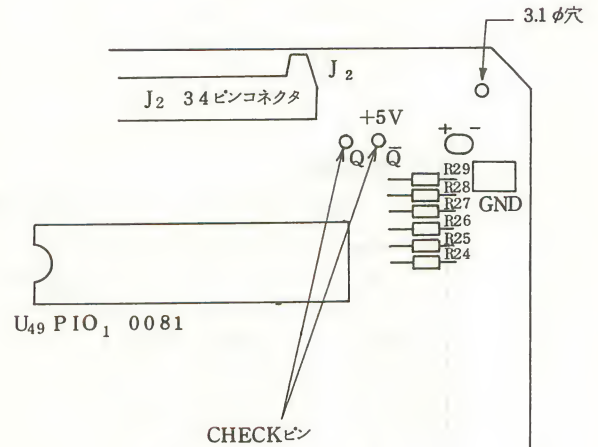


図 6.2 部品配置図

#### 6.1.2 使用方法

U<sub>44</sub>のD型F/Fは次のCPUの命令でセット、リセットできます。

| アセンブリ言語       | 機械語  | U <sub>44</sub> | Q   | $\bar{Q}$ |
|---------------|------|-----------------|-----|-----------|
| OUT (0DDH), A | D3DD | 1               | “H” | 0 (“L”)   |
| IN A, (0DDH)  | DBDD | 0               | 0   | 1         |

(例)

3.4.1項でリモート用LEDを約1秒周期で点滅させましたが、同じ方法で74LS74(U<sub>44</sub>)を“H”にセット、“L”にリセットを繰り返すプログラムを示します。

このプログラムは、3.4.1項のプログラムのポートアドレスをDCからDDに変更するだけで作成できます。

Z-80 ASSEMBLER V1. 1 PAGE 1

| アドレス          | 機械語     | アセンブリ言語       |
|---------------|---------|---------------|
| 1             |         | ORG 0         |
| 2 0000 D3DD   | LOOP:   | OUT (0DDH), A |
| 3 0002 CD0C00 |         | CALL TCOUNT   |
| 4 0005 DBDD   |         | IN A, (0DDH)  |
| 5 0007 CD0C00 |         | CALL TCOUNT   |
| 6 000A 18F4   |         | JR LOOP       |
| 7 000C 0605   | TCOUNT: | LD B, 5       |
| 8 000E 210024 | LOOP1:  | LD HL, 2400H  |
| 9 0011 2B     | LOOP2:  | DEC HL        |
| 10 0012 7C    |         | LD A, H       |
| 11 0013 B5    |         | OR L          |
| 12 0014 20FB  |         | JR NZ, LOOP2  |
| 13 0016 10F6  |         | DJNZ LOOP1    |
| 14 0018 C9    |         | RET           |

### 6.1.3 電気的特性

1ビット出力ポート(74LS74)の電気的特性を示します。

| 項 目          | 記 号             | 規 格 |      |      | 単位 | 条 件                                                                                         |
|--------------|-----------------|-----|------|------|----|---------------------------------------------------------------------------------------------|
|              |                 | MIN | TYP  | MAX  |    |                                                                                             |
| 出力High レベル電流 | I <sub>OH</sub> |     |      | -400 | μA |                                                                                             |
| 出力 Low レベル電流 | I <sub>OL</sub> |     |      | 8    | mA |                                                                                             |
| 出 力 High 電 圧 | V <sub>OH</sub> | 2.7 | 3.4  |      | V  | V <sub>CC</sub> =4.75V V <sub>IH</sub> =2V<br>V <sub>IL</sub> =0.8V I <sub>OH</sub> =-400μA |
| 出 力 Low 電 圧  | V <sub>OL</sub> |     | 0.35 | 0.5  | V  | V <sub>CC</sub> =4.75V I <sub>OL</sub> =8mA<br>V <sub>IL</sub> =0.8V                        |

※ 74LS74はT・I製を使用していますので特性の詳細は、T・Iデータブックを参照してください。

表 6.1 74LS74電気的特性

## 6.2 バラレルI/Oポート(PIO<sub>2</sub>)

CPUボード内では、ユーザ用I/OポートとしてPIO LH-0081(8ビット×2ポート)を1個増設できます。またPIOのI/OラインはJ<sub>3</sub>(44ピン)へ出力しています。



### 6.2.1 P I O 2 周辺回路

P I O 2 は、ポートアドレスD 4 ～D 7 の4 ポートを割り当てています。

P I O 2 は、システムのリセット後モニタプログラムではモード設定など行っていません。このためP I O 2 を使用するときには使用目的に応じてプログラムでモードなどの設定をしてください。また、P I O 2 の割り込みに対する優先順位はP I O 1 より下位に設定しています。

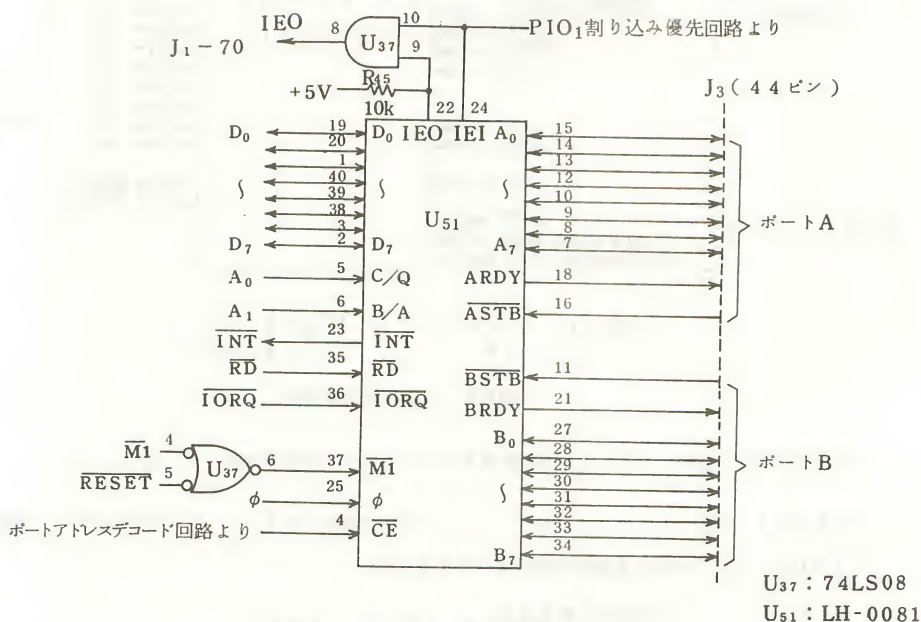


図 6.3 P I O 2 周辺回路

J<sub>2</sub> (44ピン)の端子配列は付録5の端子配列表を参照してください。

### 6.2.2 P I O のプログラミング法

P I O はプログラマブルな並列入出力コントローラで、プログラムにより2つの I/O ポートをモード0, 1, 2, 3 のいずれかに指定して使用できます。

P I O は、紙テープパンチャ、紙テープリーダー、プリンタ、キーボードなどの周辺装置と Z-80 CPU を TTL レベルでインターフェースするものです。

図 6.4 に P I O の端子配列を示します。また、ポートアドレスの詳細は 5.3.2 項を参照してください。

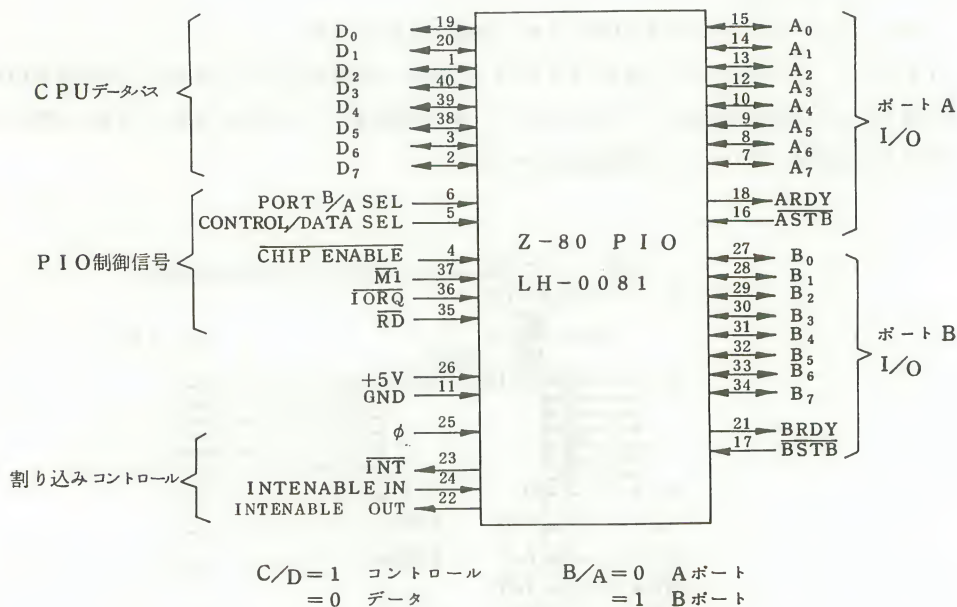


図6.4 PIO端子配列表

PIOの信号の意味については、別に添付されているLSI資料を参照してください。

PIOのI/Oポートはリセット後ハイインピーダンス状態となり、モードの設定を行うまで継続します。

PIOのプログラムによる動作は次のようになります。

(1) 割り込みベクトルの設定(書き込み)

PIOは、CPUと一緒に使ってモード2の割り込みに使用できます。モード2では、割り込みをかけているデバイスが割り込みベクトルをデータバスに乗せ、CPUはこのベクトルを割り込み処理ルーチンの下位アドレスとします。また、上位アドレスはあらかじめIレジスタに書き込んでおきます。

PIOにベクトルを書き込むときは次の形式のコントロール語を希望するポートに書き込みます。

| D <sub>7</sub> | D <sub>6</sub> | D <sub>5</sub> | D <sub>4</sub> | D <sub>3</sub> | D <sub>2</sub> | D <sub>1</sub> | D <sub>0</sub> |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| V <sub>7</sub> | V <sub>6</sub> | V <sub>5</sub> | V <sub>4</sub> | V <sub>3</sub> | V <sub>2</sub> | V <sub>1</sub> | 0              |

この0が割り込みベクトルを表わします。

割り込みを処理するルーチンのアドレス(16ビット)は次のようになります。

| A <sub>15</sub> | A <sub>14</sub> | A <sub>13</sub> | A <sub>12</sub> | A <sub>11</sub> | A <sub>10</sub> | A <sub>9</sub> | A <sub>8</sub> | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> |
|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
|                 |                 |                 |                 |                 |                 |                |                |                |                |                |                |                |                |                | 0              |

CPU    Iレジスタ内容(上位アドレス)      PIOベクトル(下位アドレス)

(例)

割り込み処理ルーチンの開始アドレスが書き込まれているメモリのアドレスをD124番地とし、PIO2のポートAにベクトル24を設定します。また、CPUのIレジスタには上位アドレスのD1を設定しておきます。

○CPUのIレジスタにD1を設定します。

アセンブリ言語

機械語

LD A, 0D1H

3ED1..... AレジスタにD1をロード

LD I, A

ED47..... IレジスタにAレジスタの内容をロード

○PIO2のポートAにベクトル24を設定します。

LD A, 24H

3E24..... Aレジスタに24をロード

OUT (0D5H), A

D3D5..... ベクトルを設定

PIO2のポートアドレス

(2) モードの設定

PIOにはモード0, 1, 2, 3の4つのモードがあります。

モードの設定は次のように行います。

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|----|----|----|----|----|----|
| M1 | M0 | ×  | ×  | 1  | 1  | 1  | 1  |

×=未使用ビット(0でも1でも可)

モード語を表わします。

モード設定を表わします。

| モード          |   | M1 | M0 |
|--------------|---|----|----|
| 出力モード        | 0 | 0  | 0  |
| 入力モード        | 1 | 0  | 1  |
| 双方向性モード      | 2 | 1  | 0  |
| ビットコントロールモード | 3 | 1  | 1  |

モード0 : データを周辺装置へ出力します。

モード1 : データを周辺装置から入力します。

モード2 : 周辺装置からデータの入力、周辺装置へのデータの出力ができます。……ポートAのみ。

モード3 : ポートをビット単位に入力/出力に指定して使用できます。

(例)

PIO2のポートAを出力モード(モード0)に、ポートBを入力(モード1)に指定して、ポートAに10101010(AA)を出力します。

○ポートAを出力モードに設定します。

アセンブリ言語

標準語

LD A, 0FH

3E 0F ..... Aレジスタに0Fをロード

OUT (0D5H), A

D3 D5 ..... モード0を設定

○ポートBを入力モードに設定します。

LD A, 4FH

3E 4F ..... Aレジスタに4Fをロード

OUT (0D7H)

D3 D7 ..... モード1を設定

○ポートAに10101010(AA)を出力します。

LD A, 0AAH

3E AA ..... AレジスタにAAをロード

OUT (0D4H), A

D3 D4 ..... ポートAにAレジスタ内容を出力

モード3を設定したときは、次のコントロール語を設定してポート(8ビット)のどのビットを入力にするか、出力にするかを指定します。

| D <sub>7</sub> | D <sub>6</sub> | D <sub>5</sub> | D <sub>4</sub> | D <sub>3</sub> | D <sub>2</sub> | D <sub>1</sub> | D <sub>0</sub> |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| I/O            | I/O            | I/O            | I/O            | I/O            | I/O            | I/O            | I/O            |

I/O = 1      ビットを入力用に指定します。

              = 0      ビットを出力用に指定します。

### (3) 割り込みコントロール語の設定

ポートを割り込みに使用するとき、次に示す割り込みコントロール語を設定します。

| D <sub>7</sub>    | D <sub>6</sub> | D <sub>5</sub> | D <sub>4</sub> | D <sub>3</sub> | D <sub>2</sub> | D <sub>1</sub> | D <sub>0</sub> |
|-------------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 割り込み<br>許可<br>フラグ | AND<br>OR      | High<br>LOW    | MASK<br>follow | 0              | 1              | 1              | 1              |

モード3でのみ使用      割り込みコントロール語を表わします。  
します。

D<sub>7</sub> = 1      割り込み許可フラグをセットし、CPUへ割り込み要求を発生できます。

              = 0      割り込み許可フラグをリセットし、CPUへ割り込み要求を発生できません。

D<sub>6</sub> = 1      AND      マスクされていないビットのすべてがD<sub>5</sub>で指定される状態になったときに割り込みが発生します。

              = 0      OR      マスクされていないビットのどれかがD<sub>5</sub>で指定される状態になったときに割り込みが発生します。

D<sub>5</sub> = 1      High      ポートデータバスラインが“H”になると割り込みを発生します。

              = 0      Low      ポートデータバスラインが“L”になると割り込みを発生します。

D<sub>4</sub>              D<sub>4</sub>が1であれば次にポートに書かれるコントロール語は下記のようなマスクとして取り扱われます。

MB(マスクビット) = 0であるビットだけが割り込み発生を監視されます。



|                 |                 |                 |                 |                 |                 |                 |                 |
|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| D <sub>7</sub>  | D <sub>6</sub>  | D <sub>5</sub>  | D <sub>4</sub>  | D <sub>3</sub>  | D <sub>2</sub>  | D <sub>1</sub>  | D <sub>0</sub>  |
| MB <sub>7</sub> | MB <sub>6</sub> | MB <sub>5</sub> | MB <sub>4</sub> | MB <sub>3</sub> | MB <sub>2</sub> | MB <sub>1</sub> | MB <sub>0</sub> |

割り込み許可フラグは次に示すコントロール語でセット、リセットできます。

|                   |                |                |                |                |                |                |                |
|-------------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| D <sub>7</sub>    | D <sub>6</sub> | D <sub>5</sub> | D <sub>4</sub> | D <sub>3</sub> | D <sub>2</sub> | D <sub>1</sub> | D <sub>0</sub> |
| 割り込み<br>許可<br>フラグ | ×              | ×              | ×              | 0              | 0              | 1              | 1              |

このコントロール語は、割り込み許可フラグだけをセットしたり、リセットしたりして他のビットはそのままにしておきたいときに使用します。

(例)

P I O<sub>2</sub> のポートBをモード3 (ビットコントロールモード) で使用し、B<sub>0</sub> ~ B<sub>3</sub> を入力、B<sub>4</sub> ~ B<sub>7</sub> を出力にします。また、割り込みについてはB<sub>0</sub> ~ B<sub>1</sub> の2ビットだけを監視し、B<sub>0</sub>、または、B<sub>1</sub> のどちらかが“H”になったときに割り込みが発生するようにします。

割り込み処理ルーチンの開始アドレスが書き込まれているメモリのアドレスをD124番地とします。

○CPUのIレジスタにD1を設定します。

|            |      |
|------------|------|
| アセンブリ言語    | 機械語  |
| LD A, 0D1H | 3ED1 |
| LD I, A    | ED47 |

|        |   |   |   |   |   |   |   |
|--------|---|---|---|---|---|---|---|
| I レジスタ |   |   |   |   |   |   |   |
| 1      | 1 | 0 | 1 | 0 | 0 | 0 | 1 |

○P I O<sub>2</sub> のポートBにベクトルを設定します。

|               |      |
|---------------|------|
| LD A, 24H     | 3E24 |
| OUT (0D7H), A | D3D7 |

|          |   |   |   |   |   |   |   |
|----------|---|---|---|---|---|---|---|
| 割り込みベクトル |   |   |   |   |   |   |   |
| 0        | 0 | 1 | 0 | 0 | 1 | 0 | 0 |

○モード を設定します。

|               |      |
|---------------|------|
| LD A, 0CFH    | 3ECF |
| OUT (0D7H), A | D3D7 |

|       |   |   |   |   |   |   |   |
|-------|---|---|---|---|---|---|---|
| モード設定 |   |   |   |   |   |   |   |
| 1     | 1 | × | × | 1 | 1 | 1 | 1 |

○モード3を設定したので I/O指定をします。

|               |      |
|---------------|------|
| LD A, 0FH     | 3E0F |
| OUT (0D7H), A | D3D7 |

|       |   |   |   |   |   |   |   |
|-------|---|---|---|---|---|---|---|
| I/O指定 |   |   |   |   |   |   |   |
| 0     | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

○割り込みコントロール語を設定します。

|               |      |
|---------------|------|
| LD A, 0B7H    | 3EB7 |
| OUT (0D7H), A | D3D7 |

|             |   |   |   |   |   |   |   |
|-------------|---|---|---|---|---|---|---|
| 割り込みコントロール語 |   |   |   |   |   |   |   |
| 1           | 0 | 1 | 1 | 0 | 1 | 1 | 1 |

○割り込みのマスクを設定します。

|               |      |
|---------------|------|
| LD A, 0FCH    | 3EFC |
| OUT (0D7H), A | D3D7 |

|        |   |   |   |   |   |   |   |
|--------|---|---|---|---|---|---|---|
| マスクの設定 |   |   |   |   |   |   |   |
| 1      | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

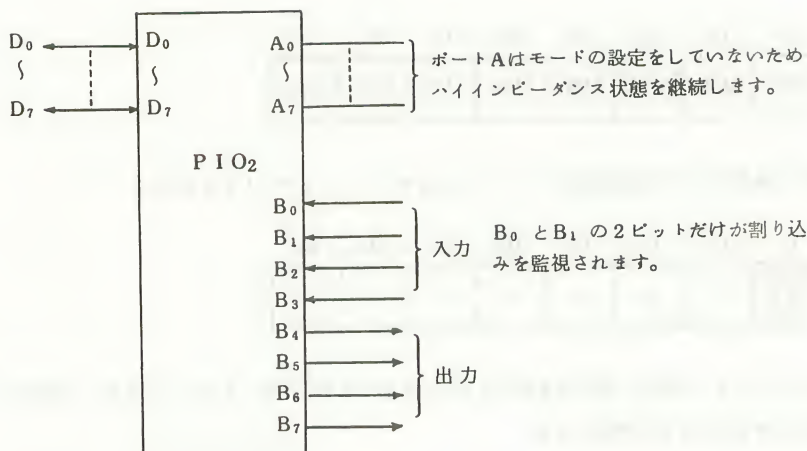


図 6.5 PIO2 の設定例

### 6.3 キーボードインターフェース (PIO1)

キーボードのインターフェースとして使用しているPIO1については5.10 項で説明しましたが、PIO1を他の目的に単独で使用する場合について説明します。

PIO1は、モニタプログラムではキーボードとのインターフェース用にモード設定をしていますので単独に使用するときは改めてプログラムで設定し直す必要があります。

プログラムの方法はPIO2で説明した方法で行いますが、ポートアドレスが次のようにPIO2と異なります。

|            | ポートアドレス |      |
|------------|---------|------|
|            | PIO1    | PIO2 |
| ポートAデータ    | D0      | D4   |
| ポートAコントロール | D1      | D5   |
| ポートBデータ    | D2      | D6   |
| ポートBコントロール | D3      | D7   |

表 6.2 PIO1, PIO2 ポートアドレス

キーボードを使用せずにPIO1を他の目的に使用する場合は、図 6.6 に示すようにプリント板に取り付けているP<sub>2</sub>とP<sub>3</sub>のジャンパ線を切断し、新たにP<sub>1</sub>の位置にジャンパ線を取り付けてください。

これによりJ<sub>2</sub>(34ピン)へはPIO1のB<sub>7</sub>信号が直接つながります。

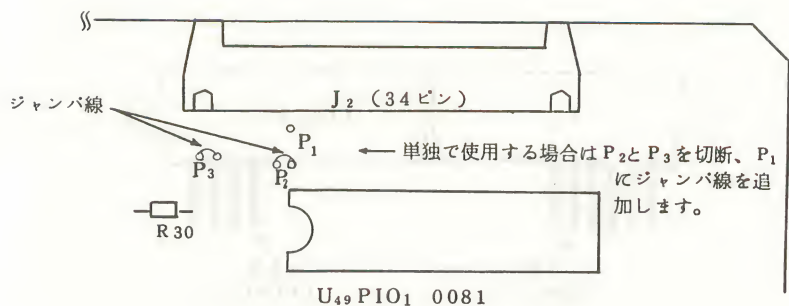


図 6.6 ジャンパ線

J<sub>2</sub> (34ピン) の端子配列は、5.10 項、または、付録 6 を参照してください。

#### 6.4 EPROM使用方法

SM-B-80 TではROMとしてモニタプログラムを書き込んだバイポーラ PROM LH-7055を1個実装し、ユーザ用としてさらに1個増設できますが、このバイポーラタイプ以外に2708タイプのEPROMを使用できます。

2708タイプのEPROMを使用する場合は+12Vと-5Vの電源が+5V以外に必要です。

2708タイプのEPROMを使用する方法について説明します。

+12Vと-5VをSM-B-80 Tに接続するには、図 6.8 に示す+12Vと-5Vの配線部分に半田付けするか、図 6.7 に示す J<sub>1</sub> (100ピン) の+12Vと-5V用端子に半田付けします。

##### J<sub>1</sub> 端子 NO

|      |      |      |
|------|------|------|
| +12V | 5ピン  | 55ピン |
| -5V  | 47ピン | 97ピン |

また、電源ノイズによる誤動作を防ぐため、図 6.8 に示すプリント板のバックシンボルの位置にコンデンサを取り付けてください。

コンデンサには次のものを使用します。

| コンデンサ NO | 部品                  |
|----------|---------------------|
| CA ~ CF  | 25V以上の1μF タンタルコンデンサ |
| C 17, 18 | 25V以上の33μF 電解コンデンサ  |

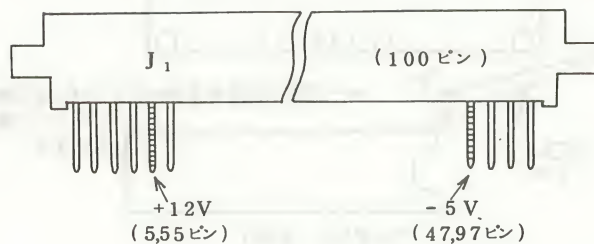
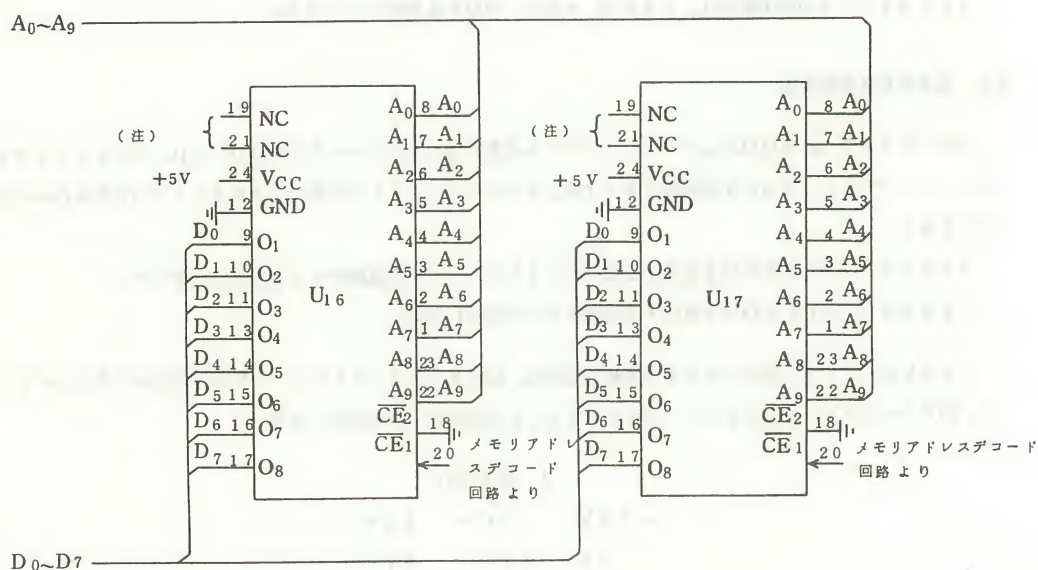


図 6.7 J<sub>1</sub> (100ピン) への電源配線



U<sub>16,17</sub> : LH-7055または2708タイプEPROM

(注) 2708タイプEPROMを使用する場合、19ピンに+12V、21ピンに-5Vが供給されます。

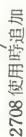
図 6.9 ROM回路

### 6.5 コントロール信号用バッファ

コントロール信号用バッファ回路は、8T97 (U<sub>3</sub>)、8T28 (U<sub>4</sub>)、7404 (U<sub>9</sub>) で構成します。

コントロール信号の中でBUSRQ<sup>\*</sup>はダイレクトメモリアクセス (DMA) に使用します。また、MRESET<sup>\*</sup>は、ボードの外部からシステムをリセットするための入力信号ラインです。





面図 6.8 面図

## 6.6 双方向性アドレスバッファ

双方向性アドレスバッファ回路は、8T26を4個（ $U_5 \sim U_8$ ）使用して構成します。

アドレスバッファは通常ボードの外部へアドレス信号を出力していますが、ボード内のメモリをアクセスするために  $BUSRQ^*$  を“L”にして DMA（ダイレクトメモリアクセス）を使用するときに、アクセスしたいメモリのアドレスを入力できます。

$BUSRQ$ をCPUが受け付けるとCPUのアドレスラインはフローティングになります。また、 $BUSAK^*$ も“L”となり、8T26はレシープ状態になります。

双方向性アドレスバッファは、アドレス信号を負論理で出力しています。また、バッファ用ICの取り付け位置などは、2.5項を参照してください。

## 6.7 双方向性データバッファ

双方向性データバッファは、8T26を2個（ $U_1 \sim U_2$ ）使用して構成します。

図6.10に回路を示します。

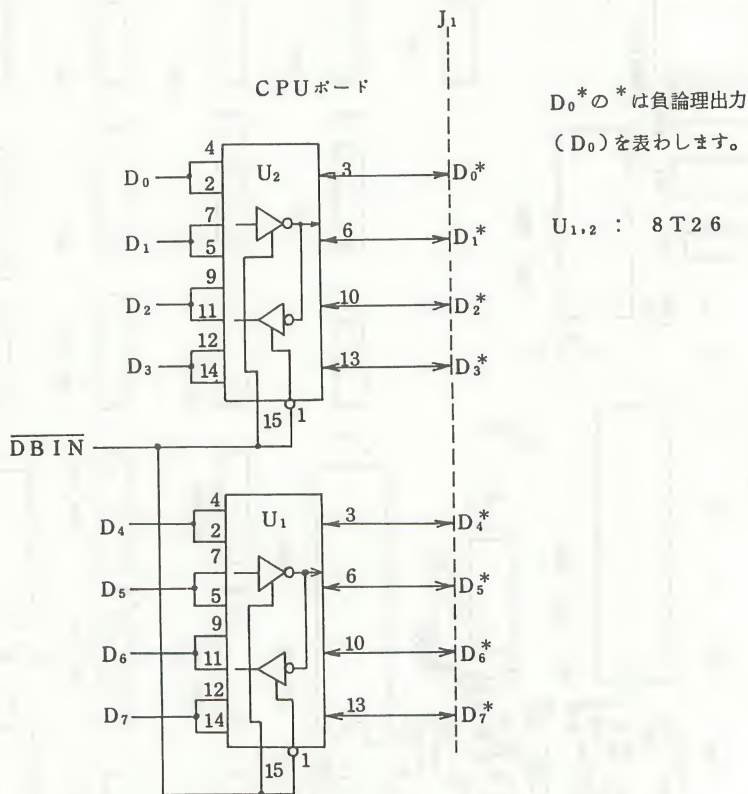


図6.10 双方向性データバッファ回路

SM-B-80Tでは、双方向性データバッファを制御する回路をボード内に含んでいませんので、ボードの外でメモリなどを使用するときは制御回路を追加してください。

図 6.11 に制御回路例を示します。

(例)

ボードの外に 8K バイトのメモリ (スタティック RAM) を追加します。メモリは、アドレス C 0 0 0 番地からの 8 K バイトに置いています。

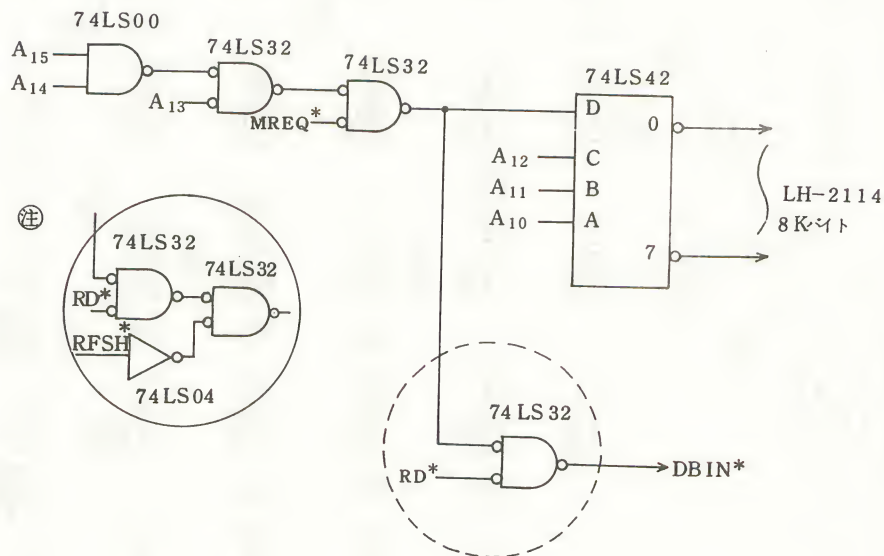
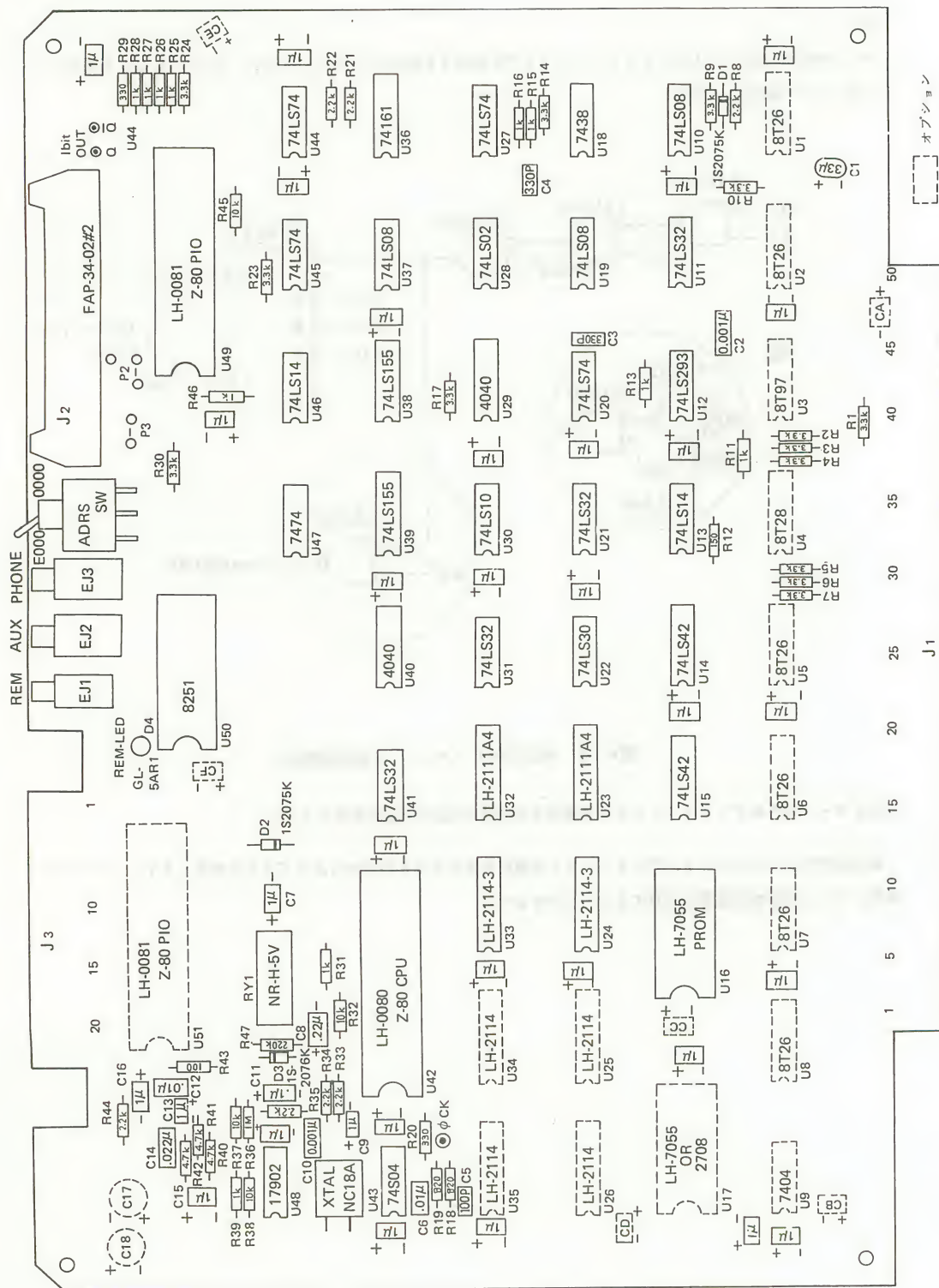


図 6.11 双方向性データバッファ制御回路例

(注) ボードの外にダイナミックメモリを使用する場合は (注) の回路を使用します。

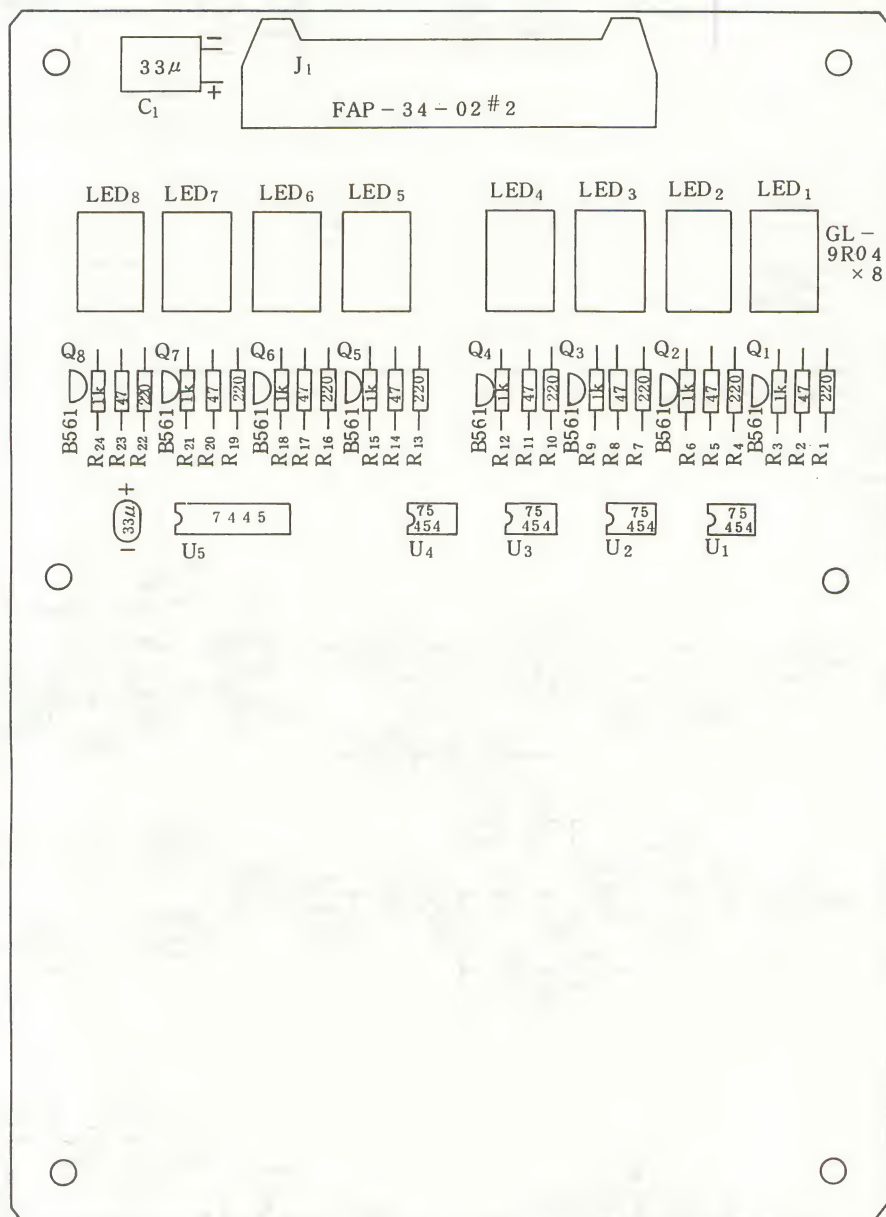
双方向性アドレスバッファ、データバッファに使用する 8 T 2 6 の代わりに 8 T 2 8 を使用しますと、アドレス信号、データ信号を正論理で出力することができます。

付録1 CPUボード部品配置図

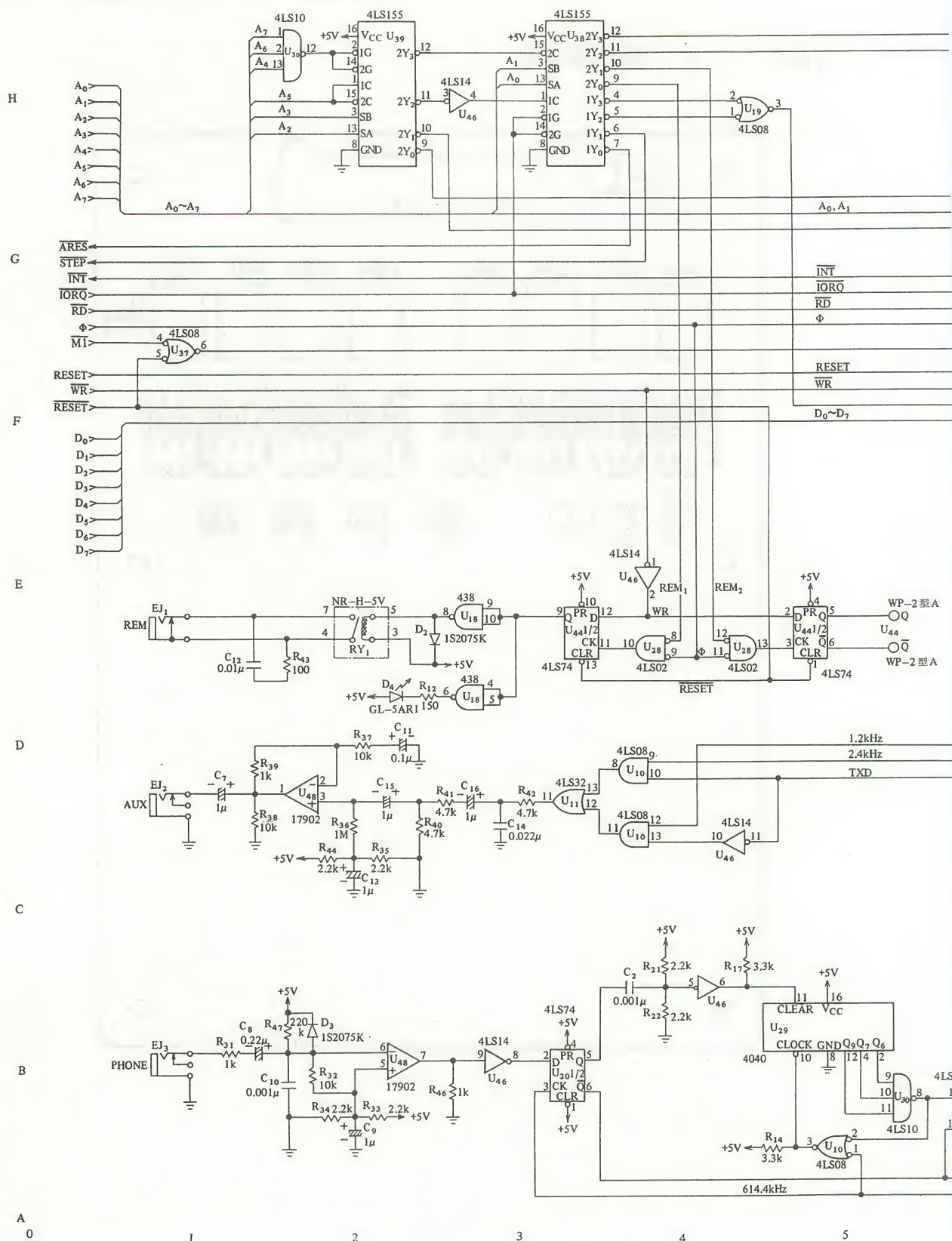




付録2 キーボード部品配置図



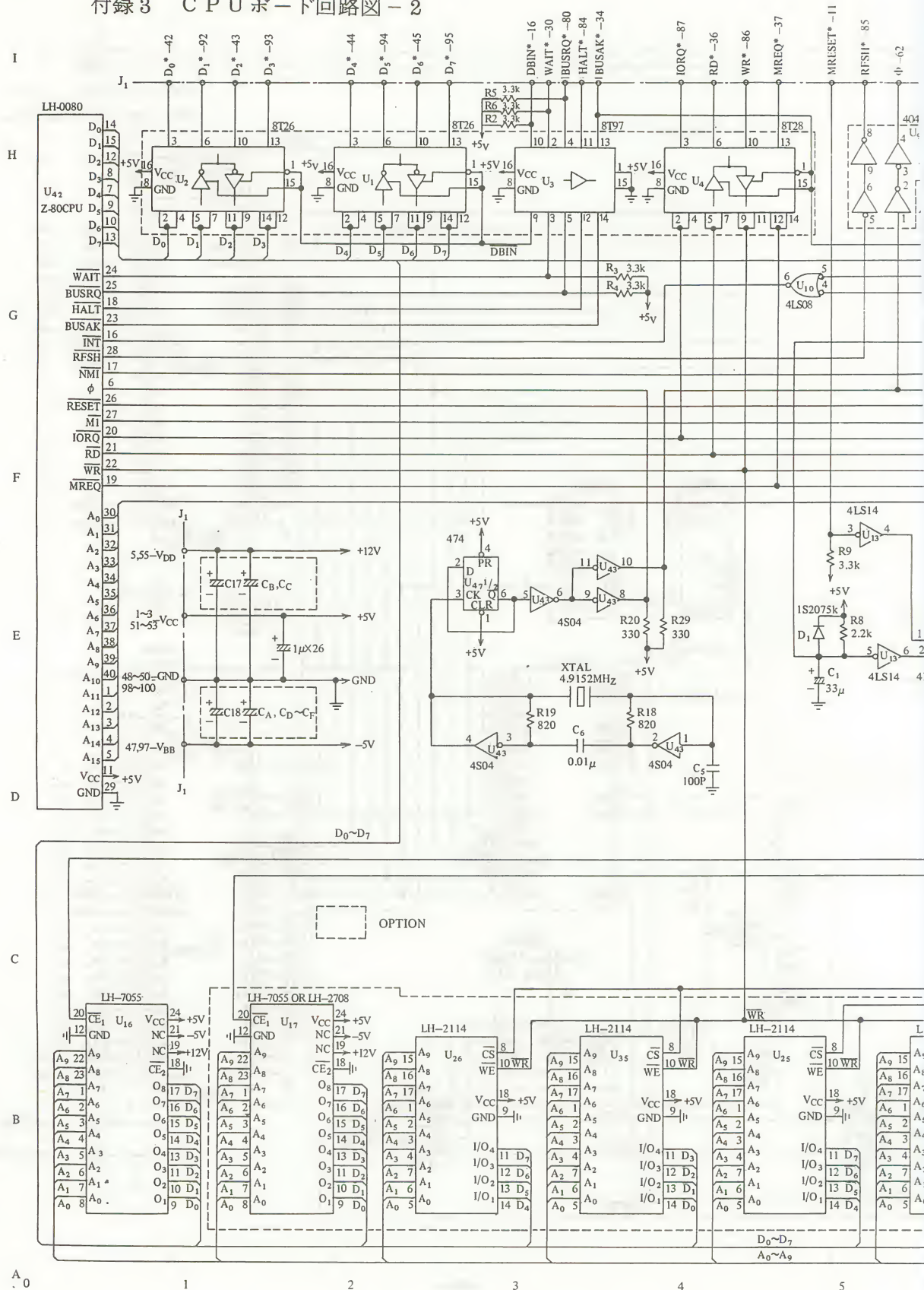
# 付録3 CPUポート回路図-1



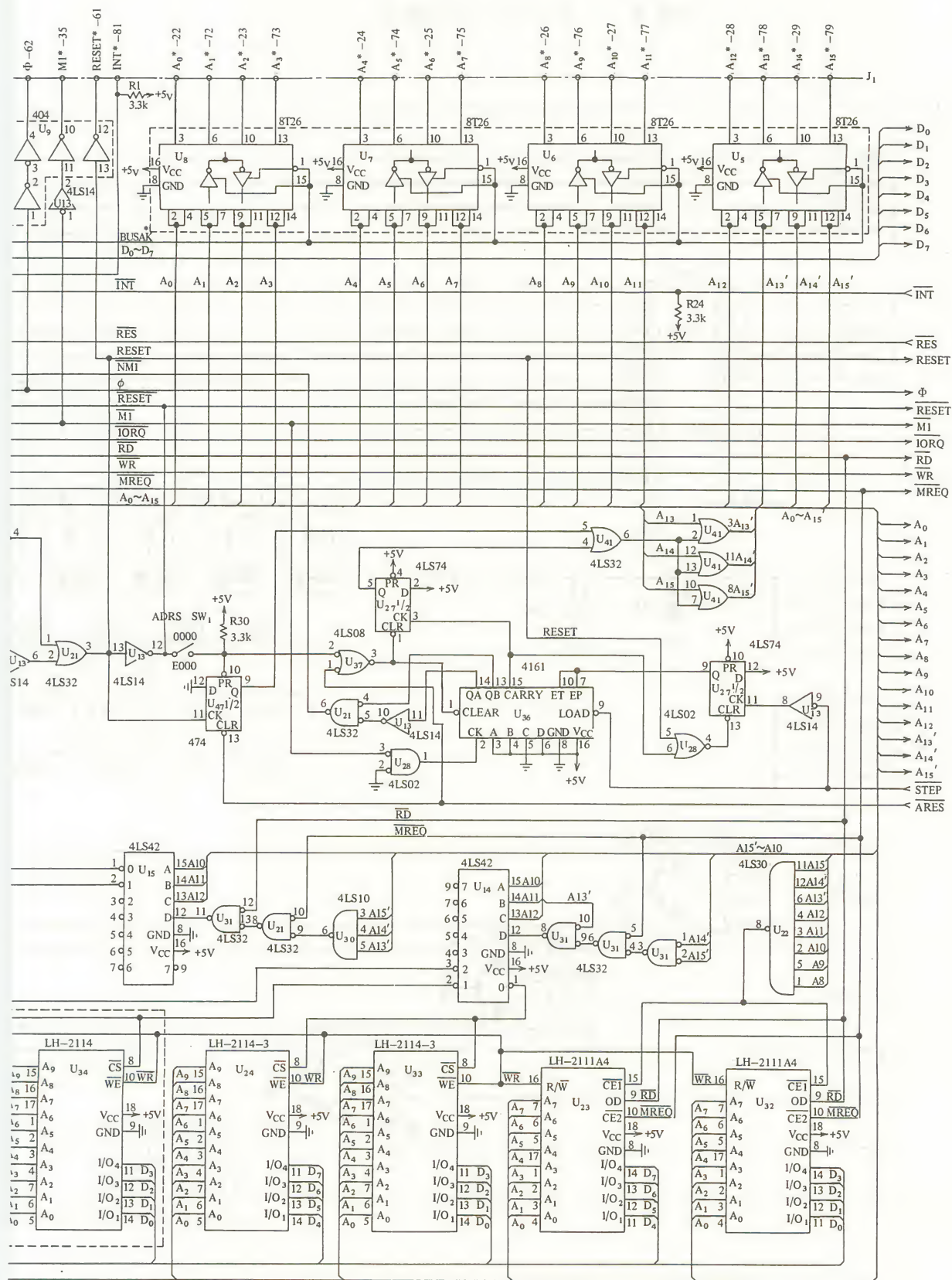




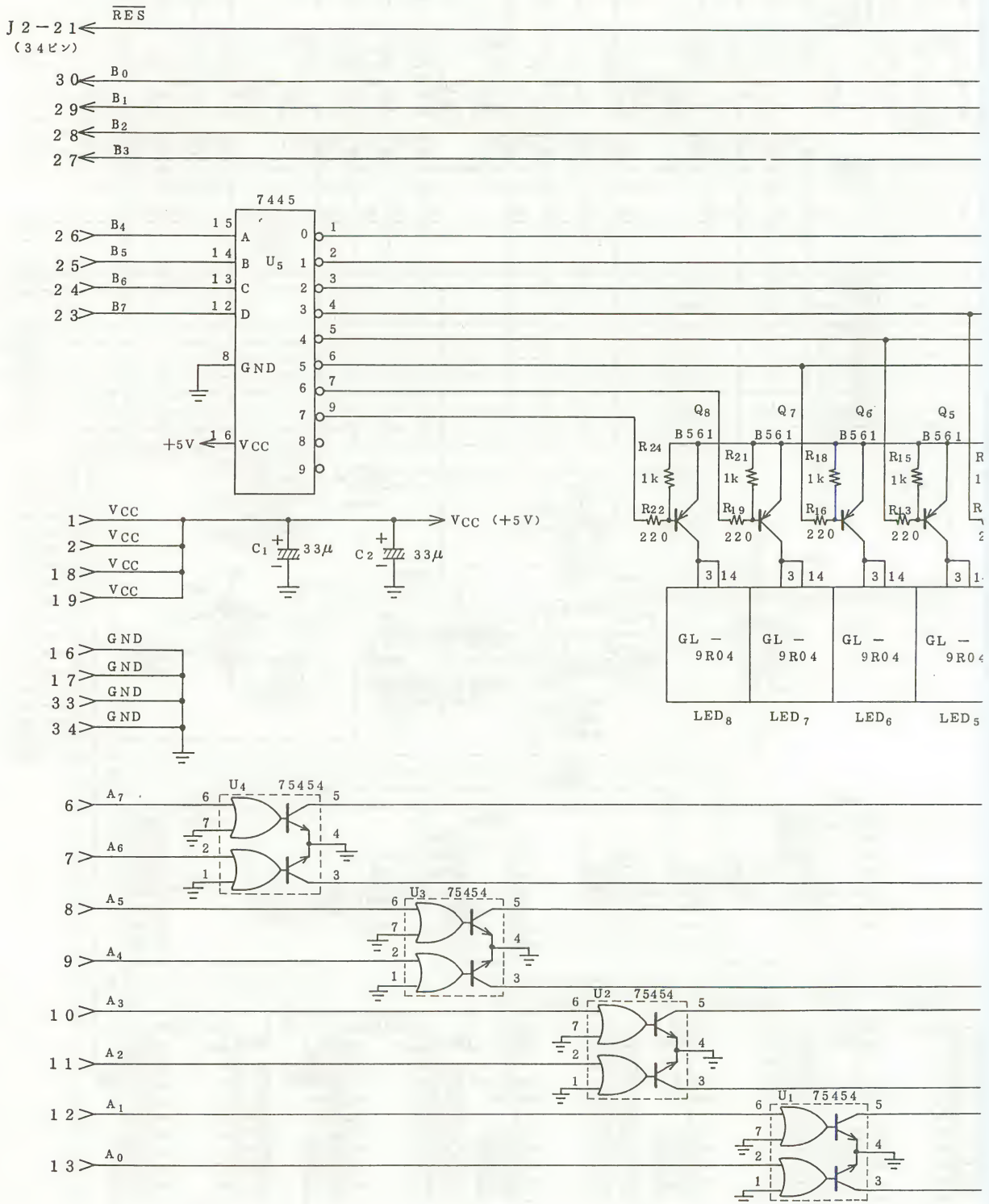
# 付録3 CPUポート回路図-2

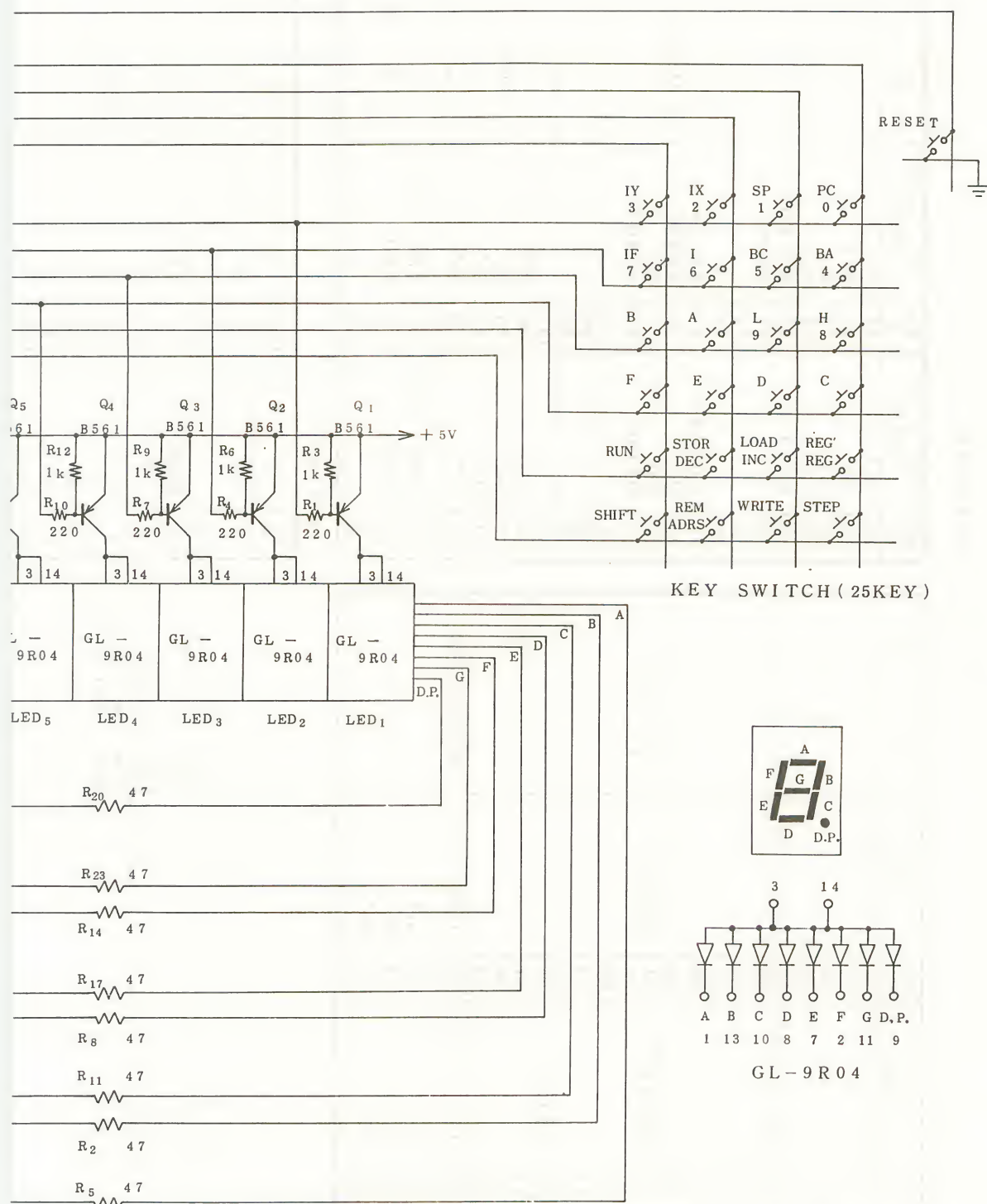






# 付録 4 キーボード回路図





LH8HO2-KEY



# 付録5 端子配列表

J<sub>1</sub> J<sub>2</sub> J<sub>3</sub> 端子配列表

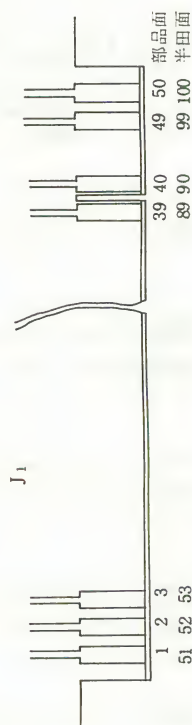
J<sub>1</sub> (100ピン)

| 端子<br>No. | 信 号 名<br>(部品面)   | 端 子<br>No. | 信 号 名<br>(半田面)   | 説 明            |
|-----------|------------------|------------|------------------|----------------|
| 1         | VCC (+5V)        | 51         | VCC (+5V)        | 電 源            |
| 2         | "                | 52         | "                |                |
| 3         | "                | 53         | "                |                |
| 4         | "                | 54         | "                |                |
| 5         | VDD (+12V)       | 55         | VDD (+12V)       |                |
| 6         |                  | 56         |                  | (注)            |
| 7         |                  | 57         |                  |                |
| 8         |                  | 58         |                  |                |
| 9         |                  | 59         |                  |                |
| 10        | MRESET*          | 60         |                  |                |
| 11        |                  | 61         | RESET*           | リセット信号<br>クロック |
| 12        |                  | 62         | φ                |                |
| 13        |                  | 63         |                  |                |
| 14        |                  | 64         |                  |                |
| 15        |                  | 65         |                  |                |
| 16        | DBIN*            | 66         |                  | データバッファ制御      |
| 17        |                  | 67         |                  |                |
| 18        |                  | 68         |                  |                |
| 19        |                  | 69         |                  | 割り込み優先制御       |
| 20        | IEI              | 70         | IEO              |                |
| 21        |                  | 71         |                  |                |
| 22        | A <sub>0</sub> * | 72         | A <sub>1</sub> * | アドレスバス         |
| 23        | A <sub>2</sub> * | 73         | A <sub>3</sub> * |                |
| 24        | A <sub>4</sub> * | 74         | A <sub>5</sub> * |                |
| 25        | A <sub>6</sub> * | 75         | A <sub>7</sub> * |                |

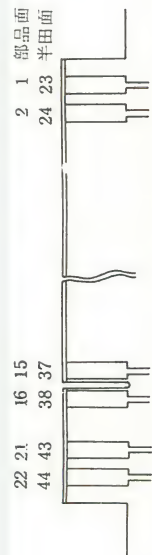
| 端 子<br>No. | 信 号 名<br>(部品面)    | 端 子<br>No. | 信 号 名<br>(半田面)    | 説 明        |
|------------|-------------------|------------|-------------------|------------|
| 26         | A <sub>8</sub> *  | 76         | A <sub>9</sub> *  | アドレスバス     |
| 27         | A <sub>10</sub> * | 77         | A <sub>11</sub> * |            |
| 28         | A <sub>12</sub> * | 78         | A <sub>13</sub> * |            |
| 29         | A <sub>14</sub> * | 79         | A <sub>15</sub> * |            |
| 30         | WAIT*             | 80         | BUSRQ*            |            |
| 31         |                   | 81         | INT*              | CPU制御入力    |
| 32         |                   | 82         |                   |            |
| 33         |                   | 83         |                   |            |
| 34         | BUSAK*            | 84         | HALT*             |            |
| 35         | M1*               | 85         | RFSH*             |            |
| 36         | RD*               | 86         | WR*               |            |
| 37         | MREQ*             | 87         | IORQ*             |            |
| 38         |                   | 88         |                   |            |
| 39         |                   | 89         |                   |            |
| 40         |                   | 90         |                   |            |
| 41         |                   | 91         |                   | データバス      |
| 42         | D <sub>0</sub> *  | 92         | D <sub>1</sub> *  |            |
| 43         | D <sub>2</sub> *  | 93         | D <sub>3</sub> *  |            |
| 44         | D <sub>4</sub> *  | 94         | D <sub>5</sub> *  |            |
| 45         | D <sub>6</sub> *  | 95         | D <sub>7</sub> *  |            |
| 46         |                   | 96         |                   | (注)<br>電 源 |
| 47         | VBB (-5V)         | 97         | VBB (-5V)         |            |
| 48         | GND               | 98         | GND               |            |
| 49         | "                 | 99         | "                 |            |
| 50         | "                 | 100        | "                 |            |

J<sub>2</sub> (34ピン)

| 端 子<br>No. | 信 号 名           | 端 子<br>No. | 信 号 名           | 説 明                 |
|------------|-----------------|------------|-----------------|---------------------|
| 1          | VCC (+5V)       | 18         | VCC (+5V)       | 電 源                 |
| 2          | "               | 19         | "               |                     |
| 3          |                 | 20         |                 | リセット入力<br>ポートアドレス出力 |
| 4          | 逆接続防止ピン         | 21         | RES             |                     |
| 5          | PS <sub>1</sub> | 22         | PS <sub>2</sub> |                     |
| 6          | A <sub>7</sub>  | 23         | B <sub>7</sub>  | PIO1<br>ポートA, Bバス   |
| 7          | A <sub>6</sub>  | 24         | B <sub>6</sub>  |                     |
| 8          | A <sub>5</sub>  | 25         | B <sub>5</sub>  |                     |
| 9          | A <sub>4</sub>  | 26         | B <sub>4</sub>  |                     |
| 10         | A <sub>3</sub>  | 27         | B <sub>3</sub>  |                     |
| 11         | A <sub>2</sub>  | 28         | B <sub>2</sub>  |                     |

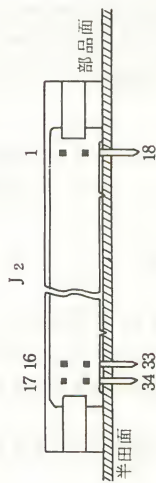






J3 (44ピン)

| 端子<br>No. | 信号名<br>(部品面) | 端子<br>No. | 信号名<br>(半田面) | 説明                               |
|-----------|--------------|-----------|--------------|----------------------------------|
| 1         | VCC (+5V)    | 23        | VCC (+5V)    | 電源                               |
| 2         | "            | 24        | "            |                                  |
| 3         | "            | 25        | "            |                                  |
| 4         | "            | 26        | "            |                                  |
| 5         | "            | 27        | "            |                                  |
| 6         |              | 28        |              | ポートA, B レディ出力<br>ポートA, B ストローブ入力 |
| 7         | ARDY         | 29        | BRDY         |                                  |
| 8         | ASTB         | 30        | BSTB         |                                  |
| 9         | A0           | 31        | B0           |                                  |
| 10        | A1           | 32        | B1           |                                  |
| 11        | A2           | 33        | B2           | PIO2<br>ポートA, B バス               |
| 12        | A3           | 34        | B3           |                                  |
| 13        | A4           | 35        | B4           |                                  |
| 14        | A5           | 36        | B5           |                                  |
| 15        | A6           | 37        | B6           |                                  |
| 16        | A7           | 38        | B7           |                                  |
| 17        |              | 39        |              |                                  |
| 18        |              | 40        |              |                                  |
| 19        | GND          | 41        | GND          | 電源                               |
| 20        | "            | 42        | "            |                                  |
| 21        | "            | 43        | "            |                                  |
| 22        | "            | 44        | "            |                                  |



(注) VDD と VBB は 2708 タイプ EPROM 用電源

# 付録 6 端子信号説明表

| J <sub>1</sub> (100ピン) |                                    |                  |                    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|------------------------|------------------------------------|------------------|--------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|------------------|------------------|------------------|------------------|------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 端子<br>No               | 信号名                                | 入力<br>出力         | 有 効<br>レベル         | 説 明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|                        | VCC                                | 入 力              |                    | +5V電源ライン<br>端子No: 1, 2, 3, 51, 52, 53                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 5<br>55                | VDD                                | "                |                    | +12V 電源ライン<br>2708タイプEPROM用電源                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 11                     | MRESET*                            | 入 力              | L                  | CPU, 8251, P I O, F/F を初期状態に戻します。<br>リセット信号入力ライン                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 61                     | RESET *                            | 出 力              | L                  | リセット信号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 62                     | φ                                  | 出 力              |                    | システムクロック 2.4576 MHz                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 16                     | DBIN*                              | 入 力              | L                  | 双方向性データバッファ制御信号<br>“H”: ドライブ状態 “L”: レシーブ状態                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 20                     | IEI                                | 入 力              | H                  | 割り込み優先順位を形成するのに使用します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 70                     | IEO                                | 出 力              | H                  | IEIとともに割り込み優先順位を形成するのに使用します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|                        | A <sub>0</sub> *~A <sub>15</sub> * | 入力<br>出力         | (L<br>アドレス<br>“1”) | 16ビットの双方向性アドレスバスで、メモリデータの交換、I/O機器データの交換に対してのアドレスを与えます。A <sub>0</sub> *は、最下位ビット (LSB) です。<br><table><tr><td>信号名</td><td>A<sub>0</sub>*</td><td>A<sub>1</sub>*</td><td>A<sub>2</sub>*</td><td>A<sub>3</sub>*</td><td>A<sub>4</sub>*</td><td>A<sub>5</sub>*</td><td>A<sub>6</sub>*</td><td>A<sub>7</sub>*</td><td>A<sub>8</sub>*</td><td>A<sub>9</sub>*</td><td>A<sub>10</sub>*</td><td>A<sub>11</sub>*</td><td>A<sub>12</sub>*</td><td>A<sub>13</sub>*</td><td>A<sub>14</sub>*</td><td>A<sub>15</sub>*</td></tr><tr><td>端子No</td><td>22</td><td>72</td><td>23</td><td>73</td><td>24</td><td>74</td><td>25</td><td>75</td><td>26</td><td>76</td><td>27</td><td>77</td><td>28</td><td>78</td><td>29</td><td>79</td></tr></table> | 信号名              | A <sub>0</sub> * | A <sub>1</sub> * | A <sub>2</sub> * | A <sub>3</sub> * | A <sub>4</sub> * | A <sub>5</sub> *  | A <sub>6</sub> *  | A <sub>7</sub> *  | A <sub>8</sub> *  | A <sub>9</sub> *  | A <sub>10</sub> * | A <sub>11</sub> * | A <sub>12</sub> * | A <sub>13</sub> * | A <sub>14</sub> * | A <sub>15</sub> * | 端子No | 22 | 72 | 23 | 73 | 24 | 74 | 25 | 75 | 26 | 76 | 27 | 77 | 28 | 78 | 29 | 79 |
| 信号名                    | A <sub>0</sub> *                   | A <sub>1</sub> * | A <sub>2</sub> *   | A <sub>3</sub> *                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | A <sub>4</sub> * | A <sub>5</sub> * | A <sub>6</sub> * | A <sub>7</sub> * | A <sub>8</sub> * | A <sub>9</sub> * | A <sub>10</sub> * | A <sub>11</sub> * | A <sub>12</sub> * | A <sub>13</sub> * | A <sub>14</sub> * | A <sub>15</sub> * |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 端子No                   | 22                                 | 72               | 23                 | 73                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 24               | 74               | 25               | 75               | 26               | 76               | 27                | 77                | 28                | 78                | 29                | 79                |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 30                     | WAIT*                              | 入 力              | L                  | CPUに対してアドレス付けされたメモリ、I/O機器がデータの転送準備ができていないことを示す信号です。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 80                     | BUSRQ *                            | 入 力              | L                  | CPUのアドレスバス、データバス、トリステートコントロール信号線をハイインピーダンスにし、アドレスバッファ、コントロール信号用バッファをレシーブ状態にします。DMAに使用します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 81                     | INT *                              | 入 力              | L                  | I/O機器が割り込みを要求するときに使用します。<br>割り込み要求信号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 34                     | BUSAK *                            | 出 力              | L                  | BUSRQをCPUが受け付けたときに出力されます。これにより、CPUのアドレスバス、データバス、トリステートコントロール信号線がハイインピーダンスになり、外部よりこれらの信号を入力できることを示します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 84                     | HALT*                              | 出 力              | L                  | CPUがHALT命令を実行し、プログラムの実行を停止中であることを示します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 35                     | M1 *                               | 出 力              | L                  | マシンサイクルが命令実行中のフェッチサイクルであることを示します。また、IORQ*とともに生じることで、割り込みのアクノリッジサイクルを示します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 85                     | RFSH*                              | 出 力              | L                  | アドレスバス下位7ビット (A <sub>6</sub> ~A <sub>0</sub> ) がダイナミックメモリのためのリフレッシュアドレスを持っていることを示します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 36                     | RD *                               | 入力<br>出力         | L                  | CPUが、メモリやI/O機器からデータを読みとろうとしていることを示します。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                  |                  |                  |                  |                  |                  |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |                   |      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

|            |                                     |                  |                                                                      |                                                                                                                                                                                                                                                                                                                                                                                                  |                  |                  |                  |                  |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
|------------|-------------------------------------|------------------|----------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|-------|----|----|----|----|----|----|----|----|
| 8 6        | WR *                                | 入力<br>出力         | L                                                                    | 指定したメモリや I/O 機器にデータを格納する際に、データバスに有効なデータを保持していることを示す信号です。                                                                                                                                                                                                                                                                                                                                         |                  |                  |                  |                  |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
| 3 7        | MREQ*                               | 入力<br>出力         | L                                                                    | メモリリード、または、メモリライト動作に対してアドレスバスが有効なアドレスを保持していることを示します。                                                                                                                                                                                                                                                                                                                                             |                  |                  |                  |                  |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
| 8 7        | I ORQ*                              | 入力<br>出力         | L                                                                    | I/Oリード、または、I/Oライト動作に対してアドレスバスの下位 8 ビットが有効なアドレスを保持していることを示します。また、M1* とともに割り込みのアクノリッジを示します。                                                                                                                                                                                                                                                                                                        |                  |                  |                  |                  |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
|            | D <sub>0</sub> * ~ D <sub>7</sub> * | 入力<br>出力         | $\left( \begin{array}{c} L \\ \text{データ} \\ "1" \end{array} \right)$ | 8 ビットの双方向性データバスで、メモリ、I/O 機器とのデータ交換に使用します。 <table border="1"><tr><td>信号名</td><td>D<sub>0</sub>*</td><td>D<sub>1</sub>*</td><td>D<sub>2</sub>*</td><td>D<sub>3</sub>*</td><td>D<sub>4</sub>*</td><td>D<sub>5</sub>*</td><td>D<sub>6</sub>*</td><td>D<sub>7</sub>*</td></tr><tr><td>端子/No</td><td>42</td><td>92</td><td>43</td><td>93</td><td>44</td><td>94</td><td>45</td><td>95</td></tr></table> | 信号名              | D <sub>0</sub> * | D <sub>1</sub> * | D <sub>2</sub> * | D <sub>3</sub> * | D <sub>4</sub> * | D <sub>5</sub> * | D <sub>6</sub> * | D <sub>7</sub> * | 端子/No | 42 | 92 | 43 | 93 | 44 | 94 | 45 | 95 |
| 信号名        | D <sub>0</sub> *                    | D <sub>1</sub> * | D <sub>2</sub> *                                                     | D <sub>3</sub> *                                                                                                                                                                                                                                                                                                                                                                                 | D <sub>4</sub> * | D <sub>5</sub> * | D <sub>6</sub> * | D <sub>7</sub> * |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
| 端子/No      | 42                                  | 92               | 43                                                                   | 93                                                                                                                                                                                                                                                                                                                                                                                               | 44               | 94               | 45               | 95               |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
| 4 7<br>9 7 | V <sub>BB</sub>                     | 入 力              |                                                                      | -5 V 電源ライン<br>2708 タイプ EPROM 用電源                                                                                                                                                                                                                                                                                                                                                                 |                  |                  |                  |                  |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |
|            | GND                                 | 入 力              |                                                                      | 接地ライン<br>端子/No: 48, 49, 50, 98, 99, 100                                                                                                                                                                                                                                                                                                                                                          |                  |                  |                  |                  |                  |                  |                  |                  |                  |       |    |    |    |    |    |    |    |    |

## J 2 ( 3 4 ピン )

| 端子<br>No | 信 号 名                           | 入力<br>出力       | 有 効<br>レベル     | 説 明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|----------|---------------------------------|----------------|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|------|----|----|----|----|----|----|----|----|
|          | VCC                             | 出 力            |                | +5V電源ライン<br>端子No：1, 2, 18, 19                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 2 1      | $\overline{\text{RES}}$         | 入 力            | L              | リセット信号、キーボードスイッチの <span style="border: 1px solid black; padding: 2px;">RESET</span> キーに接続しています。                                                                                                                                                                                                                                                                                                                                                                                                                                         |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 5        | $\overline{\text{PS}}_1$        | 出 力            | L              | アドレス下位8ビットをデコードした信号です。<br>ポートアドレス：DE （システム予備）                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 2 2      | $\overline{\text{PS}}_2$        | 出 力            | L              | アドレス下位8ビットをデコードした信号です。<br>ポートアドレス：DF （システム予備）                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|          | A <sub>0</sub> ~ A <sub>7</sub> | 出 力            | H              | PIO <sub>1</sub> のポートAバスラインです。<br>キーボードのLED用セグメント信号として出力モード（モード0）<br>で使用<br><table><tr><th>信号名</th><th>A<sub>7</sub></th><th>A<sub>6</sub></th><th>A<sub>5</sub></th><th>A<sub>4</sub></th><th>A<sub>3</sub></th><th>A<sub>2</sub></th><th>A<sub>1</sub></th><th>A<sub>0</sub></th></tr><tr><th>端子No</th><td>6</td><td>7</td><td>8</td><td>9</td><td>10</td><td>11</td><td>12</td><td>13</td></tr></table>                                                                                                                              | 信号名            | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | 端子No | 6  | 7  | 8  | 9  | 10 | 11 | 12 | 13 |
| 信号名      | A <sub>7</sub>                  | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 端子No     | 6                               | 7              | 8              | 9                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 10             | 11             | 12             | 13             |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|          | B <sub>0</sub> ~ B <sub>3</sub> | 入 力            | L              | PIO <sub>1</sub> のポートBバスラインです。<br>キーボードのLED用桁信号、キーボードスイッチのストロブ信号、<br>キースイッチの入力ラインとしてビットコントロールモード（モード3）<br>で使用<br><br>B <sub>0</sub> ~ B <sub>3</sub> ： 入力<br>B <sub>4</sub> ~ B <sub>7</sub> ： 出力<br><table><tr><th>信号名</th><th>B<sub>7</sub></th><th>B<sub>6</sub></th><th>B<sub>5</sub></th><th>B<sub>4</sub></th><th>B<sub>3</sub></th><th>B<sub>2</sub></th><th>B<sub>1</sub></th><th>B<sub>0</sub></th></tr><tr><th>端子No</th><td>23</td><td>24</td><td>25</td><td>26</td><td>27</td><td>28</td><td>29</td><td>30</td></tr></table> | 信号名            | B <sub>7</sub> | B <sub>6</sub> | B <sub>5</sub> | B <sub>4</sub> | B <sub>3</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> | 端子No | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 |
| 信号名      | B <sub>7</sub>                  | B <sub>6</sub> | B <sub>5</sub> |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | B <sub>4</sub> | B <sub>3</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 端子No     | 23                              | 24             | 25             | 26                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | 27             | 28             | 29             | 30             |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|          | B <sub>4</sub> ~ B <sub>7</sub> | 出 力            |                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 1 4      | $\overline{\text{ASTB}}$        | 入 力            | L              | 周辺装置からのポートAに対するストロブ信号入力ラインです。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 3 1      | $\overline{\text{BSTB}}$        | 入 力            | L              | 周辺装置からのポートBに対するストロブ信号入力ラインです。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |



|    |      |    |   |                               |
|----|------|----|---|-------------------------------|
| 15 | ARDY | 出力 | H | ポートAのレディ信号です。                 |
| 32 | BRDY | 出力 | H | ポートBのレディ信号です。                 |
|    | GND  | 出力 |   | 接地ライン<br>端子座 : 16, 17, 33, 34 |

J<sub>3</sub> (44ピン)

| 端子<br>No | 信号名                             | 入力<br>出力       | 有効<br>レベル                                                                         | 説<br>明                                                                                                                                                                                                                                                                                                                                                               |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|----------|---------------------------------|----------------|-----------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|------|----|----|----|----|----|----|----|----|
|          | GND                             | 出力             |                                                                                   | 接地ライン<br>端子No : 19, 20, 21, 22, 41, 42, 43, 44                                                                                                                                                                                                                                                                                                                       |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|          | A <sub>0</sub> ~ A <sub>7</sub> | 入力<br>出力       | $\left( \begin{matrix} \text{H} \\ \text{データ} \\ \text{"1"} \end{matrix} \right)$ | PIO <sub>2</sub> のポートAバスラインです。<br><table><tr><td>信号名</td><td>A<sub>7</sub></td><td>A<sub>6</sub></td><td>A<sub>5</sub></td><td>A<sub>4</sub></td><td>A<sub>3</sub></td><td>A<sub>2</sub></td><td>A<sub>1</sub></td><td>A<sub>0</sub></td></tr><tr><td>端子No</td><td>16</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td></tr></table>  | 信号名            | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> | 端子No | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9  |
| 信号名      | A <sub>7</sub>                  | A <sub>6</sub> | A <sub>5</sub>                                                                    | A <sub>4</sub>                                                                                                                                                                                                                                                                                                                                                       | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 端子No     | 16                              | 15             | 14                                                                                | 13                                                                                                                                                                                                                                                                                                                                                                   | 12             | 11             | 10             | 9              |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 7        | ARDY                            | 出力             | H                                                                                 | ポートAのレディ信号です。                                                                                                                                                                                                                                                                                                                                                        |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 8        | $\overline{\text{ASTB}}$        | 入力             | L                                                                                 | 周辺装置からのポートAに対するストロブ信号入力ラインです。                                                                                                                                                                                                                                                                                                                                        |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|          | B <sub>0</sub> ~ B <sub>7</sub> | 入力<br>出力       | $\left( \begin{matrix} \text{H} \\ \text{データ} \\ \text{"1"} \end{matrix} \right)$ | PIO <sub>2</sub> のポートBバスラインです。<br><table><tr><td>信号名</td><td>B<sub>7</sub></td><td>B<sub>6</sub></td><td>B<sub>5</sub></td><td>B<sub>4</sub></td><td>B<sub>3</sub></td><td>B<sub>2</sub></td><td>B<sub>1</sub></td><td>B<sub>0</sub></td></tr><tr><td>端子No</td><td>38</td><td>37</td><td>36</td><td>35</td><td>34</td><td>33</td><td>32</td><td>31</td></tr></table> | 信号名            | B <sub>7</sub> | B <sub>6</sub> | B <sub>5</sub> | B <sub>4</sub> | B <sub>3</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> | 端子No | 38 | 37 | 36 | 35 | 34 | 33 | 32 | 31 |
| 信号名      | B <sub>7</sub>                  | B <sub>6</sub> | B <sub>5</sub>                                                                    | B <sub>4</sub>                                                                                                                                                                                                                                                                                                                                                       | B <sub>3</sub> | B <sub>2</sub> | B <sub>1</sub> | B <sub>0</sub> |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 端子No     | 38                              | 37             | 36                                                                                | 35                                                                                                                                                                                                                                                                                                                                                                   | 34             | 33             | 32             | 31             |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 29       | BRDY                            | 出力             | H                                                                                 | ポートBのレディ信号です。                                                                                                                                                                                                                                                                                                                                                        |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
| 30       | $\overline{\text{BSTB}}$        | 入力             | L                                                                                 | 周辺装置からのポートBに対するストロブ信号入力ラインです。                                                                                                                                                                                                                                                                                                                                        |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |
|          | VCC                             | 出力             |                                                                                   | +5V電源ライン<br>端子No : 1, 2, 3, 4, 23, 24, 25, 26                                                                                                                                                                                                                                                                                                                        |                |                |                |                |                |                |                |                |                |      |    |    |    |    |    |    |    |    |

| 端子名             | 信号名   | 入力<br>出力 | 説<br>明                                                                |
|-----------------|-------|----------|-----------------------------------------------------------------------|
| EJ <sub>1</sub> | REM   |          | オーディオカセットのスタート/ストップを制御する端子です。<br>オーディオカセットのリモート端子と接続します。              |
| EJ <sub>2</sub> | AUX   | 出力       | オーディオカセットに録音する場合に周波数変調されたデータを出力します。<br>カセットのAUX端子と接続します。              |
| EJ <sub>3</sub> | PHONE | 入力       | オーディオカセットから再生する場合に可聴周波数のデータを入力します。<br>カセットのイヤホン端子、または、外部スピーカ端子と接続します。 |



付録 7 使用部品リスト (CPUボード)

| 部品番号    | 名 称 | 形名・規格     | 備 考            | 部品番号    | 名 称   | 形名・規格          | 備 考                  |
|---------|-----|-----------|----------------|---------|-------|----------------|----------------------|
| U1, 2   | I C | MC8T26    | オブション (モトローラ)  | U46     | I C   | SN74LS14       |                      |
| U3      | "   | MC8T97    | "              | U47     | "     | SN7474         |                      |
| U4      | "   | MC8T28    | "              | U48     | "     | HA17902        |                      |
| U5~8    | "   | MC8T26    | "              | U49     | LSI   | LH-0081        | Z-80 PIO             |
| U9      | "   | SN7404    | オブション (T・I)    | U50     | "     | μPD8251C       | UART                 |
| U10     | "   | SN74LS08  |                | U51     | "     | LH-0081        | オブション Z-80 PIO(シャープ) |
| U11     | "   | SN74LS32  |                | D1~3    | ダイオード | 1S2075K        |                      |
| U12     | "   | SN74LS293 |                | D4      | LED   | GL-5AR1        |                      |
| U13     | "   | SN74LS14  |                | X TAL   | 水晶    | NC18A49152 M   |                      |
| U14, 15 | "   | SN74LS42  |                | R1~7    | 抵抗    | 3.3 kΩ 1/4w±5% |                      |
| U16     | LSI | LH-7055   | ROM            | R8      | "     | 2.2 kΩ "       |                      |
| U17     | "   | "         | オブションROM(シャープ) | R9, 10  | "     | 3.3 kΩ "       |                      |
| U18     | I C | SN7438    |                | R11     | "     | 1 kΩ "         |                      |
| U19     | "   | SN74LS08  |                | R12     | "     | 150 Ω "        |                      |
| U20     | "   | SN74LS74  |                | R13     | "     | 1 kΩ "         |                      |
| U21     | "   | SN74LS32  |                | R14     | "     | 3.3 kΩ "       |                      |
| U22     | "   | SN74LS30  |                | R15, 16 | "     | 1 kΩ "         |                      |
| U23     | LSI | LH-2111A4 | RAM            | R17     | "     | 3.3 kΩ "       |                      |
| U24     | "   | LH-2114-3 | RAM            | R18, 19 | "     | 820 Ω "        |                      |
| U25, 26 | "   | LH-2114   | オブションRAM(シャープ) | R20     | "     | 330 Ω "        |                      |
| U27     | I C | SN74LS74  |                | R21 22  | "     | 2.2 kΩ "       |                      |
| U28     | "   | SN74LS02  |                | R23 24  | "     | 3.3 kΩ "       |                      |
| U29     | "   | TC4040    |                | R25~28  | "     | 1 kΩ "         |                      |
| U30     | "   | SN74LS10  |                | R29     | "     | 330 Ω "        |                      |
| U31     | "   | SN74LS32  |                | R30     | "     | 3.3 kΩ "       |                      |
| U32     | LSI | LH-2111A4 | RAM            | R31     | "     | 1 kΩ "         |                      |
| U33     | "   | LH-2114-3 | RAM            | R32     | "     | 10 kΩ "        |                      |
| U34, 35 | "   | LH-2114   | オブションRAM(シャープ) | R33~35  | "     | 2.2 kΩ 1/4w±2% |                      |
| U36     | I C | SN74161   |                | R36     | "     | 1MΩ 1/4w±5%    |                      |
| U37     | "   | SN74LS08  |                | R37     | "     | 10 kΩ 1/4w±2%  |                      |
| U38, 39 | "   | SN74LS155 |                | R38     | "     | 10 kΩ 1/4w±5%  |                      |
| U40     | "   | TC4040    |                | R39     | "     | 1 kΩ 1/4w±2%   |                      |
| U41     | "   | SN74LS32  |                | R40~42  | "     | 4.7 kΩ "       |                      |
| U42     | LSI | LH-0080   | Z-80 CPU       | R43     | "     | 100 Ω 1/4w±5%  |                      |
| U43     | I C | SN74S04   |                | R44     | "     | 2.2 kΩ 1/4w±2% |                      |
| U44, 45 | "   | SN74LS74  |                | R45     | 抵抗    | 10 kΩ 1/4w±5%  |                      |

(CPUボード)

(キーボード)

| 部品番号    | 名称              | 形名・規格                      | 備 | 考 | 部品番号                | 名称     | 形名・規格                      | 備 | 考 |
|---------|-----------------|----------------------------|---|---|---------------------|--------|----------------------------|---|---|
| R46     | 抵抗              | 1 k $\Omega$ 1/4w $\pm$ 2% |   |   | U <sub>1</sub> ~4   | IC     | SN75454                    |   |   |
| R47     | "               | 220 k $\Omega$ "           |   |   | U <sub>5</sub>      | "      | SN7445                     |   |   |
| C1      | コンデンサ           | 33 $\mu$ F 16wv            |   |   | LED <sub>1</sub> ~8 | LED    | GL-9R04                    |   |   |
| C2      | "               | 1000pF 50wv                |   |   | Q <sub>1</sub> ~8   | トランジスタ | 2SB561                     |   |   |
| C3, 4   | "               | 330pF "                    |   |   | R <sub>1</sub>      | 抵抗     | 220 $\Omega$ 1/4w $\pm$ 5% |   |   |
| C5      | "               | 100pF "                    |   |   | R <sub>2</sub>      | "      | 47 $\Omega$ "              |   |   |
| C6      | "               | 0.01 $\mu$ F "             |   |   | R <sub>3</sub>      | "      | 1 k $\Omega$ "             |   |   |
| C7      | "               | 1 $\mu$ F 35wv             |   |   | R <sub>4</sub>      | "      | 220 $\Omega$ "             |   |   |
| C8      | "               | 0.22 $\mu$ F "             |   |   | R <sub>5</sub>      | "      | 47 $\Omega$ "              |   |   |
| C9      | "               | 1 $\mu$ F "                |   |   | R <sub>6</sub>      | "      | 1 k $\Omega$ "             |   |   |
| C10     | "               | 1000pF 50wv                |   |   | R <sub>7</sub>      | "      | 220 $\Omega$ "             |   |   |
| C11     | "               | 0.1 $\mu$ F 35wv           |   |   | R <sub>8</sub>      | "      | 47 $\Omega$ "              |   |   |
| C12     | "               | 0.01 $\mu$ F 50wv          |   |   | R <sub>9</sub>      | "      | 1 k $\Omega$ "             |   |   |
| C13     | "               | 1 $\mu$ F 35wv             |   |   | R <sub>10</sub>     | "      | 220 $\Omega$ "             |   |   |
| C14     | "               | 0.022 $\mu$ F 50wv         |   |   | R <sub>11</sub>     | "      | 47 $\Omega$ "              |   |   |
| C15, 16 | "               | 1 $\mu$ F 35wv             |   |   | R <sub>12</sub>     | "      | 1 k $\Omega$ "             |   |   |
| C17, 18 | "               | 33 $\mu$ F 25wv以上          |   |   | R <sub>13</sub>     | "      | 220 $\Omega$ "             |   |   |
| CA~F    | "               | 1 $\mu$ F 25wv以上           |   |   | R <sub>14</sub>     | "      | 47 $\Omega$ "              |   |   |
|         |                 | 1 $\mu$ F 35wv             |   |   | R <sub>15</sub>     | "      | 1 k $\Omega$ "             |   |   |
| ICS1    | ICソケット          | C93-40-02                  |   |   | R <sub>16</sub>     | "      | 220 $\Omega$ "             |   |   |
| ICS2, 3 | "               | C93-24-02                  |   |   | R <sub>17</sub>     | "      | 47 $\Omega$ "              |   |   |
| ICS4, 5 | "               | C93-40-02                  |   |   | R <sub>18</sub>     | "      | 1 k $\Omega$ "             |   |   |
| J1      | コネクタ            | 4800-100-135               |   |   | R <sub>19</sub>     | "      | 220 $\Omega$ "             |   |   |
| J2-1    | "               | FAP-34-02#2                |   |   | R <sub>20</sub>     | "      | 47 $\Omega$ "              |   |   |
| J2-2    | ソケット            | FAS-34-03B                 |   |   | R <sub>21</sub>     | "      | 1 k $\Omega$ "             |   |   |
| J3      | コネクタ            | 4600-044-112               |   |   | R <sub>22</sub>     | "      | 220 $\Omega$ "             |   |   |
| EJ1     | イヤホンジャック        | X-G8514                    |   |   | R <sub>23</sub>     | "      | 47 $\Omega$ "              |   |   |
| EJ2, 3  | "               | S-G8026                    |   |   | R <sub>24</sub>     | "      | 1 k $\Omega$ "             |   |   |
| RY1     | リレー             | NR-H-5V                    |   |   | C <sub>1</sub>      | コンデンサ  | 33 $\mu$ F 25wv            |   |   |
| SW1     | スイッチ            | MTM106D-R                  |   |   | C <sub>2</sub>      | "      | 33 $\mu$ F 16wv            |   |   |
| P2, 3   | ジャンパ線<br>チェックピン | WP-2型A                     |   |   | J2                  | コネクタ   | FAP-34-02#2                |   |   |
|         |                 |                            |   |   |                     | キースイッチ | KBD-801H                   |   |   |
|         |                 |                            |   |   |                     | キーパネル  | A, B1対                     |   |   |
|         |                 |                            |   |   |                     | ゴム足    | BU692-F                    |   |   |

34ピンヘッダ  
25キー

## 付録8 モニタプログラム リスト

K1.SR ASMBL'D BY Z-80 ASSEMBLER REV-A.1 03/27/78  
 TITLE SM-B-80T — LH-8H02

001 SM-B-80T

```

1      ;
2      ;
3      ;
4      ;
5      TITLE      SM-B-80T
6      F000      ROM      EQU      0E000H      ;ROM STARTING ADDRESS
7      FF00      RAM      EQU      0FF00H      ;OS RAM STARTING ADDRESS
8      FFCC      MODE      EQU      RAM+0CCH      ;USER PROGRAM MODE
9      FFFD      SEGBUF      EQU      MODE+1      ;SEGMENT BUFFER
10     FFD5      DISBUF      EQU      SEGBUF+8      ;DISPLAY BUFFER
11     FFD0      FLAG      EQU      DISBUF+8      ;CHATTERING FLAG
12     FFDE      REMSW      EQU      FLAG+1      ;REMOTE SWITCH FLAG
13     FFD5      DATA      EQU      REMSW+1      ;DATA REG.
14     FFE1      ADDR      EQU      DATA+2      ;ADDRESS REG.
15     FFE3      SAVE      EQU      ADDR+2      ;USER REG. SAVE AREA
16     FFFD      BCOUNT      EQU      SAVE+26      ;BREAK COUNTER
17     FFFE      BADDR      EQU      BCOUNT+1      ;BREAK ADDRESS
18     FFCC      STACK      EQU      MODE      ;MONITOR STACK
19     FF9A      USER      EQU      STACK-50      ;USER STACK
20     00D9      INT      EQU      0D9H      ;SYSTEM NMI PORT
21     00D1      PIOAC      EQU      0D1H      ;PIO A CONTROL
22     00D0      PIOAD      EQU      0D0H      ;PIO A DATA
23     00D3      PIOBC      EQU      0D3H      ;PIO B CONTROL
24     00D2      PIOBD      EQU      0D2H      ;PIO B DATA
25     00DB      TAPEC      EQU      0DBH      ;8251 CONTROL
26     00DA      TAPED      EQU      0DAH      ;8251 DATA
27     00D8      SYS      EQU      0D8H      ;SYSTEM CONTROL
28     00DC      REM      EQU      0DCH      ;REMOTE SWITCH
29     ORG      ROM
30     ;
31     ;
32     ;
33     ;
34     F000 C303E0      MAIN:      JP      $+3
35     E003 D3D8      OUT      (SYS),A      ;RESET E000
36     E005 AF      XOR      A
37     E006 0616      LD      B,22
38     F008 21C0FF      LD      HL,SEGBUF
39     F00B 77      MA10:      LD      (HL),A      ;CLEAR REMSW,DATA,ADDR
40     E00C 23      INC      HL
41     E00D 10FC      DJNZ      MA10
42     E00F 2EF0      LD      L,BCOUNT & 0FFH
43     E011 77      LD      (HL),A      ;CLEAR BCOUNT
44     E012 2EF7      LD      L,SAVE+20 & 0FFH
45     E014 77      LD      (HL),A      ;CLEAR USER IFF
46     E015 2E9A      LD      L,USER & 0FFH      ;SET UP USER STACK
47     F017 22F3FF      LD      (SAVE),HL
48     F01A 3ECF      LD      A,0CFH
49     E01C D3D3      OUT      (PIOBC),A      ;SET PIO B CONTROL MODE
50     E01E D3D8      OUT      (TAPEC),A
  
```

002 SM-B-80T

```

51 E020 3E0F          LD      A,0FH          ;DUMMY
52 E022 D3D3          OUT     (PIOBC),A        ;SET PIO A OUTPUT MODE
53 E024 D3D1          OUT     (PIOAC),A
54 E026 31CCFF        MA20:  LD      SP,STACK    ;SET UP MONITOR STACK
55 E029 CDF7E2        CALL    DISP1          ;DISPLAY ADDR,DATA
56 E02C C03FE3        MA30:  CALL    KEYIN      ;KEYIN
57 E02F 2126E0        MA50:  LD      HL,MA20     ;PUSH RETURN ADDRESS
58 E032 E5            PUSH   HL
59 E033 FE10          CP      10H
60 E035 DA1BE3        JP      C,SHIFT        ;DATA KEY
61 E038 21E7E3        LD      HL,JPTAB       ;COMMAND KEY
62 E03B D610          SUB     10H
63 E03D 07            RLCA
64 E03E 85            ADD     A,L
65 E03F 6F            LD      L,A
66 E040 7E            LD      A,(HL)
67 E041 23            INC     HL
68 E042 66            LD      H,(HL)
69 E043 6F            LD      L,A
70 E044 F9            JP      (HL)          ;GO TO EACH COMMAND ROUTINE
71 ;
72 ;
73 ;
74 ;
***** FUNCTION *****
75 E045 C03FE3        FUNC:  CALL    KEYIN      ;NEXT KEY INPUT
76 E048 FE11          CP      11H
77 E04A CAC6E1        JP      Z,LOAD        ;LOAD KEY
78 E04D FE12          CP      12H
79 E04F CA36F2        JP      Z,STORE       ;STORE KEY
80 E052 FE10          CP      10H
81 E054 2859          JR      Z,RG100       ;REG' KEY
82 E056 FE16          CP      16H
83 E058 C0            RET
84 E059 21DEFF        REMOTE: LD      HL,REMSW   ;REMOTE KEY
85 E05C 34            INC     (HL)          ;CHECK REMSW
86 E05D DBDC          IN      A,(REM)       ;REMOTE ON
87 E05F C8            RET
88 E060 D3DC          OUT     (REM),A        ;REMOTE OFF
89 E062 74            LD      (HL),H        ;TURN OFF FLAG
90 E063 C9            RET
91 ;
92 ;
93 ;
94 ;
***** INTERRUPT *****
95 ;
96 E066 C369E0        INTER: JP      $+3      ;NMI ENTRY ADDRESS
97 E069 D3D8          OUT     (SYS),A        ;RESET E000
98 E06B ED73E3FF      LD      (SAVE),SP     ;SAVE USER SP
99 E06F 31FDFF        LD      SP,SAVE+26
100 E072 F5            PUSH   AF

```



003 SM-B-80T

```

101 E073 F5      PUSH    AF          ;SAVE AF
102 E074 E057     LD      A,I        ;SAVE I,IFF
103 E076 F5      PUSH    AF
104 E077 C5      PUSH    BC          ;SAVE BC
105 E078 D5      PUSH    DE          ;SAVE DE
106 E079 E5      PUSH    HL          ;SAVE HL
107 E07A D9      EXX
108 E07B 08      EX      AF,AF'      ;SAVE AF'
109 E07C F5      PUSH    AF
110 E07D C5      PUSH    BC          ;SAVE BC'
111 E07E D5      PUSH    DE          ;SAVE DE'
112 E07F E5      PUSH    HL          ;SAVE HL'
113 E080 3AF7FF   LD      A,(SAVE+20)
114 E083 E604     AND      4
115 E085 0F      RRCA
116 E086 0F      RRCA
117 E087 32F7FF   LD      (SAVE+20),A
118 E08A D9      EXX
119 E08B 08      EX      AF,AF'
120 E08C DDE5     PUSH    IX          ;SAVE IX
121 E08E FDE5     PUSH    IY          ;SAVE IY
122 E090 ED7BE3FF LD      SP,(SAVE)
123 E094 E1      POP     HL          ;GET OLD PC
124 E095 ED73E3FF LD      (SAVE),SP
125 E099 22FBFF   LD      (SAVE+24),HL ;SAVE PC
126 E09C 22E1FF   LD      (ADDR),HL ;DISPLAY PC
127 E09F 2AF9FF   LD      HL,(SAVE+22)
128 E0A2 22DFFF   LD      (DATA),HL ;DISPLAY AF
129 E0A5 3ACCFE   LD      A,(MODE) ;CHECK USER MODE
130 E0A8 3C      INC      A
131 E0A9 C25AE1   JP      NZ,EX00 ;RUN MODE
132 E0AC C326E0   JP      MA20 ;STEP MODE
133 ;
134 ;
135 ;
136 ;
***** REGISTER *****
137 E0AF CD3FE3   RG100: CALL    KEYIN ;INPUT REG' KEY
138 E0B2 FE08     CP      8
139 E0B4 D8      RET      C
140 E0B5 FE10     CP      10H
141 E0B7 D0      RET      NC
142 E0B8 C608     ADD      A,8 ;ADD OFFSET
143 E0BA 1806     JR      RG60
144 E0BC CD3FE3   REG:  CALL    KEYIN ;INPUT REG. KEY
145 E0BF FE10     CP      10H
146 E0C1 D0      RET      NC ;IF COMMAND KEY, IGNORE
147 E0C2 47      LD      B,A
148 E0C3 87      ADD      A,A
149 E0C4 119DE3   LD      DE,SYMTAB
150 E0C7 83      ADD      A,E

```

```

151 E0C8 5F          LD      E,A
152 E0C9 210CFF      LD      HL,DISBUF+7
153 E0CC 1A          LD      A,(DE)
154 E0CD E6F0        AND     0FH
155 E0CF 0F          RRCA
156 E0D0 0F          RRCA
157 E0D1 0F          RRCA
158 E0D2 0F          RRCA
159 E0D3 C60A        ADD     A,0AH          ;GET 1'ST CHARACTER
160 E0D5 77          LD      (HL),A      ;STORE IT TO DISPLAY BUFFER
161 E0D6 2B          DEC     HL
162 E0D7 1A          LD      A,(DE)
163 E0D8 E60F        AND     0FH
164 E0DA C60A        ADD     A,0AH          ;GET 2'ND CHARACTER
165 E0DC 77          LD      (HL),A      ;STORE IT
166 E0DD 2B          DEC     HL
167 E0DE 3615        LD      (HL),15H    ;STORE SPACE
168 E0E0 2B          DEC     HL
169 E0E1 3617        LD      (HL),17H    ;STORE '-'
170 E0E3 13          INC     DE
171 E0E4 1A          LD      A,(DE)
172 E0E5 21E3FF      LD      HL,SAVE
173 E0E8 85          ADD     A,L
174 E0E9 6F          LD      L,A          ;GET ADDR. OF REG. SAVE AREA
175 E0EA 54          LD      D,H
176 E0EB 5D          LD      E,L
177 E0EC 7E          LD      A,(HL)
178 E0ED 23          INC     HL
179 E0EE 66          LD      H,(HL)
180 E0EF 6F          LD      L,A
181 E0F0 78          LD      A,B
182 E0F1 FE05        CP      5          ;1 BYTE REG.
183 E0F3 3802        JR      C,RG10
184 E0F5 2600        LD      H,0
185 E0F7 220FFF      RG10: LD      (DATA),HL    ;STORE CONTAINT OF REG. TO DATA REG.
186 E0FA CDFCE2      CALL   DISP2
187 E0FD CD3FE3      RG20: CALL   KEYIN      ;INPUT NEXT KEY
188 E100 FE13        CP      13H      ;IF RUN KEY, RETURN
189 E102 CB          RET
190 E103 FE15        CP      15H
191 E105 2814        JR      Z,RG40      ;WRITE KEY
192 E107 FE11        CP      11H
193 E109 281C        JR      Z,RG70      ;INCR KEY
194 E10B FE12        CP      12H
195 E10D 2821        JR      Z,RG80      ;DECR KEY
196 E10F FE10        CP      10H
197 E111 3026        JR      NC,RG90
198 E113 CD1BE3      CALL   SHIFT      ;DATA KEY
199 F116 CDFCF2      CALL   DISP2      ;DISPLAY DATA REG.
200 F119 1AF2        JR      RG20

```

005 SM-R-80T

```

201 E11B 2ADFFF  RG40:  LD      HL,(DATA)      ;LOAD DATA TO HL
202 E11E ER      EX      DE,HL
203 E11F 73      LD      (HL),E      ;STORE LOW BYTE TO ITS SAVE AREA
204 E120 78      LD      A,B
205 E121 FE05    CP      5
206 E123 3002    JR      NC,RG70      ;IF 1 BYTE REG, SKIP
207 E125 23      INC      HL
208 E126 72      LD      (HL),D      ;STORE HIGH BYTE
209 E127 78      RG70:  LD      A,B
210 E128 3C      INC      A      ;INREMENTE REG. NO.
211 E129 FE18    CP      18H
212 E12B 3895    JR      C,RG60
213 E12D AF      XOR      A      ;IF OVER RANGE, CLEAR REG. NO.
214 E12E 1892    JR      RG60
215 E130 78      RG80:  LD      A,B
216 E131 3D      DEC      A
217 E132 F2C2E0  JP      P,RG60
218 E135 3E17    LD      A,23
219 E137 1889    JR      RG60
220 E139 E1      RG90:  POP      HL
221 E13A F5      PUSH     AF
222 E13B CD24E3  CALL     SEGCON
223 E13E F1      POP      AF      ;RECOVER COMMAND KEY
224 E13F C32FE0  JP      MA50
225 ;
226 ;
227 ;
228 ;
***** RUN,STEP *****
229 E142 3EFF    STEP:  LD      A,0FFH      ;STEP COMMAND ROUTINE
230 E144 32CCFF  EX50:  LD      (MODE),A      ;SET USER PROGRAM MODE
231 E147 1824    JR      EX40
232 E149 2AE1FF  RUN:   LD      HL,(ADDR)      ;RUN COMMAND ROUTINE
233 E14C 22FBFF  LD      (SAVE+24),HL      ;SET UP PC
234 E14F 3AFDFF  LD      A,(BCOUNT)      ;CHECK BCOUNT
235 E152 A7      AND      A
236 E153 28EF    JR      Z,EX50      ;IF BCOUNT IS NON ZERO, TRACE MODE
237 E155 3E01    LD      A,1      ;BP IS ACTIVE
238 E157 32CCFF  EXEC:  LD      (MODE),A      ;SET USER PROGRAM MODE
239 E15A 2AFBFF  EX00:  LD      HL,(SAVE+24)      ;GET CURRENT USER'S PC
240 E15D ED5BFEFF LD      DE,(BADDR)      ;GET BREAK ADDRESS
241 E161 87      OR      A
242 E162 ED52    SBC      HL,DE      ;CHECK THEM
243 E164 2007    JR      NZ,EX40      ;IF NOT EQUALE, COUNTINE
244 E166 21FDFF  LD      HL,BCOUNT      ;IF EQUALE, DECREMENT BCOUNT
245 E169 35      DEC      (HL)
246 E16A CA26E0  JP      Z,MA20      ;IF ZERO, BREAK
247 E16D 2AFBFF  EX40:  LD      HL,(SAVE+24)      ;GET PC
248 E170 E5      PUSH     HL
249 E171 7E      LD      A,(HL)
250 F172 FECB    CP      0CBH

```

006 SM-B-80T

|     |      |          |      |              |                                 |
|-----|------|----------|------|--------------|---------------------------------|
| 251 | E174 | 280B     | JR   | Z,EX41       |                                 |
| 252 | E176 | F60F     | AND  | OFH          |                                 |
| 253 | E178 | FE0D     | CP   | ODH          |                                 |
| 254 | E17A | 200A     | JR   | NZ,EX42      |                                 |
| 255 | E17C | 7E       | LD   | A,(HL)       |                                 |
| 256 | E17D | FEDD     | CP   | ODDH         |                                 |
| 257 | E17F | 3805     | JR   | C,EX42       |                                 |
| 258 | E181 | 21F7FF   | LD   | HL,SAVE+20   |                                 |
| 259 | E184 | C8F6     | SET  | 0,(HL)       |                                 |
| 260 | E186 | E1       | POP  | HL           |                                 |
| 261 | E187 | ED7BE3FF | LD   | SP,(SAVE)    | ;GET SP                         |
| 262 | E18B | E5       | PUSH | HL           | ;PUSH USER'S PC ON USER'S STACK |
| 263 | E18C | 2AF9FF   | LD   | HL,(SAVF+22) | ;GET AF                         |
| 264 | E18F | E5       | PUSH | HL           | ;PUSH AF TOO                    |
| 265 | E190 | ED73E3FF | LD   | (SAVE),SP    | ;SAVE SP                        |
| 266 | E194 | 31E5FF   | LD   | SP,SAVE+2    | ;LOAD SAVE ADDRESS TO SP        |
| 267 | E197 | FDE1     | POP  | IY           | ;RESTORE IY                     |
| 268 | E199 | DDE1     | POP  | IX           | ;RESTORE IX                     |
| 269 | E19B | D9       | EXX  |              |                                 |
| 270 | E19C | 08       | EX   | AF,AF        |                                 |
| 271 | E19D | E1       | POP  | HL           | ;RESTORE HL                     |
| 272 | E19E | D1       | POP  | DE           | ;RESTORE DE                     |
| 273 | E19F | C1       | POP  | BC           | ;RESTORE BC                     |
| 274 | E1A0 | F1       | POP  | AF           | ;RESTORE AF                     |
| 275 | E1A1 | D9       | EXX  |              |                                 |
| 276 | E1A2 | 08       | EX   | AF,AF        |                                 |
| 277 | E1A3 | E1       | POP  | HL           | ;RESTORE HL                     |
| 278 | E1A4 | D1       | POP  | DE           | ;RESTORE DE                     |
| 279 | E1A5 | C1       | POP  | BC           | ;RESTORE BC                     |
| 280 | E1A6 | F1       | POP  | AF           |                                 |
| 281 | E1A7 | ED47     | LD   | I,A          | ;RESTORE I                      |
| 282 | E1A9 | ED7BE3FF | LD   | SP,(SAVE)    | ;RESTORE SP                     |
| 283 | E1AD | 3ACCF    | LD   | A,(MODE)     | ;GET MODE                       |
| 284 | E1B0 | 3001     | JR   | NC,EX10      | ;CHECK USER'S IFF               |
| 285 | E1B2 | FB       | EI   |              |                                 |
| 286 | E1B3 | 2009     | JR   | NZ,EX30      |                                 |
| 287 | E1B5 | A7       | AND  | A            | ;CHECK USER MODE                |
| 288 | E1B6 | 2804     | JR   | Z,EX20       |                                 |
| 289 | E1B8 | F1       | POP  | AF           |                                 |
| 290 | E1B9 | D3D9     | OUT  | (INT),A      |                                 |
| 291 | E1BB | C9       | RET  |              | ;RETURN TO USER PROGRAM         |
| 292 | E1BC | F1       | POP  | AF           |                                 |
| 293 | E1BD | C9       | RET  |              | ;RETURN TO USER PROGRAM         |
| 294 | E1BE | A7       | AND  | A            |                                 |
| 295 | E1BF | 28FB     | JR   | Z,EX20       |                                 |
| 296 | E1C1 | F1       | POP  | AF           |                                 |
| 297 | E1C2 | D3D9     | OUT  | (INT),A      |                                 |
| 298 | E1C4 | 00       | NOP  |              |                                 |
| 299 | E1C5 | C9       | RFT  |              | ;RETURN TO PROGRAM              |
| 300 |      |          |      |              |                                 |



007 SM-B-80T

```

301 ;
302 ; ***** LOAD *****
303 ;
304 E1C6 3E40 LOAD: LD A,40H ;LOAD COMMAND ROUTINE
305 E1C8 D3DB OUT (TAPEC),A ;RESET R251
306 E1CA 3ECD LD A,0CDH ;SET UP 8251
307 E1CC D3DB OUT (TAPEC),A
308 E1CE D3DC OUT (REM),A ;REMOTE ON
309 E1D0 CDR5E2 CALL WAIT5 ;WAIT 5 SEC.
310 E1D3 3E04 LD A,4
311 E1D5 D3DB OUT (TAPEC),A ;RECEIVE ENABLE
312 E1D7 1E01 LD E,1 ;INITIALIZE BLOCK NO.
313 E1D9 0E00 LD10: LD C,0
314 E1DB CD29E2 CALL TPIN ;READ BLOCK NO.
315 E1DE BB CP E ;CHECK IT
316 E1DF 2033 JR NZ,ERROR ;IF NOT EQUAL, ERROR
317 E1E1 CD29E2 CALL TPIN
318 E1E4 47 LD B,A ;READ BLOCK LENGTH
319 E1E5 CD29E2 CALL TPIN
320 E1E8 57 LD D,A ;READ BLOCK TYPE
321 E1E9 CD29E2 CALL TPIN
322 E1EC 67 LD H,A ;READ LOAD ADDRESS (HI)
323 E1ED CD29E2 CALL TPIN
324 E1F0 6F LD L,A ;READ LOAD ADDRESS (LOW)
325 E1F1 78 LD A,B
326 E1F2 A7 AND A
327 E1F3 2811 JR Z,LD40 ;IF BLOCK LENGTH = 0, SKIP
328 E1F5 7B LD A,E
329 E1F6 3D DEC A
330 E1F7 2003 JR NZ,LD20
331 E1F9 22E1FF LD (ADDR),HL ;IF 1ST BLOCK, SET LOAD ADDRESS
332 E1FC CD29E2 LD20: CALL TPIN ;READ DATA
333 E1FF 77 LD (HL),A ;AND STORE IT TO MEMORY
334 E200 22DFFF LD (DATA),HL ;SET CURRENT LOAD ADDRESS
335 E203 23 INC HL
336 E204 10F6 DJNZ LD20
337 E206 CD29E2 LD40: CALL TPIN ;READ CHECK SUM
338 E209 79 LD A,C
339 E20A A7 AND A
340 E20B 2007 JR NZ,ERROR ;IF C IS NON ZERO, CHECK SUM ERROR
341 E20D 1C INC E
342 E20E 15 DEC D ;IF BLOCK TYPE = 1, DATA BLOCK
343 E20F 28C8 JR Z,LD10
344 E211 14 INC D ;IF BLOCK TYPE = 0, END OF BLOCK
345 E212 280E JR Z,LD30
346 E214 0608 ERROR: LD B,8 ;ERROR MESSAGE ROUTINE
347 E216 21CDFF LD HL,SEGBUF
348 E219 3640 ER10: LD (HL),40H ;DISPLAY '----' '----'
349 E21B 23 INC HL
350 E21C 10FB DJNZ ER10

```

008

SM-B-80T

```

351 F21E 712CF0      LD      HL,MA30
352 F221 E3          EX      (SP),HL
353 F222 AF          LD30:   XOR      A
354 F223 32DEFF      LD      (REMSW),A
355 F226 DBDC        IN      A,(RE4)      ;REMOTE OFF
356 E228 C9          RET
357 E229 DBDB        TPIN:   IN      A,(TAPEC)    ;RECEIVE READY?
358 E22B CB4F        BIT      1,A
359 E22D 28FA        JR      Z,TPIN      ;NO, CHECK AGAIN
360 E22F DBDA        IN      A,(TAPED)    ;INPUT DATA
361 E231 F5          PUSH     AF
362 E232 81          ADD      A,C
363 E233 4F          LD      C,A          ;RENEW CHECK SUM
364 E234 F1          POP      AF
365 E235 C9          RET
366 ;
367 ;
368 ; ***** STORE *****
369 ;
370 F236 3E40        STORE:   LD      A,40H      ;CASSETTE TAPE STORE ROUTINE
371 E238 D3DB        OUT      (TAPEC),A      ;RESET 8251
372 E23A 3ECE        LD      A,0CEH
373 E23C D3DB        OUT      (TAPEC),A      ;SET UP 8251
374 E23E 3E01        LD      A,1
375 E240 D3DB        OUT      (TAPEC),A      ;TRANSMIT ENABLE
376 E242 2ADFFF      LD      HL,(DATA)
377 E245 ED5BE1FF    LD      DE,(ADDR)
378 E249 AF          XOR      A
379 E24A ED52        SBC      HL,DE
380 E24C D8          RET      C
381 E24D D3DC        OUT      (REM),A      ;REMOTE ON
382 E24F 23          INC      HL          ;STORE BYTE COUNT
383 E250 E5          PUSH     HL
384 E251 063C        LD      B,60
385 F253 CDB7E2      CALL     WAIT          ;WAIT 30 SEC.
386 F256 1E01        LD      E,1
387 E258 53          ST50:    LD      D,E
388 E259 CDC2E2      CALL     TPOUT        ;WRITE BLOCK NO.
389 F25C E1          POP      HL
390 E25D 01FF00      LD      BC,255      ;MAX. LENGTH IN A BLOCK
391 E260 AF          XOR      A
392 E261 ED42        SBC      HL,BC
393 F263 3008        JR      NC,ST10
394 E265 09          ADD      HL,BC
395 E266 85          ADD      A,L
396 E267 47          LD      B,A
397 E268 2E00        LD      L,0
398 E26A 282F        JR      Z,ST20
399 E26C 3E          DEFB     3FH      ;SKIP NEXT INSTRUCTION
400 F26D 41          ST10:   LD      R,C

```

009

SM-B-80T

|                 |        |      |           |                           |
|-----------------|--------|------|-----------|---------------------------|
| 401 E26E F5     | ST30:  | PUSH | HL        |                           |
| 402 E26F 4B     |        | LD   | C,E       |                           |
| 403 E270 50     |        | LD   | D,B       |                           |
| 404 E271 CDC2E2 |        | CALL | TPOUT     | ;WRITE BLOCK LENGTH       |
| 405 E274 1601   |        | LD   | D,1       |                           |
| 406 E276 CDC2E2 |        | CALL | TPOUT     | ;WRITE BLOCK TYPE         |
| 407 E279 2AE1FF |        | LD   | HL,(ADDR) |                           |
| 408 E27C 54     |        | LD   | D,H       |                           |
| 409 E27D CDC2E2 |        | CALL | TPOUT     | ;WRITE LOAD ADDRESS (HI)  |
| 410 E280 55     |        | LD   | D,L       |                           |
| 411 E281 CDC2E2 |        | CALL | TPOUT     | ;WRITE LOAD ADDRESS (LOW) |
| 412 E284 56     | ST40:  | LD   | D,(HL)    |                           |
| 413 E285 CDC2E2 |        | CALL | TPOUT     | ;WRITE DATA               |
| 414 E288 23     |        | INC  | HL        |                           |
| 415 E289 10F9   |        | DJNZ | ST40      |                           |
| 416 E28B 78     |        | LD   | A,B       |                           |
| 417 E28C 91     |        | SUB  | C         |                           |
| 418 E28D 57     |        | LD   | D,A       |                           |
| 419 E28E CDC2E2 |        | CALL | TPOUT     | ;WRITE CHECK SUM          |
| 420 E291 22E1FF |        | LD   | (ADDR),HL |                           |
| 421 F294 CDB5E2 |        | CALL | WAIT5     | ;WAIT 5 SEC.              |
| 422 E297 1C     |        | INC  | E         |                           |
| 423 E298 18BE   |        | JR   | ST50      |                           |
| 424 E29A 55     | ST20:  | LD   | D,L       |                           |
| 425 E29B 0604   |        | LD   | B,4       |                           |
| 426 E29D CDC2E2 | ST60:  | CALL | TPOUT     | ;WRITE END BLOCK          |
| 427 E2A0 10FB   |        | DJNZ | ST60      |                           |
| 428 E2A2 78     |        | LD   | A,B       |                           |
| 429 E2A3 93     |        | SUB  | E         |                           |
| 430 E2A4 57     |        | LD   | D,A       |                           |
| 431 E2A5 CDC2E2 |        | CALL | TPOUT     | ;WRITE CHECK SUM          |
| 432 E2A8 CDB5E2 |        | CALL | WAIT5     | ;WAIT 5 SEC.              |
| 433 E2AB 3E08   |        | LD   | A,B       |                           |
| 434 E2AD D3DB   |        | OUT  | (TAPEC),A | ;WRITE SPACE              |
| 435 E2AF CDB5E2 |        | CALL | WAIT5     | ;WAIT 5 SEC.              |
| 436 E2B2 C322E2 |        | JP   | LD30      |                           |
| 437 E2B5 060A   | WAIT5: | LD   | B,10      | ;5 SEC. WAIT ROUTINE      |
| 438 E2B7 219DB8 | WAIT:  | LD   | HL,47261  | ;0.5 SEC. WAIT ROUTINE    |
| 439 E2BA 2B     | WA10:  | DEC  | HL        |                           |
| 440 E2BB 7C     |        | LD   | A,H       |                           |
| 441 E2BC 85     |        | OR   | L         |                           |
| 442 E2BD 20FB   |        | JR   | NZ,WA10   |                           |
| 443 E2BF 10F6   |        | DJNZ | WAIT      |                           |
| 444 E2C1 C9     |        | RET  |           |                           |
| 445 E2C2 DBDB   | TPOUT: | IN   | A,(TAPEC) | ;TRANSMIT READY?          |
| 446 E2C4 0F     |        | RRCA |           |                           |
| 447 F2C5 30FB   |        | JR   | NC,TPOUT  | ;NO, WAIT                 |
| 448 F2C7 7A     |        | LD   | A,0       |                           |
| 449 F2C8 D3DA   |        | OUT  | (TAPE),A  | ;OUTPUT DATA              |
| 450 E2CA 81     |        | ADD  | A,C       |                           |

010 SM-B-80T

```

451 E2CB 4F          LD      C,A          ;RENEW CHECK SUM
452 E2CC C9          RET
453
454
455
456
457 E2CD 2ADFFF      ADRSET: LD      HL,(DATA)      ;ADDRESS SET ROUTINE
458 E2D0 22E1FF      LD      (ADDR),HL
459 E2D3 181C        JR      IR10
460
461
462
463
464 E2D5 2AE1FF      DECR:  LD      HL,(ADDR)      ;DECREMENT & READ MEMORY ROUTINE
465 E2D8 2B          DEC      HL
466 E2D9 1816        JR      IR10
467 E2DB 3ADFFF      READ:  LD      A,(DATA)
468 E2DE 32E0FF      LD      (DATA+1),A      ;SHIFT 1 BYTE DATA REG.
469 E2E1 7E          LD      A,(HL)      ;LOAD MEMORY DATA
470 E2E2 32DFFF      LD      (DATA),A      ;STORE IT TO DATA REG.
471 E2E5 C9          RET
472
473
474
475
476 E2E6 2AE1FF      WRITE: LD      HL,(ADDR)      ;WRITE ROUTINE
477 E2E9 3ADFFF      LD      A,(DATA)
478 E2EC 77          LD      (HL),A
479
480
481
482
483 E2ED 2AE1FF      INCR:  LD      HL,(ADDR)      ;INCREMENT & READ MEMORY ROUTINE
484 E2F0 23          INC      HL
485 E2F1 C0DBE2      IR10:  CALL  READ      ;MEMORY READ
486 E2F4 22E1FF      LD      (ADDR),HL
487
488
489
490
491 E2F7 D9          DISP1: EXX          ;DISPLAY DATA REG. ROUTINE
492 E2F8 0604        LD      B,4
493 E2FA 1803        JR      DP10
494
495
496
497
498 E2FC D9          DISP2: EXX          ;DISPLAY DATA & ADDR
499 E2FD 0602        LD      B,2
500 E2FF 21DFFF      DP10:  LD      HL,DATA      ;HL IS POINTER TO DATA REG.

```



```

501 E302 11D5FF      LD      DE,DISBUF      ;DE IS POINTER TO DISBUF
502 E305 7E          LD      A,(HL)      ;GET DATA REG.
503 E306 E60F        AND      OFH        ;MASK OFF UPPER 4 BITS
504 E308 12          LD      (DE),A      ;STORE IT TO DISPLAY BUFFER
505 E309 7E          LD      A,(HL)      ;RECOVER IT
506 E30A E6F0        AND      OF0H       ;MASK OFF LOWER 4 BITS
507 E30C 0F          RRCA              ;ROTATE RIGHT 4 BITS
508 E30D 0F          RRCA
509 E30E 0F          RRCA
510 E30F 0F          RRCA
511 E310 13          INC      DE
512 E311 12          LD      (DE),A      ;STORE IT
513 E312 13          INC      DE
514 E313 23          INC      HL
515 E314 10EF        DJNZ     DP20
516 E316 CD24E3      CALL    SEGCON      ;SEGMENT CONVERT
517 E319 D9          EXX
518 E31A C9          RET
519
520
521
522
523 E31B 21DFFF      SHIFT: LD      HL,DATA      ;SHIFT DIGIT RIGHT DATA REG.
524 E31E ED6F        RLD
525 E320 23          INC      HL
526 E321 ED6F        RLD
527 E323 C9          RET
528
529
530
531
532 E324 0608        SEGCON: LD      B,8          ;SET UP COUNTER
533 E326 21D5FF      LD      HL,DISBUF
534 E329 11CDFF      LD      DE,SEGBUF
535 E32C 7E          LD      A,(HL)
536 E32D E5          PUSH     HL
537 E32E 21CDE3      LD      HL,SEGTAB      ;HL IS POINTER TO SEGMENT TABLE
538 E331 85          ADD      A,L
539 E332 6F          LD      L,A
540 E333 4E          LD      C,(HL)
541 E334 1A          LD      A,(DE)
542 E335 E680        AND      80H          ;NON EFFECTIVE DECIMAL POINT
543 E337 B1          OR      C
544 E338 12          LD      (DE),A
545 E339 E1          POP      HL
546 E33A 23          INC      HL
547 E33B 13          INC      DE
548 E33C 10EE        DJNZ     SC10
549 E33E C9          RET
550

```

```

551 ;
552 ; ***** KEYIN *****
553 ;
554 E33F D9 KEYIN: EXX ;KEY INPUT & LED DISPLAY ROUTINE
555 E340 CD70E3 KI60: CALL SCAN ;KEY INPUT?
556 E343 2826 JR Z,KI10 ;NO, CLEAR FLAG
557 E345 0604 KI30: LD B,4 ;WAIT FOR CHATTERING TIME
558 E347 CD70E3 KI20: CALL SCAN
559 E34A 10FB DJNZ KI20
560 E34C 2810 JR Z,KI10
561 E34E 5F LD E,A ;SAVE KEY NO.
562 E34F 3ADDF LD A,(FLAG)
563 E352 A7 AND A
564 E353 20F0 JR NZ,KI30 ;IF FLAG IS NON ZERO, WAIT AGAIN
565 E355 7B LD A,E
566 E356 32DDFF LD (FLAG),A ;TURN ON FLAG
567 E359 E60F AND OFH
568 E35B 0E00 LD C,0
569 E35D 0F KI40: RRCA
570 E35E 3803 JR C,KI50
571 E360 0C INC C
572 E361 18FA JR KI40
573 E363 7B KI50: LD A,E
574 E364 E670 AND 70H
575 E366 0F RRCA
576 E367 0F RRCA
577 E368 B1 OR C ;A IS KEY SEQ. NO.
578 E369 09 EXX
579 E36A C9 RET
580 E36B 32DDFF KI10: LD (FLAG),A
581 E36E 18D0 JR KI60
582 E370 1600 SCAN: LD D,0 ;SCAN LED & KEY BOARD
583 E372 0E70 LD C,70H ;SET UP DIGIT COUNTER
584 E374 21D4FF LD HL,SEGBUF+7 ;HL IS POINTER TO SEGMENT BUFFER
585 E377 3E80 SN20: LD A,80H
586 E379 D3D2 OUT (PIOBD),A ;DISABLE DIGIT SIGNAL
587 E37B 7E LD A,(HL) ;LOAD SEGMENT DATA
588 E37C 2B DEC HL
589 E37D D3D0 OUT (PIOAD),A ;OUTPUT IT
590 E37F 79 LD A,C
591 E380 D3D2 OUT (PIOBD),A ;OUTPUT DIGIT DATA
592 E382 DBD2 IN A,(PIORD) ;INPUT KEY DATA
593 E384 2F CPL
594 E385 E60F AND OFH
595 E387 2802 JR Z,SN10
596 E389 B1 OR C ;IF GET ANY KEY, SAVE IT
597 E38A 57 LD D,A
598 E38B 3E2A SN10: LD A,40 ;WAIT
599 E38D 3D SN30: DEC A
600 E38E 20FD JR NZ,SN30

```

013

SM-B-80T

601 E390 79  
602 E391 D610  
603 E393 4F  
604 E394 30E1  
605 E396 3E80  
606 E398 D3D2  
607 E39A 7A  
608 E39B A7  
609 E39C C9

610  
611  
612  
613

614 E39D 82  
615 E39E 18  
616 E39F F8  
617 E3A0 00  
618 E3A1 E9  
619 E3A2 04  
620 E3A3 EA  
621 E3A4 02  
622 E3A5 10  
623 E3A6 18  
624 E3A7 12  
625 E3A8 1A  
626 E3A9 ED  
627 E3AA 15  
628 E3AB E5  
629 E3AC 14  
630 E3AD 6D  
631 E3AE 0F  
632 E3AF 7D  
633 E3B0 0E  
634 E3B1 0D  
635 E3B2 17  
636 E3B3 1D  
637 E3B4 13  
638 E3B5 2D  
639 E3B6 12  
640 E3B7 3D  
641 E3B8 11  
642 E3B9 4D  
643 E3BA 10  
644 E3BB 5D  
645 E3BC 16  
646 E3BD 6C  
647 E3BE 07  
648 E3BF 7C  
649 E3C0 06  
650 F3C1 0C

LD A,C  
SUB 10H  
LD C,A ;NEXT DIGIT  
JR NC,SN20  
LD A,B0H  
OUT (PI0BD),A ;DISABLE DIGIT SIGNAL  
LD A,D  
AND A ;RESTORE KEY DATA  
RET

\*\*\*\*\* SYMTAB \*\*\*\*\*

SYMTAB: DEFB 82H ;PC  
DEFB 24  
DEFB 0F8H ;SP  
DEFB 0  
DEFB 0E9H ;IX  
DEFB 4  
DEFB 0EAH ;IY  
DEFB 2  
DEFB 10H ;BA  
DEFB 27  
DEFB 12H ;BC  
DEFB 26  
DEFB 0EDH ;I  
DEFB 21  
DEFB 0E5H ;IF  
DEFB 20  
DEFB 6DH ;H  
DEFB 15  
DEFB 7DH ;L  
DEFB 14  
DEFB 0DH ;A  
DEFB 23  
DEFB 1DH ;B  
DEFB 19  
DEFB 2DH ;C  
DEFB 18  
DEFB 3DH ;D  
DEFB 17  
DEFB 4DH ;E  
DEFB 16  
DEFB 5DH ;F  
DEFB 22  
DEFB 6CH ;H'  
DEFB 7  
DEFB 7CH ;L'  
DEFB 6  
DEFB 0CH ;A'

014 SM-B-80T

651 E3C2 0D  
652 E3C3 1C  
653 E3C4 0B  
654 E3C5 2C  
655 E3C6 0A  
656 E3C7 3C  
657 E3C8 09  
658 E3C9 4C  
659 E3CA 08  
660 E3CB 5C  
661 E3CC 0C

DEFB 13  
DEFB 1CH ;B'  
DEFB 11  
DEFB 2CH ;C'  
DEFB 10  
DEFB 3CH ;D'  
DEFB 9  
DEFB 4CH ;E'  
DEFB 8  
DEFB 5CH ;F'  
DEFB 12

662  
663  
664  
665

\*\*\*\*\* SEG TAB \*\*\*\*\*

666 E3CD 5C  
667 E3CE 06  
668 E3CF 5B  
669 E3D0 4F  
670 E3D1 66  
671 E3D2 6D  
672 E3D3 7D  
673 E3D4 27  
674 E3D5 7F  
675 E3D6 6F  
676 E3D7 77  
677 E3D8 7C  
678 E3D9 39  
679 E3DA 5E  
680 E3DB 79  
681 E3DC 71  
682 E3DD 74  
683 E3DE 38  
684 E3DF 73  
685 E3E0 76  
686 E3E1 6E  
687 E3E2 40  
688 E3E3 20  
689 E3E4 00  
690 E3E5 06  
691 E3E6 6D

SEG TAB: DEFB 5CH ;D  
DEFB 6 ;1  
DEFB 5BH ;2  
DEFB 4FH ;3  
DEFB 66H ;4  
DEFB 6DH ;5  
DEFB 7DH ;6  
DEFB 27H ;7  
DEFB 7FH ;8  
DEFB 6FH ;9  
DEFB 77H ;A  
DEFB 7CH ;B  
DEFB 39H ;C  
DEFB 5EH ;D  
DEFB 79H ;E  
DEFB 71H ;F  
DEFB 74H ;H  
DEFB 38H ;L  
DEFB 73H ;P  
DEFB 76H ;X  
DEFB 6EH ;Y  
DEFB 40H ;~  
DEFB 20H ;'  
DEFB 0 ;SPACE  
DEFB 6 ;I  
DEFB 6DH ;S

692  
693  
694  
695

\*\*\*\*\* JPTAB \*\*\*\*\*

696 E3E7 BCE0  
697 E3E9 EDE2  
698 E3EB D5E2  
699 E3ED 49E1  
700 E3EF 42F1

JPTAB: DEFW REG ;REGISTER DISPLAY ROUTINE  
DEFW INCR ;INCREMENT & READ MEMORY ROUTINE  
DEFW DECR ;DECREMENT & READ MEMORY ROUTINE  
DEFW RUN ;EXECUTE USER'S PROGRAM ROUTINE  
DEFW STEP ;ONE STEP EXECUTE USER'S PROGRAM ROUTINE



115

SN-B-80T

```

701 F3F1 E6E2      DEFW      WRITE      ;WRITE & READ MEMORY ROUTINE
702 E3F3 CDE2      DEFW      ADDRSET    ;ADDRESS SFT ROUTINE
703 E3F5 45E0      DEFW      FUNC       ;SHIFT KEY ROUTINE
704 E3F7           END

```

# SM-B-80T SYMBOL TABLE

|             |             |             |              |
|-------------|-------------|-------------|--------------|
| ADDR -FFF1  | ADRSET-E2CD | HADDR -FFFE | BCOUNT-FFFFD |
| DATA -FFDF  | DECR -E2D5  | DISRUF-FFD5 | DISP1 -F2F7  |
| DISP2 -E2FC | DP10 -F2FF  | DP20 -E305  | FR10 -F219   |
| FIROR -E214 | FX00 -E15A  | EX10 -E1B3  | EX20 -E1BC   |
| EX30 -F1BE  | EX40 -E16D  | EX41 -E181  | EX42 -E186   |
| EX50 -E144  | EXEC -E157  | FLAG -FFD0  | FUNC -E045   |
| INCR -F2ED  | INT -00D9   | INTER -E066 | IR10 -E2F1   |
| JPTAB -F3E7 | KEYIN -E33F | KI10 -E36B  | KI20 -E347   |
| KI30 -E345  | KI40 -E35D  | KI50 -E363  | KI60 -E340   |
| LD10 -F1D9  | LD20 -E1FC  | LD30 -E222  | LD40 -E206   |
| LOAD -E1C6  | MA10 -F00B  | MA20 -F026  | MA30 -E02C   |
| MA50 -E02F  | MAIN -E000  | MODE -FFCC  | PIOAC -00D1  |
| PIOAD -00D0 | PIORC -00D3 | PIOBD -00D2 | RAM -FF00    |
| READ -E2DR  | REG -F0BC   | REM -00DC   | REMOTE-E059  |
| REMSW -FFDE | RG10 -F0F7  | RG100 -F0AF | RG20 -E0FD   |
| RG40 -E11B  | RG60 -E0C2  | RG70 -E127  | RG80 -E130   |
| RG90 -E139  | ROM -F000   | RUN -E149   | SAVE -FFE3   |
| SC10 -E32C  | SCAN -E370  | SEGBUF-FFCD | SFGCON-E324  |
| SEGTAB-E3CD | SHIFT -E31B | SN10 -E38B  | SN20 -E377   |
| SN30 -E38D  | ST10 -E26D  | ST20 -E29A  | ST30 -E26E   |
| ST40 -E284  | ST50 -E258  | ST60 -F29D  | STACK -FFCC  |
| STEP -E142  | STORE -E236 | SYMTAB-E39D | SYS -00D8    |
| TAPEC -00DB | TAPFD -00DA | TPIN -E229  | TPOUT -E2C2  |
| USFR -FF9A  | WA10 -E2BA  | WAIT -E2B7  | WAIT5 -E2B5  |
| WRITE -E2E6 |             |             |              |

# Z-80

## クロスアセンブラマニュアル

# 8



# 目 次

|                             |    |
|-----------------------------|----|
| 1. 概 要 .....                | 1  |
| 2. アセンブラの機能 .....           | 2  |
| 2.1 オブジェクトの作成 .....         | 2  |
| 2.2 リストの作成 .....            | 3  |
| 2.3 シンボル・テーブルの作成 .....      | 3  |
| 2.4 クロス・リファレンス・リストの作成 ..... | 4  |
| 2.5 ディスク・ファイルの作成 .....      | 4  |
| 3. アセンブラの書式 .....           | 5  |
| 3.1 行の書式 .....              | 5  |
| 3.2 記述子 .....               | 6  |
| 3.3 数値、式 .....              | 6  |
| 3.4 ラベル .....               | 8  |
| 3.5 オペコード .....             | 8  |
| 3.6 オペランド .....             | 9  |
| 3.7 アセンブラ命令 .....           | 10 |
| 4. アセンブル出力 .....            | 13 |
| 4.1 リストの内容 .....            | 13 |
| 4.2 エラー・コード .....           | 13 |
| 5. 操 作 .....                | 15 |
| 5.1 アセンブル・コマンド .....        | 15 |
| 5.2 アセンブルの実行 .....          | 16 |



### 1. 概 要

Z-80クロス・アセンブラ (Z80A) は、ミニ・コンピュータ 'NOVA' のDOS (ディスク・オペレーティング・システム) 下で実行できる、Z80ソース・プログラムのアセンブル用プログラムである。

クロス・アセンブラは、NOVAのアセンブリ語で書かれていて、全ステップ数はデータ・エリアも含め約7KWである。NOVAのDOSサイズにも依るが、主記憶部の必要容量として、16~24KW程度あれば実行可能である。

Z-80クロス・アセンブラはNOVAの 'FDOS' 'RDOS' 'MRDOS' のいずれの管理下でも、またNOVA01、02、3のいずれの機種においても実行できるようになっている。

アセンブラの機能は、次の如くである。

1. オブジェクト・ファイルの作成と出力
2. アセンブル・リスト及びシンボル・テーブルの作成と出力
3. クロス・リファレンス・リストの作成と出力
4. 各リストのディスク・ファイルの作成

入力・出力装置は、NOVAのDOSが管理するすべての装置を利用できる。

- |                  |           |
|------------------|-----------|
| 1. コンソール         | (TTY、CRT) |
| 2. 紙テープ・リーダーパンチャ | (PTR、PTP) |
| 3. 紙カード・リーダー     | (CDR)     |
| 4. ライン・プリンタ      | (LPT)     |

アセンブルすべきソース・ファイルとして、次のいずれかをを用意する必要がある。

1. オフラインで作成された紙テープ・ソース
2. テキスト・エディタなどで作成したソース・ファイル
3. リンクされたディスク・ファイル
4. IBMカード・ソースなど

アセンブル後作成されるオブジェクトは、直接紙テープに出力する以外に、必要なら一旦ディスク・ファイルとして作成し、保存しておくことも可能である。このディスク・ファイルは、適時他の形体 (紙テープ、磁気テープ) で出力できる。

他のファイル (リストなど) も、同様にできる。

## 2. アセンブラ ( Z 8 0 A ) の機能

クロス・アセンブラ ( Z 8 0 A ) は、次のような機能を有している。

- Z-80のアセンブラ語 (ザイログ社オリジナル) で書かれたソース・プログラムから、所定の形式 (インテル・フォーマット) のオブジェクト・ファイルを作成し、出力する。
- ソース・プログラムに、エラー・コード、ステートメント番号、アドレス、マシン・コードなどを付し、リポートするアSEMBル・リストを出力する。
- ラベル (シンボル) を一覧表にしたシンボル・テーブルを作成し、アSEMBル・リストに付加する。
- ラベルがオペランドとして用いられている箇所の、ステートメント番号を、ラベルに対応させ一覧表にした、クロス・リファレンス・リストを作成する。

### 2.1 オブジェクトの作成

オブジェクトのフォーマットは、Fig 2.1 のようなインテルフォーマットで作成される。

レコード長MAXは、30バイト分であり、

最後にチェック・サム (2の補数) と、CR

(キャリッジ・リターン)、LF (ライン・フィールド) が付加される。

チェックサムは、レコード長フィールドから、チェックサム・フィールドまでの総和の2の補数値が出される。

各データの水平パリティは、'偶' である。

データのある場合、レコード・タイプは00、ファイルの終端 (EOF) の場合、タイプは、01である。

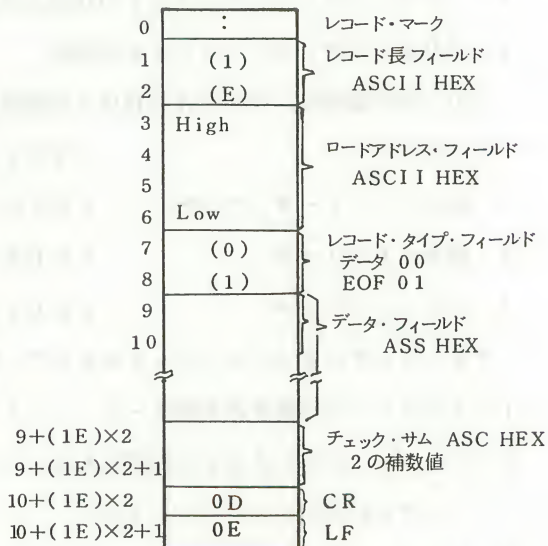


Fig 2.1

## 2.2 リストの作成

アセンブル・リストは、Fig 2.2のような形式で出される。

1行内に、エラー・コード、ステートメント番号、アドレスまたは、EQUで指定されたデータ、及びマシン・コード（最大4バイト分）の順で出力され、その後ソース行が出される。

|     |      |        |                     |      |            |         |
|-----|------|--------|---------------------|------|------------|---------|
| 91  | 00DD |        | TBUFF:              | DEFS | NTITL+1    |         |
| 92  | 00EE |        | DATE:               | DEFS | 11         |         |
| 93  | 00F9 |        | PSOR:               | DEFS | 2          |         |
| 94  | 00FB |        | BTAB:               | DEFS | 2          |         |
| 95  |      |        | ;★★★★★★ LTAB ★★★★★★ |      |            |         |
| 96  | 1900 |        | LTAB                | EQU  | 1900H      |         |
| 97  | 3FFF |        | M16K                | EQU  | 3FFFH      |         |
| 98  |      |        | ;★★★★★★ MAIN ★★★★★★ |      |            |         |
| 99  |      |        |                     | ORG  | 100H       |         |
| 100 | 0100 | 1E00   | MAIN:               | LD   | E, 0       | Fig 2.2 |
| 101 | 0102 | 21FF3F |                     | LD   | HL, M16K   |         |
| 102 | 0105 | 220200 |                     | LD   | (MTAB), HL |         |
| 103 | 0108 | 210019 | MA02:               | LD   | HL, LTAB   |         |
| 104 | 010B | 220000 |                     | LD   | (PTAB), HL |         |
| 105 | 010E | 1802   |                     | JR   | MA06       |         |
| 106 | 0110 | 1E40   | CROSS:              | LD   | E, 40H     |         |

|    |               |         |      |
|----|---------------|---------|------|
| 番号 | アドレス<br>(データ) | マシン・コード | ソース行 |
|----|---------------|---------|------|

エラー・コード桁

エラー・コードは行の先頭に出される。

ステートメント番号は、5桁の10進数で、ゼロサプレスされ、出力される。

アドレスは、4桁の16進数である。

マシン・コードは、最大4バイトまで同一行に出される。これを越えた分は、次の行に出される。

## 2.3 シンボル（ラベル）・テーブルの作成

指定（後述）がない限り、このシンボル・テーブルは自動的に、アセンブル・リストの後に付加され、出力される。

1桁に4個のシンボルとその置かれているアドレス、または等価なデータが出力される。

指定（後述）によって、シンボルは出現順、またはアルファベット順のいずれにでも配列できる。

## 2.4 クロス・リファレンス・リストの作成

シンボルがオペランドとして使用されている箇所すべての、ステートメント番号が、各シンボルに対して付加される。

指定（後述）により、シンボルの配列を出現順、またはアルファベット順のいずれでも作成できる。

## 2.5 ディスク・ファイルの作成

上述の3種の出力（リスト、オブジェクトなど）は、直接各装置へ出力せず、一旦ディスク・ファイルとして作成しておくことができる。

このディスク・ファイルは、DOSの管理下で他のファイルと同様な扱いが可能である。



### 3. アセンブラの書式

ソース・プログラムは、以下に述べるような書式（フォーマット）で作成する。

アセンブリ語として、オペコードはザイログ社オリジナルのニモニックを使用し、他に一般的なアセンブリ語を数種使用する。

a、マシン・コードに変換されるアセンブリ語

LD、ADD、JPなど68種

b、その他のアセンブリ語（擬似命令語）

ORG、END、DEFMなど7種

各文（ステートメント）は、1行単位で記述し、行終端は必ず、復帰（CR：キャリッジ・リターン）、または改行（LF：ライン・フィード）でなければならない。

＊ 以下の説明の為に、ここで次のような記号を定めておく。

␣（SP）；スペース（空白）を意味する。

␣（HT）；タブレーション（タブ）を意味する。

↵（CR）；キャリッジ・リターン（復帰）を意味する。

␣（LF）；ライン・フィード（改行）を意味する。

，（CM）；コンマ（区切）を意味する。

ソース・プログラムで、最少限必要なアセンブラに対する命令語は、'END'であり、プログラムの最後に必ず書かねばならない。

ロードすべき、ロケーションの初めを指定するために、'ORG'命令が必要であるが、指定が無ければ、自動的に0（ゼロ）番地から始められる。

#### 3.1 行の書式

1行内に、ラベル、オペコード（ニモニック）、オペランド、コメント文の順に書き、行終端はCR（キャリッジ・リターン）または、LF（ライン・フィード）でなければならない。

行内の各要素は、全部必要な訳ではなく、次のような種々の行構成があり得る。

- ラベルのみの行
- オペコードのみの行
- コメント文のみの行
- オペコード、オペランドのみの行

○ そ の 他

### 3.2 記述子

行内の各要素（文字列）を特徴付けるために、次のような各種の記述子（記号）が設けられている。

□ ( S P ) ; この前後にある文字列を、分離する。

$$\hookrightarrow (HT) \quad ; \quad //$$
 $\rho$ , (CM) ; //

: (コロン) ; これの前にある文字列を、ラベルとする。

; (セミコロン) ; 此の後にある文字列を、コメント文とする。

<sup>1</sup> (クォーティション) ; これらで挟まれた文字を、アスキーコードのまゝで扱う。

<,> (ブラケット) ; これらで挟まれた文字列を、数値として扱う。(但し、DEFM命令内のみ有効)

+ (プラス) ; この後の文字列と等価な値を、前の文字列と等価な値に加える。

－（マイナス）；この後の文字列と等価な値を、前の文字列と等価な値から減じる。

＊（アスタリスク）；この後の文字列と等価な値を、前の文字列と等価な値に乘ずる。

／（スラッシュ）；この後の文字列と等価な値を、前の文字列と等価な値から除す。

& (アンド) ; この後の文字列と等価な値と、前の文字列と等価な値との論理積をとる。

！（感嘆符）；この後の文字列と等価な値と、前の文字列と等価な値との論理和をとる。

### 3.3 数值、式

オペランドとして、通常数値及び文字列を含む式が使える。

この内、数値には、次の4種が許される。

a、2進数 ; 数字列の後尾に 'B' を付す。

( 8 桁まで、許される )

1 0 1 1 B  
          ↑

b、8進数 ; 数字列の後尾に、'O' または 'Q' を付す。(5桁まで、許される)

3 4 O      3 4 Q  
↑            ↑

c、10進数 ; 数字列の後尾に、'D' を付すか、または、何も付さない。(5桁まで)

5 6 D      5 6  
↑            ↑

d、16進数 ; 数字列の後尾に、'H' を付す。(4桁まで許される) 数字列の先頭に  
'0' (ゼロ) を付すことが、望ましい。(先頭文字が、A~Fの場合、  
まずレジスタ名として、次にラベルとして調べられる。一致しなければ、  
16進数として、処理される)

7 8 H      0 A B H  
↑            ↑        ↑

式は、演算記号で結ばれた文字列、数字群の一組であり、演算記号は、前述(下に再記)の6種が許される。

+, -, \*, /, &, !

演算は、行の左から順に行われる。括弧でくくることは、許されない。

e、数値式                      2 3 H - 1 0 + 3 Q / 4 H \* 8 (= 3 8 H)

f、文字(ラベル式)      L T A B + B I A S & M A S K

式内のSP(スペース)、HT(タブ)は無視される。

但し、CM(コンマ)は、式毎の分離を行う機能を有する。

数値、ラベル以外に数値と等価な記号として、次の2種がある。

g、ピリオド(.) ; その行に対応するロケーションの値(アドレス値)が代入される。

J P      . + 5      ( = J P    1 0 5 H  
                                         アドレス: 1 0 0 番地 )

h、ダラー(\$) ; ピリオドに同じ。

J P      \$ - 3      ( = J P    4 F D H  
                                         アドレス: 5 0 0 番地 )

オペコードが、多バイト命令である場合、その先頭バイトのアドレス値が採られる。

尚、オペランドとして、アスキー文字を使うことができる。

i、クォーティション(') ; これで挟まれた1文字のコードを、代入する。

L D      A, ' ? '      ( = L D    A, 3 F H )

C P      ' < ' + 2      ( = C P    3 E H )

但し、クォーティション・マーク自身を挟むことは、許されない。

LD A, ' ' ' (フォーマット・エラーとなる)

### 3.4 ラベル

ラベルは、文字、数字から成る6文字以内の文字列で書き、ロケーション、またはオペランドの値を充当させる。

先頭の文字に、数字は使えない。

ラベルは、その文字列の後尾に、':' (コロン) を付すか、行の先頭 (第1コラム) から、書き始める。

␣ABC:---

ABC ---

↑  
行の先頭 (第1コラム)

ラベルの文字数が、6文字を越える場合、越えた分については無視される。

異なるラベルを、同一ロケーションに設定したい場合、次のように書く。

E200 ABC:↓

E200 EF:↓

E200 JKLM:␣LD␣A, B↓

↑  
(アドレス) (ラベル)

同一名のラベルを、複数個定義することは、許されない。

オペコードと同一名のラベルを使用してもよい。

使用できるラベルの総数は、メモリの残量によつて決まる。

### 3.5 オペコード (ニモニック)

オペコードは、ザイログ社のニモニックを使用する。

データ転送 ; LD、PUSH、POP

ブロック転送 ; LDI、LDIR、LDD、LDDR

データ交換 ; EX、EXX

データ比較 ; CP

ブロック探索 ; CPI、CPIR、CPD、CPDR

算術演算 ; ADD、SUB、SBC、ADC



|          |                                                                                                              |
|----------|--------------------------------------------------------------------------------------------------------------|
| 論理演算     | ; AND、OR、XOR                                                                                                 |
| データ操作    | ; INC、DEC、DAA、CPL<br>NEG、CCF、SCF<br>RLCA、RLA、RRCA、RRA<br>RLC、RL、RRC、RR、SLA<br>SRA、SRL、RLD、RRD<br>BIT、SET、RES |
| CPU制御    | ; NOP、HALT、DI、EI、IM*                                                                                         |
| ジャンプ     | ; JP、JR、DJNZ、CALL<br>RET、RETI、RETN、RST                                                                       |
| 入・出力     | ; IN、OUT                                                                                                     |
| ブロック入・出力 | ; INI、INIR、IND、INDR<br>OUTI、OTIR、OUTD<br>OTDR                                                                |

\*註) IM0、IM1、IM2 許される。

或は、0、1、2 を、オペランドとしてもよい。

### 3.6 オペランド

オペランドとして、所定の文字、前述の数値、式、アスキー・コード、文字列などを使う。

a、所定の文字とは、次に挙げるレジスタ名、条件名など。

|    |            |
|----|------------|
| A  | ; アキュムレータ  |
| B  | ; 汎用レジスタ   |
| C  | ;          |
| D  | ;          |
| E  | ;          |
| H  | ;          |
| L  | ;          |
| F  | ; フラグ・レジスタ |
| AF | ; レジスタ・ペア  |
| BC | ;          |
| DE | ;          |

HL ;レジスタ・ペア

IX ;インデックス・レジスタ

IY ;       

SP ;スタック・ポインタ

NZ ;ノン・ゼロ

Z ;ゼロ

NC ;ノン・キャリ

C ;キャリ

PO ;パリティ奇

PE ;パリティ偶

P ;正

M ;負

尚、間接指定に用いる括弧  $'( )'$ 、 $'(IX \pm)'$ 、 $'(IY \pm)'$  などは、書式を変えてはいけませんが、次のような書式は許される。

$EX^* (SP)HL$  ;  $\equiv EX (SP), HL$

$LD A \square \square (IX + d)$  ;  $\equiv LD A, (IX + d)$

アスキー・コード、文字列をオペランドとして使う例については、アセンブラ命令の項で説明する。

### 3.7 アセンブラ命令

本来の命令語以外に、アセンブラに対する擬似命令（制御）語がある。

アセンブラ命令には、次の8種があり、一部省略形が許される。

TITLE ; Title

ORG ; Origin

END ; End of Source

EQU ; Equalize

DEFS ; Define Storage area

(DS ;       

DEFB ; Define Byte space

(DB ;

DEFW ; Define Word space

( DW ; )

DEFM ; Define Message strings

( DM ; )

各々について、詳細に説明する。尚、書式中の↵は、␣でもよい。

#### a、ORG

書式 ↵ORG↵ABC↵

意味 以降のプログラムを、ロケーションABCから、ロードする。

条件 ABCは、数値、または式であり、ラベルを含む場合、そのラベルは、この行以前で定義されている必要がある。

#### b、END

書式 ↵END↵

意味 ソース・プログラムの終端とする。

条件 ラベルを付すことができるが、オペランドを付けることは許されない。

#### c、EQU

書式 XYZ:↵EQU↵ABC↵

意味 ラベルXYZの値として、ABCを与える。

条件 ABCは、数値、または式であり、ラベルを含む場合、そのラベルは前もって定義されていなければならない。

#### d、DEFS

書式 ↵DEFS↵ABC↵

↵DS↵ABC↵

意味 ストレージ・エリアを、ABCバイト確保する。

条件 ABCは、EQUのと同様で、ラベルを含む場合は、そのラベルが、前もって定義されていること。

#### e、DEFB

書式 ↵DEFB↵ABC↵

↵DB↵ABC↵

意味 ABCの値の下位1バイトの、マシン・コードを出力する。

条件 ABCは、数値、または式で、カンマで区切って、複数組並べて書いてもよい。

#### f、DEFW

書式      DEFW ABC ↙  
            DW ABC ↙

意味      ABCの値2バイトの、マシン・コードを出力する。

条件      ABCは、数値、または式で、カンマで区切って、複数組並べて書いてもよい。

#### g、DEFM

書式 1.    DEFM ABC ↙  
            DM ABC ↙

意味      アスキー・コードA、B、Cを、この順序で出力する。

条件      文字列を同一のターミネータで挟む。このターミネータは、制御コード以外なら、何でもよい。  
            ターミネータのコードは出力されない。

書式 2.    DEFM ABC / < 03FH, 6 >  
            DM A / < 5 > / B / < 0FH >

意味      アングル・ブラケットで挟まれた数値、式の値はそのまま、数値として出力する。

ターミネータの間に挟まれたアングル・ブラケットは、文字コードと見なされるので、注意すること。

#### h、TITLE

書式      TITLE ABC ↙

意味      文字列ABCを、ソース・プログラムのタイトルとする。

条件      文字列の長さは、10文字迄で、これを越える分は無視される。

タイトルは、リスト類の打出しの際にのみ有効であり、ファイル名とは無関係である。



#### 4. アセンブル出力

アセンブル出力は、先述したように、4種の形がある。

この内、アセンブル・リストは、ソースに種々の情報が付加されたものであり、プログラムの確認、修正、改良を容易にするのに役立つ。

##### 4.1 リストの内容

リストの先頭には、リアルタイム・クロックが装備されていれば、年月日の付されたメッセージが出される。

タイトル行は、パス1で、行全部が打ち出されるが、タイトル文は、文字・数字の初めの10文字のみが有効である。

エラーのある行については、後述する。

ステートメント番号は、すべてのソース行について付される。但し、アセンブラによって、余分に作成される行については、付されない。

ロケーション(アドレス)は、'0000' ~ 'FFFF' で表わされる。

'FFFF' を越えて、マシン・コードを発生させねばならない場合、アセンブラは、エラーを出す。

マシン・コードは、1行内に最大4バイト(8コード)出し、それを越える分については、次行に出す。

EQU命令のオペランドに対応する値は、マシン・コードのコラムに出されるが、実際のマシン・コードは出力しない。

エラーのある命令行において、できる限りのコードが作成され、作成し得ない箇所のみ、NOP(00)コードが出される。

##### 4.2 エラー・コード

エラーのある行の先頭に、1及至2文字のコードが出される。

エラー・コードは、次の9種で、他にコーション・コード1種がある。

a、コードB ; バッド・キャラクタ

不適当なキャラクタを使用している。

b、コード F ; フォーマット・エラー

書式が、正しくない。

c、コード J ; ジャンプ・エラー

相対ジャンプで、ジャンプ先が遠過ぎる。

e、コード L ; ラベル・エラー

ラベルが、不適當である。

f、コード M ; マルチ・ラベル・エラー

同一名のラベルが、複数個ある。

g、コード P ; フェーズ・エラー

ラベルの値が、パス毎に異なっている。

h、コード R ; リファレンス・エラー

フェーズ・エラーを生じたラベル、または、複数個あるラベルを参照した。

i、コード U ; アン・デファイン・エラー

未定義のラベルを参照した。

j、コード V ; オーバー・エラー

値が、許される範囲を越えた。

コーション・コードとして、次のものがある。

k、コード ! ; コーション

ラベルの文字数が、6文字を越えた。

許されるが、7文字以降は無視されるので、注意すること。

ブル・パイナリの形で

が実行について述べる

R. J.

- 時点から実行可能とな

な形式で、コンソールに

$$f: \mathbb{R}^n \rightarrow \mathbb{R} \quad \text{with } f(x) = \begin{cases} 1 & \text{if } x \in \mathbb{R}^n \\ 0 & \text{if } x \notin \mathbb{R}^n \end{cases}$$

) 内は省略可 複数は

してはいけない

ル 及バクロフ・リフ

\順にする

ラベル配列は 出現

テ、ソグし、ない

サンブル・リフトを西

3 のファイル名である

イル名 または出力デ

P

はれば、 $\gamma$ がコ、イ、

拡張子は、ローカル・スイッチの指定により異なる。

ローカル・スイッチ

／L ; このファイルに、アセンブル・リストを出力する。

ディスク・ファイルの場合には、このファイル名に、拡張子 ' . L S ' が付加される。

／B ; このファイルに、オブジェクト ( アブソリュート・バイナリ ) を出力する。

ディスク・ファイルの場合には、このファイル名に、拡張子 ' . A B ' が付加される。

／X ; このファイルに、クロス・リファレンス・リストを出力する。

ディスク・ファイルの場合には、このファイル名に、拡張子 ' . X R ' が付加される。

出力ファイルには、必ずいずれかのローカル・スイッチを付す必要がある。

出力ファイルが、指定されなくても、アセンブルを行い、エラー箇所のみ、コンソールに打ち出させることができる。

## 5.2 アセンブルの実行

DOSのCL I下で、先述のコマンドを、コンソールからキーインする。

例1) ディスク・ファイル ' A B C ' の、アセンブルのみ行わせる。( エラーの有無を調べたい場合 )

Z 8 0 A □ A B C ↓

例2) ディスク・ファイル ' A B C ' を、アセンブルし、ライン・プリンタに、リストを出力させる。

Z 8 0 A □ A B C □ \$ L P T / L ↓

例3) 紙テープ・ソースを、アセンブルし、紙テープのオブジェクトを、出力させる。

Z 8 0 A □ \$ P T R □ \$ P T P / B ↓

例4) ディスク・ファイル ' A B C ' を、アセンブルし、ライン・プリンタにリストを、ディスクへクロス・リファレンス・リストと、オブジェクトを出力させる。  
シンボル・テーブルは、付加しない。

Z 8 0 A / N □ A B C □ A B C / X / B □ \$ L P T / L ↓

( ディスク・ファイル { A B C . X R } が、作成される。 )  
                                  { A B C . A B }



同じローカル・スイッチを、異なるファイルに付した場合、先に付加されたファイルのみが、有効となる。

a、アセンブルの中止、中断

コマンドが、正しくキー・インされなかった場合、'?'を打ち出して、CLIに戻る。

入出力に関する制御などは、DOSのシステム・コールを利用しているので、入出力異常時には、DOSがメッセージを出す。

オペレータの意志で、アセンブルを中断させる場合、通常は、次のような操作で行う。

\* CTRLキーとAキーを同時に押す。

これによって、アセンブルは中止され、CLIに戻る。

この時、スイッチ 'X' で、クロス・リファレンス・リストが要求されている場合、次のディスク・ファイルが、作成されたままになることがある。

XRTMP

残しておいても、差支えはないが、消去しておくといよい。

DELETE XRTMP

アセンブルの途中で、ラベル数が規定値を越えると、次のメッセージを打ち出して、アセンブルを中止し、CLIに戻る。

'!! LABEL SAVING AREA OVER-FLOWED!!'

b、アセンブルの終了

アセンブル・コマンドで指定された項目が、すべて遂行された時点で、アセンブルが終了し、CLIに制御が戻る。



# Z-80 9

## テキストエディタマニュアル

## 目 次

|                            |    |
|----------------------------|----|
| 1. 概 要 .....               | 1  |
| 2. エディットバッファ .....         | 1  |
| 3. 文字の使用 .....             | 1  |
| 4. テキストエディタの動作の開始、終了 ..... | 2  |
| 5. 入 出 力 .....             | 2  |
| 6. コマンドの説明 .....           | 3  |
| 7. エラー時等の処理 .....          | 15 |
| 8. キー入力の特別の意味 .....        | 16 |
| 添 付 表 .....                | 18 |
| エディタコマンド一覧表 .....          | 18 |



## SM-B-80D テキストエディタ EDIT

### 1. 概 要

SM-B-80Dテキストエディタは、SM-B-80Dモニタ(LH-8S03)と共に用い、ASCIIコードの文字列を作成、修正、編集することができる。

このテキストエディタを用いれば様々な文字列を作成でき、特にマイクロコンピュータ等でのアセンブラソースの作成、及びアセンブルした後でのデバッグの為に修正に適している。ソース紙テープ、あるいは、キーボードによってソースを入力し、ソースの文字の削除、追加、変更等が、文字単位あるいは行単位で簡単に行なえ、出力として、ソース紙テープを新しくパンチすることができる。

### 2. エディットバッファ

1) エディットバッファ ソースプログラムのメモリ領域とキーボードよりの入力のメモリ領域として使用される。ソースのメモリ領域とキーボードよりの入力のメモリ領域は共存しており、その占有する割合は可変となっている。エディットバッファは、常に有効な活用を行なっている。

2) バッファポインタ ソースプログラムの文字列を扱っていく場合、1文字を1単位として処理を行なう。その場合に、扱っている文字の位置を示す必要があり、それをバッファポインタとして以下で述べるコマンドの実行の基準となる。エディタバッファ内でバッファポインタはソースプログラムのいかなる文字に動かすことも可能である。

### 3. 文字の使用

1) CR (Carriage Return) エディタバッファ内に於ては、CRが行の終りとしての意味をもち、CRごとに行単位が構成される。エディタの制御の中では、CRは常にLF (Line Feed) の機能を合せて行なう。(CRがキーボード入力されると、CRとLFが一緒に印字される。)

2) LF (Line Feed) エディタバッファ内には入力されないようになっている。従って、紙テープ入力及びキーボード入力ではLFはすべて読みとばされる。

3) TAB (Tab) テキストエディタは、TABキーあるいはCTRL/IキーによってTAB文字が入力される。これは、バッファ内では、9Hとして書きこまれているが、印字さ

れる時には、水平TABとして、8文字毎に文字をそろえる役目をもつ。

4) EOT (End of Tape) 紙テープの終了という意味をもつ。

5) FF (Form Feed) 紙テープの一つの単位を示す。従ってFFあるいはEOTによって紙テープ入力は停止する。又、この2つのコードは、バッファ内には入力されないで、読みとばされる。

#### 4. テキストエディタの動作の開始、終了

##### 1) エディタ動作の開始

以下のキーボード入力によってエディタの実行が始まる。

\*E ; G ↵      \*は、モニターのコマンド待ちの状態を示す。

↵は、CRを示す。(PROMバージョンの場合、.ED ; G ↵)

この入力に対してエディタは、実行の開始を示すために以下の文を印字する。

↵  
EDIT V x . y ↵      x . y は、エディタの仕様に対応する。  
\*

\*は、エディタ動作での、キーボードでのコマンド入力の準備完了及び、前のコマンドの実行終了を示す。従って\*が印字されたら、コマンドを入力していくことができる。

##### 2) エディタコマンドの入力

エディタコマンドはキーボードで入力する。そしてコマンド文は一部を除いてESCキーによって区切られ、ESCキー2回続けてうつことにより、コマンドは実行される。尚ESCキーに対して、' \$ ' が印字される。そして、コマンドが実行され終了したことにに対して' \* ' が印字され、新しいコマンドを待つ。

##### 3) エディタ動作の終了

エディタは、以下の2つのコマンドのどちらかでその動作を終了する。

\*H \$ \$      モニターへ制御をうつす

\*X \$ \$      アセンブラに制御をうつす。(アセンブラについては、別資料参照)

#### 5. 入出力

##### 1) 入力 ソースの入力には、次の2種類がある。

###### a. テープ入力 A コマンド

紙テープからテープリーダーによってエディットバッファに直接入力される。入力の終了

は、FFあるいはEOTによって判別される。従って、紙テープ入力の場合最後には常にFFかEOTが必要である。

b、キーボード入力      I コマンド

I コマンドによってキーボードからの入力が行なわれる。エディタバッファへはI以下の文字が入力される。

2) 出力      出力にはソースの内容を印字する方法と、紙テープ出力を行なう方法がある。

a、テープ出力      E、O、P、Yコマンド

ソースの内容をASCIIコードによってパンチする。パリティは、偶数である。

b、タイプ出力      T、Wコマンド

ソースの内容を印字する。

6. コマンドの説明

SM-B-80 Dのテキストエディタのコマンドは、すべてアルファベット1文字から成立っており、そのうちいくつかには数字あるいは負記号が添えられる。

以下に述べるコマンドの説明において、まずエディタバッファ内には、下の様なプログラムが格納されているとする。又、'\$'はESCキーのエコーバックである。

```
; (TAB)      ***      E X A M P L E      *** ↵
(TAB)      X O R (TAB)      A ↵
(TAB)      L D (TAB)      B , 5 0 ↵
(TAB)      L D (TAB)      H L , B U F F E R ↵
MOV : (TAB) L D (TAB)      ( H L ) , A ↵
(TAB)      I N C (TAB)      H L ↵
(TAB)      D E C (TAB)      B ↵
(TAB)      J P (TAB)      N Z , M O V ↵
(TAB)      E N D ↵
```

注：↵はCR(0DH)を示す。

(TAB)はTABコード(09H)を示す。

▽はバッファポインタ(BP)を示す。

1) A ( Append )

Form      A \$

このコマンドで紙テープ入力を指定し、テープ入力をする。読みこまれた入力はバッ

内の既入力末尾からバッファに書きこまれていく。紙テープの終了は、紙テープにパンチされたEOTコードあるいはFFコードによって行なわれる。EOTとFFコードは、バッファ内には書きこまれないが、そのどちらかのコードで終了したかは保存されている。又、NULL(0H)、DEL(7FH)は読みとばされる。

〈例〉

現在下の様な位置にBP(バッファポインタ)があるとする。

```

(TAB)          DEC(TAB)      B↵
▽
(TAB)          JP(TAB)        NZ,MOV↵
(TAB)          END↵

```

この時、下の様な紙テープをセットして、Aコマンドをキーボード入力してやる。

紙テープの内容

←

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| N | N | N | T | * | * | S | E | D | I | T | S | E | N | D | S | * | C | L | E | N | N | N | N | N | N | N |
| U | U | U | ; | A |   | P |   |   |   |   | P |   |   |   | P |   | R | F | O | T | U | U | U | U | U | U |
| L | L | L | B |   |   | A |   |   |   |   | A |   |   |   | A |   |   |   |   |   | L | L | L | L | L | L |

キーボード入力の内容

A (ESC) (ESC)

タイプされる内容

```

[ * ] A $ $
      ↑   ↑   ↑
      |   |   |
      |   |   | ESCキーのエコーバック
      |   |   |
      |   |   | テキストエディタがコマンド待ちであることを表す文字

```

以上の操作により、テキストエディタは紙テープの読み込みに入りEOTコードを読んだ個所で紙テープ入力は終了する。

Aコマンド終了後バッファには、次の様に入力されている。又、バッファポインタ(BP)は、位置を変更していない。

```

(TAB)          DEC(TAB)      B↵
▽
(TAB)          JP(TAB)        NZ,MOV↵
(TAB)          END
; (TAB)        ** EDIT END **↵

```



## 2) B (Begin)

Form B \$ , n B \$  $0 \leq n \leq 65535$

このコマンドは、'B \$' でバッファポインタをソースプログラムの先頭へ位置させるものである。又、'n \$' は、先頭より数えて n 行目の先頭へバッファポインタを位置させるコマンドである。

<例>

現在、下の様にバッファポインタがあるとする。

```

; (TAB)      *** EXAMPLE *** ↵
(TAB)      XOR (TAB)      A ↵
(TAB)      ▽ LD (TAB)      A, 50 ↵

```

この時、下の様にコマンドを入力する。

[ \* ] B \$ \$

バッファポインタは▽の位置にある。

```

▽ ; (TAB)      *** EXAMPLE *** ↵
(TAB)      XOR (TAB)      A ↵
(TAB)      LD (TAB)      A, 50 ↵
▽ (TAB)      LD (TAB)      HL, BUFFER
      ⋮

```

次に、下のコマンドを入力すると、バッファポインタは▽の位置にくる。

[ \* ] 4 B \$ \$

cf. 1. B \$ と 0 B \$ と 1 B \$ は、同じ命令を意味している。

2. B コマンドの次の \$ (ESC キー) は、省略して続けて新たにコマンドを入力することも可能である。下の例は同じ命令である。

<例>

[ \* ] B \$ A \$ \$

[ \* ] B A \$ \$

## 3) C (Change)

Form C strings 1 \$ strings 2 \$

文字列 strings 1 を文字列 strings 2 に変更する。変更するのは、バッファポインタより後のプログラムで、最も近い指定された文字列である。コマンドの実行後、バッファポインタは変更した文字列の次となる。strings 2 がない場合は、strings 1 を削除する。

< 例 >

現在下の様なプログラムの位置にバッファポインタがあるとする。

```

▽
(TAB)          LD (TAB)      HL, BUFFER↵
MOV: (TAB)     LD (TAB)      (HL), A↵

```

次のコマンドを入力する。

[\*] CBUFFER\$SPACE\$\$

結果は下の様になる

```

(TAB)          LD (TAB)      HL, SPACE↵
MOV: (TAB)     LD (TAB)      (HL), A↵

```

次に下のコマンドを入力する

[\*] CMO\$\$

結果は下の様になる。

```

(TAB)          LD (TAB)      HL, SPACE↵
V: (TAB)       LD (TAB)      (HL), A↵

```

#### 4) D (Delete)

Form D\$, n D\$       $0 \leq n \leq 65535$

文字を現在のバッファポインタから n 文字削除する。D\$ と 1 D\$ は同じである。

< 例 >

```

▽
V: (TAB)       LD (TAB)      (HL), A↵
(TAB)          INC (TAB)      HL↵

```

上の状態で次のコマンドを入力する。

[\*] 3 D \$\$

次の様になる。

```

▽
LD (TAB)       (HL), A↵
(TAB)          INC (TAB)      HL↵

```

## 5) E ( End )

Form     E \$

エディタバッファ内の内容を最初からすべてパンチする。そして、入力においてAコマンドが実行されていて、かつその終了状態が、エディタバッファのフル ( Buffer full ) だった場合、テキストエディタは、紙テープを読みそれを複写していき、EOTあるいはFFを複写して終了する。その後256個の空白 ( Null ) をパンチする。

この動作終了後、バッファ内の内容は初期化される。

## 6) F ( Feed )

Form     F \$

256個の空白をパンチするコマンドである。これによって紙テープのリーダーやトレイラーを作成することができる。

<例>

エディタの編集終了で最初に512個の空白 ( Null ) を入れて、エディタバッファの内容をすべてパンチし、エディタ動作を終了したい場合、下の様にコマンドを入力する。

[\*] F \$ F \$ E \$ \$

## 7) G ( Gain )

Form     G \$

エディットバッファ領域の上限を指定するコマンドである。このコマンドにより、RAMの増設等によるエディットバッファ領域の変更が可能となる。この変更は、制御がモニターに戻るまで有効である。

又、このコマンドは、アセンブラとの共通コマンドとなっており、エディタとアセンブラでのみ制御されている場合には、どちらか一方で指定するだけで十分である。

<例>

[\*] G \$ \$ [2]

CORE LIMIT : 3 FFF 7 FFF

現在の領域  
エディタメッセージ

変更すべき領域の上限のアドレス  
( 変更なしの時は、CR(2)のみでよい。 )

## 8) H (Home)

Form H \$

テキストエディタの動作が終了し、制御をモニターへうつす。

このコマンドによって下の様に印字されモニター動作が始まる。

<例>

[\*] H \$ \$ [↵] ← このコマンドでエディタからモニターへ制御がうつる

[↵]

[ SM-B-80D V 1 . 1 ] ← モニタ動作による印字

[\*] ← モニタコマンド待ち

## 9) I (Insert)

Form I strings \$

このコマンドは I に続く文字列 strings をエディットバッファ内のソースプログラムに挿入するものである。挿入する位置は現在のバッファポインタの示す個所である。このコマンドの終了後、バッファポインタは挿入文字列の次に位置する。

<例>

```

      ⋮
(TAB)  LD (TAB)      B , 5 0 ↵
(TAB)  LD (TAB)      HL , BUFFER ↵
      ⋮

```

以上の様な状態の時、次のような I コマンドを入力するとその結果は下の様になる。

[\*] I 4 8 H ↵

```

(TAB)  LD              C , $ $

```

<結果>

```

      ⋮
(TAB)  LD (TAB)      B , 4 8 H ↵
      ⋮
(TAB)  LD (TAB)      C , 5 0 ↵
      ⋮
(TAB)  LD (TAB)      HL , BUFFER ↵
      ⋮

```

次にエディタバッファの最初に I コマンドで文字列を挿入するコマンドは次の様になる。

[\*] B \$ I (TAB) \*\* START \*\* ↵

\$ \$

これによって次の様に変更される

```

(TAB)          ** START ** ↵
▽ ; (TAB)     *** EXAMPLE *** ↵
(TAB)          XOR      A ↵
      ⋮

```



cf. I コマンド入力の場合、FF ( 0 CH )、EOT ( 0 4 H )、NULL ( 0 H )、DEL ( 7 FH )、ESC ( 1 BH )、LF ( 9 H ) は、バッファ内には挿入されることはない。

エディタ動作では、上記の FF、EOT、NULL、LF がキー入力されても読みとばされる。

#### 10) K ( Kill )

Form K \$ , n K \$       $0 \leq n \leq 65535$

バッファポインタから n 行文字列を削除する。K \$ と 1 K \$ は同じである。

< 例 >

|       |         |           |           |
|-------|---------|-----------|-----------|
| MOV : | ▽ (TAB) | LD (TAB)  | (HL), A ↓ |
| (TAB) |         | INC (TAB) | HL ↓      |
| (TAB) |         | DEC (TAB) | B ↓       |

以上の状態の時、次のコマンドを入力する。

[\*] 2 K \$ \$

その結果は次の様になる。

|       |         |           |           |
|-------|---------|-----------|-----------|
| MOV : | ▽ (TAB) | DEC (TAB) | B ↓       |
| (TAB) |         | JP (TAB)  | NZ, MOV ↓ |

#### 11) L ( Line )

Form L \$ , n L \$       $-65535 \leq n \leq 65535$

バッファポインタを現在の位置から、n 行目の先頭に移動する。

L \$、0 L \$、-0 L \$ は、バッファポインタを現在の行の先頭に移動するコマンドとなる。-L \$ と -1 L \$ は同じコマンドである。

< 例 >

|       |       |           |                   |
|-------|-------|-----------|-------------------|
| (TAB) |       | XOR (TAB) | A ↓               |
| (TAB) |       | LD (TAB)  | B, 50 ↓           |
| (TAB) |       | LD (TAB)  | ▽<br>HL, BUFFER ↓ |
| MOV : | (TAB) | LD (TAB)  | (HL), A ↓         |

以上の様な状態であるとする。そして次のコマンドを入力するとバッファポインタは、次の様になる。

[\*] L \$ \$ ————— ▽  
 [\*] 1 L \$ \$ ————— ▽  
 [\*] 3 L \$ \$ ————— ▽

< 結果 >

|   |         |       |     |                     |
|---|---------|-------|-----|---------------------|
|   | ⓧ       | X O R | ⓧ   | A ↵                 |
| ▽ | ⓧ       | L D   | ⓧ   | B , 5 0 ↵           |
| ▽ | ⓧ       | L D   | ⓧ   | H L , B U F F E R ↵ |
|   | M O V : | ⓧ     | L D | ( H L ) , A ↵       |
| ▽ | ⓧ       | I N C | ⓧ   | H L ↵               |
|   | ⓧ       | D E C | ⓧ   | B ↵                 |
|   | ⓧ       | J P   | ⓧ   | N Z , M O V ↵       |

ef. コマンドが連続する時には、ESCキー (\$) を省略することができる。

## 12) M ( More )

Form M \$ , n M \$ - 6 5 5 3 5 ≤ n ≤ 6 5 5 3 5

バッファポインタを現在の位置より n 文字移動するコマンドである。M \$ と 1 M \$ 、- M \$ と - 1 M \$ は同じコマンドを意味する。

< 例 >

上の L コマンドの ▽ にバッファポインタが位置する場合、次の様なコマンドを入力する。

[\*] - 4 M \$ \$ ————— ▽  
 [\*] 1 0 M \$ \$ ————— ▽  
 [\*] M \$ \$ ————— ▽

< 結果 >

|         |   |       |   |                            |
|---------|---|-------|---|----------------------------|
| M O V : | ⓧ | L D   | ⓧ | ( H L <sup>▽</sup> ) , A ↵ |
| ⓧ       |   | I N C | ⓧ | <sup>▽</sup> H L ↵         |

ef. コマンド連続する時は、ESCキー (\$) を省略することもできる。又、CR、TAB は 1 文字として数えられる。

## 13) N ( Next )

Form N \$

エディットバッファ内をすべてパンチして出力し、バッファ内の内容を空にする。続いて紙

14) O (O<sub>ut</sub>)

通常、このコマンドで紙テープの作成をすれば非常に有効である。

15) P ( Punch )

〈例〉

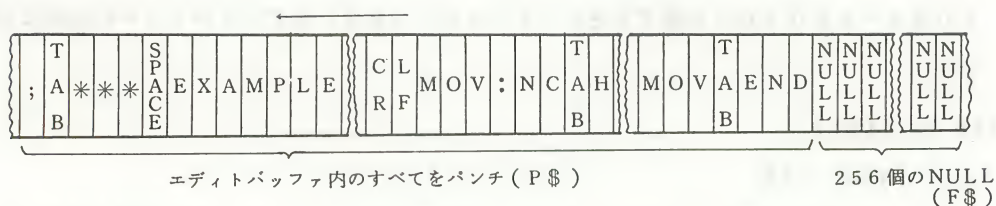
以上の時、下の様なコマンドを入力する。

(\*) F \$ 3 P \$ \$

### 〈結果〉



[\*] P \$ F \$ \$



# 16) Q (Quit)

Form Q \$

エディットバッファの内容をすべて空にして、初期状態にもどすコマンドである。このコマンドの後に他のコマンドを続けて入力しても実行されない。

# 17) R (Rest)

Form R \$

エディタ動作で現在使っていないエディットバッファ領域の大きさを示すコマンドである。このコマンドが入力されると次の様に出力される。

FREE CORE: 8000 BYTES ↓

これによって、8,000文字分文字列を挿入することができることがわかる。

# 18) S (Search)

Form S strings \$

文字列 strings を現在のバッファポインタより捜していくコマンドである。バッファポインタは、捜した strings の次に位置する。

<例>

```

; (TAB)          *** EXAMPLE *** ↓
▽ (TAB)          XOR (TAB)      A ↓
(TAB)            LD (TAB)       B, 50 ↓
(TAB)            LD (TAB)       HL, BUFFER ↓
MOV: (TAB)        LD (TAB)      (HL), A ↓

```

上の状態の時、次の様なコマンドを入力する。

[\*] SLD \$ \$

バッファポインタの位置は次の様になる。

```

(TAB)            LD (TAB)       B, 50 ↓
(TAB)            LD (TAB)       HL, BUFFER ↓

```



もし、探す文字列が見つからない場合は、サーチエラーシンボルがタイプされる。この場合、バッファポインタは移動しない。

〈例〉

[\*] S A B C \$ \$

!! A B C      搜した文字列  
 \_\_\_\_\_      サーチエラーを示す

## 19) T (Type)

Form      T \$ , n T \$       $0 \leq n \leq 65535$

現在のバッファポインタより n 行タイプする。T \$ と 1 T \$ は同じコマンドである。バッファポインタは移動しない。

〈例〉

```

; (TAB)          ▽ *** EXAMPLE *** ↵
(TAB)            XOR (TAB)      A ↵
(TAB)            LD (TAB)       B , 50 ↵
  
```

次のコマンドを入力する。

[\*] 2 T \$ \$ \_\_\_\_\_ 1

[\*] 1 L \$ T \$ \$ \_\_\_\_\_ 2

〈結果1〉

```

*** EXAMPLE ***
          XOR      A
* —— コマンド待ち
  
```

〈結果2〉

```

          XOR      A
* —— コマンド待ち
  
```

このコマンドではESCキー(1BH) '\$' は省略することもできる。次の2つのコマンドは同じである。

〔＊〕 5 T \$ 3 L \$ \$

〔＊〕 5 T 3 L \$ \$

20) U ( Unit )

Form U \$

A S C I Iコードの0 C H ( Form Feed ) を紙テープにパンチする。

< 例 >

〔＊〕 1 P \$ U \$ 1 L \$ 1 P \$ \$

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| T | X | O | R | T | A | C | L | F | T | L | D | T | B | , | 5 | 0 | C |
| A |   |   |   | A |   |   |   | A | A |   |   | A |   |   |   |   |   |
| B |   |   |   | B |   | R | F | F | B |   |   | B |   |   |   |   | R |

↑  
U \$ ( これによって区切りをつけることができる。 )

21) V ( Volume )

Form V \$

A S C I Iコードの0 4 H ( E O T ; End of Text ) を紙テープにパンチする。

22) W ( Write )

Form W \$

エディットバッファの内容をすべて最初からタイプする。この場合、バッファポインタの位置は移動しない。

23) X ( Cross )

Form X \$

制御をアセンブラに移す。この時、エディットバッファの内容は現状のままである。( エディタ 単独の場合はこのコマンドは使用出来ない。 )

24) Y ( Yield )

Form Y \$

2 5 6 個の空白を紙テープにパンチする。続いてエディットバッファの内容を最初からパンチし、それが終了後 F F コード ( 0 C H ) をパンチし、その次に E O T コード ( 0 4 H ) をパンチする。そして、2 5 6 個の空白をパンチする。

このコマンドでは、エディットバッファの内容およびバッファポインタは変化しない。

サブルーチン等の紙テープパンチにこのコマンドを用いれば非常に有効である。

25) Z

Form Z \$ , n Z \$

バッファポインタをソースプログラムの最後に移動させる。また、`'n Z $'` は、バッファポインタをソースプログラムの最後から数えて `n` 行目の先頭に移動させるコマンドである。

ESC キーは省略することができる。

`Z $` と `0 Z $` は同じ命令である。また、`n Z $` は `Z $ - n L $` と同じコマンドである。

## 7. エラー時等の処理

### 1) A コマンド実行中にエディットバッファがいっぱいになった時

紙テープの読み込みを中止し、次のコメントをタイプしコマンド待ちの状態となる。

```
[*] A $ $
```

```
BUFFER FULL !
```

```
[*]
```

この後、キーボードからコマンドを16文字まで入力できる。

### 2) キーボードからの入力の時、エディットバッファがいっぱいになった時

バッファがいっぱいであるコメントをタイプし、さらに、入力していったコマンドの末尾より16文字を削除し、その2行前よりコマンドをタイプしていく。従って、この後続けてキーボード入力をすればよい。

<例>

```
[*] I ; INITIAL CONDITION /
```

```
; A = 0 , B = 0 , C = 1 , D = 3 /
```

```
;          PROGAM  START /
```

```
ABC :      LD _____ ここでバッファがいっぱいになる。
```

```
BUFFER FULL !
```

```
; A = 0 , B = 0 , C = 1 , D = 3
```

```
;          PROG
```

以上の様にタイプする。この状態は、キーボード入力が入力されてきたと考えてよい。従って、この状態に続けてコマンドを適当に入力する。あるいは、入力したコマンドを削除することができる。

バッファが一杯でコマンドが入力できない状態の時、コマンドを入力中に、バッファが一杯となるたびに、コマンドを1文字ずつ多く入力できるようになる。但し、これはコマンド

が4文字になるとこの作業は終了する。この時、バッファの最後の文字から1文字ずつ削除される。

### 3) コマンド文エラーの時

\$\$でコマンドが終了し、その入力方法にエラーがあった場合には、次の様に??を先頭にエラーコマンドをタイプする。

〈例〉

[\*] DABC \$\$

?? DABC ————— DABCというコマンドがわからない。

また、エラーの文字列が16文字列以上の時は、先頭から16文字のみタイプする。そして、次の様に訊ねてくる。

INSERT? (Y: YES)

この時もしIコマンドのつもりで、最初にIを入力することを忘れた場合なら、キーボードの'Y'を入力する。そうすれば、そのエラーコマンドはIコマンドと同じ様に動作する。また、他のエラーの場合は、その他のキー入力を行なえば、コマンドは削除され新たにコマンド待ちの状態になる。

### 4) 文字列の見つからない時

Sコマンド又はCコマンドで指定された文字列が見つからない時、次の様に!!を先頭にタイプして見つからない文字列をタイプする。

〈例〉

[\*] SABC \$\$

!! ABC

[\*] CABC\$DEF \$\$

!! ABC\$DEF

この場合、バッファポインタは前の位置から移動しない。

また、文字列が16文字をこえてしかもそれがみつからない時には、コマンド文エラーと同じ様に'INSERT?'と訊ねてくる。この時、Yをキー入力すれば、S或はCから文字列は挿入される。

## 8. キー入力の意味

### 1) DELキー (= RUB OUTキー)

前に印字した文字を1文字削除する。そして、削除された文字は'\ 'によってはさまれる。



< 例 >

[\*] I ; \*\* APPLY \YL\ END \*\*  
\$ \$

1 回目の DEL キー  
2 回目の DEL キー  
DEL した代り入力する文字

上の様に入力した時には、エディットバッファ内には次の様になる。

; \*\* APPEND \*\*

つまり、'LY' を削除している。

## 2) CR キー

このキーを入力することによって、CR と LF が同時に印字される。

## 3) LF キー

このキーは無視される。

## 4) ESC キー

このキーの入力に対し、'\$' 文字が印字される。

## 5) TAB キー (Control I キー)

8 文字単位で文字をそろえる役目をもつ。

## 6) Control X キー

入力しているコマンドを一行削除する。

## 7) Control Z キー

入力しているコマンドをすべて削除し、コマンド待ちの状態となる。

## 8) Control C キー

コマンドの実行を中断し、新しくコマンド待ちの状態となる。

但しこのコマンドは、パンチ或はタイプの時にのみ有効である。

## 9) その他コントロールキー

コントロールキーを押して入力したことを示すために、'↑' が印字され次にコントロールキーを押さない状態での文字が印字される。

< 例 >

↑ A    コントロール A キー

↑ B    コントロール B キー

Control C キーを入力した場合、コマンドが中断されると次の様に印字する。

(TAB)    LD    (TAB)    A , (HL)

↑    ここで Control C の入力を行なう

(TAB)    LD    (TAB)    A ,

CANCEL !

\* ← コマンド待ち

| エディタコマンド一覧表 ( (\$)は省略可、(-)nは負も可を示す。 ) |                                |        |                                                     |
|---------------------------------------|--------------------------------|--------|-----------------------------------------------------|
| No                                    | 入 力 形 式                        | 名 称    | 説 明                                                 |
| 1                                     | A \$                           | Append | 紙テープ入力、エディットバッファの既入力の末尾から行なう。                       |
| 2                                     | B \$<br>n B (\$)               | Begin  | バッファポインタを先頭より n 行目の先頭へ移動させる。                        |
| 3                                     | C strings 1 \$<br>strings 2 \$ | Change | strings 1 を strings 2 に変更する。                        |
| 4                                     | D \$<br>n D \$                 | Delete | 現在のバッファポインタから n 字削除する。                              |
| 5                                     | E \$                           | End    | エディットバッファ内をすべてパンチし、バッファの内容を初期化する。                   |
| 6                                     | F \$                           | Feed   | 2 5 6 個の N U L L をパンチする。                            |
| 7                                     | G \$                           | Gain   | エディットバッファ領域の上限を指定する。                                |
| 8                                     | H \$                           | Home   | 制御モニターに移す。                                          |
| 9                                     | I strings \$                   | Insert | strings を現在のエディットバッファに挿入する。                         |
| 10                                    | K \$<br>n K \$                 | Kill   | 現在のバッファポインタから n 行削除する。                              |
| 11                                    | L (\$)<br>(-)n L (\$)          | Line   | バッファポインタを現在の行の先頭に移す。<br>バッファポインタを現在の位置より n 行移動させる。  |
| 12                                    | M (\$)<br>(-)n M (\$)          | More   | バッファポインタを現在の位置より n 文字移動させる。                         |
| 13                                    | N \$                           | Next   | エディットバッファの内容をすべてパンチし、次の紙テープ入力を行う。                   |
| 14                                    | O \$                           | Out    | F \$ P \$ V \$ F \$ のコマンドを行なう。                      |
| 15                                    | P \$<br>n P \$                 | Punch  | エディットバッファの内容をすべてパンチする。<br>現在のエディットバッファから n 行パンチする。  |
| 16                                    | Q \$                           | Quit   | エディットバッファを初期化する。                                    |
| 17                                    | R \$                           | Rest   | エディットバッファの未使用の領域を表示する。                              |
| 18                                    | S strings \$                   | Search | strings を現在のバッファポインタより捜していく。                        |
| 19                                    | T (\$)<br>n T (\$)             | Type   | 現在のエディットバッファより n 行タイプする。                            |
| 20                                    | U \$                           | Unit   | A S C I I コードの F F ( 0 C H ) をパンチする。                |
| 21                                    | V \$                           | Volume | A S C I I コードの E O T ( 0 4 H ) をパンチする。              |
| 22                                    | W \$                           | Write  | エディットバッファの内容をすべてタイプする。                              |
| 23                                    | X \$                           | Cross  | アセンブラに制御を移す。                                        |
| 24                                    | Y \$                           | Yield  | F \$ P \$ U \$ V \$ F \$ のコマンドを行なう。                 |
| 25                                    | Z (\$)<br>n Z (\$)             |        | バッファポインタを既入力の最後に移動させる。<br>バッファポインタを最後より n 行目に移動させる。 |

# Z-80 10

## アセンブラマニュアル

# 目 次

|      |                  |    |
|------|------------------|----|
| 1.   | 序 .....          | 1  |
| 2.   | ローディング .....     | 1  |
| 3.   | メモリマップ .....     | 1  |
| 4.   | 起 動 .....        | 1  |
| 5.   | ハードウェアの構成 .....  | 2  |
| 6.   | 各モジュール .....     | 2  |
| 7.   | アセンブリ語 .....     | 2  |
| 7.1  | ステートメント .....    | 2  |
| 7.2  | 分 離 子 .....      | 2  |
| 7.3  | ラ ベ ル .....      | 3  |
| 7.4  | オペコード .....      | 3  |
| 7.5  | 擬 似 命 令 .....    | 3  |
| 7.6  | アセンブリ命令 .....    | 4  |
| 7.7  | オペランド .....      | 4  |
| 7.8  | コ メ ン ト .....    | 6  |
| 7.9  | オブジェクト .....     | 6  |
| 7.10 | アセンブルリスト .....   | 6  |
| 8.   | 操 作 方 法 .....    | 7  |
| 8.1  | オプション .....      | 7  |
| 8.2  | 通常のオペレーション ..... | 9  |
| 8.3  | ワンパスモード .....    | 10 |
| 8.4  | イツコアモード .....    | 10 |
| 9.   | エラーメッセージ表 .....  | 11 |



## SM-B-80D アセンブラ ASMB

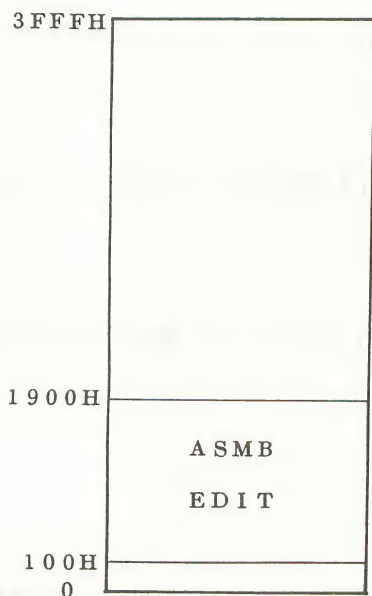
### 1. 序

ASMBは、ワンボードのマイクロコンピュータ開発システムSM-B-80Dのもとで動作する紙テープベースのZ80レジデントアセンブラである。

### 2. ローディング

ASMBはEDITとともに一本の紙テープで供給される。この紙テープのローディングにはSM-B-80Dのモニタコマンド 'L' を用いて行なわれる。

### 3. メモリマップ



ASMBとEDITは100H～1900Hにロードされる。

メモリの1900H～3FFFHはASMBはシンボルテーブルとしてEDITはエディットバッファとして用いる。

### 4. 起 動

ASMBとEDITの起動にSM-B-80Dのモニタコマンド 'G' を用いて行なわれる。

SM-B-80D V1.1

\*A;G

ASMB V1.1

OPTION:

SM-B-80 D V 1 . 1

\*E ; G

EDIT V 1 . 1

\*

## 5. ハードウェアの構成

ASMBとEDITは次のハードウェアを必要とする。

- コンソールタイプライタ
- RAM 16Kバイト以上
- SM-B-80 Dボード
- SM-B-80 Dモニタ

## 6. 各モジュール

### 6.1 ソースモジュール

ソースモジュールとは、FFにより分割され最後にEOTで終るユーザーのソースプログラムである。

### 6.2 オブジェクトモジュール

オブジェクトモジュールとは、アセンブラによって出力されるインテル標準ヘキサデシマルフォーマットの紙テープである。

## 7. アセンブリ言語

### 7.1 ステートメント

ステートメントとはCRで終る72カラム以内のアスキー文字で、73カラム以上は無視される。

また、LF、FF、EOT、CR、DELを除くコントロールキャラクタは許されない。

### 7.2 分離子

ステートメントの各要素、ラベル、オペコード、オペランドおよびコメントは分離子によって分割される。

ラベルとオペコードは' : '、スペース、HTのいずれかによってオペコードとオペランドはスペースまたはHTによってオペコードとコメント、オペランドとコメントは' ; 'に

よって分割される。

### 7.3 ラベル

ラベルは1文字以上の英数字より構成される。ただし、7文字以上の場合は最初の6文字を有効とみなす。また最初の文字は数字であってはならない。ラベルは1カラムより始めるか' : 'で区切らなければならない。' : 'で区切ることにより一つのステートメントにいくつものラベルをつけることができる。

例

```
LAB
ABC:
DEF:
L123
A: B: C:
```

### 7.4 オペコード

オペコードは、プログラミングマニュアル参照。

### 7.5 擬似命令

- `ORG nn origin`

ロケーションカウンタをnnにセットする。

```
ORG 1000H
```

- ラベル: `EQU nn equate`

ラベルの値をnnにセットする。

```
ABC: EQU 1234H
```

- `DEFM taaa……t <b, b……> define message`

ASCIIの文字列aaa……を定義する。

tは' ; '、CR以外のキャラクターで文字列を示す分離子である。また' < '、' > 'で囲むことによりバイト定数を定義することができる。

```
DEFM 'HELLO' <ODH, OAH>
```

```
DEFM <CR, LF> / SM-B-80D /
```

- `DEFB n, n…… define byte`

バイト定数nを定義する。

```
DEFB 1, 0AH, 10011B
```

```
DEFB 'A', 37Q
```

- `DEFW nn, nn, …… define word`

ワード定数 `nn` を定義する。

```
DEFW ABC, 1234H, LABEL-3
```

- `DEFS nn define storage`

`nn` バイトのエリアを定義する。

```
DEFS 10H
```

```
DEFS NBYTE
```

## 7.6 アセンブリ命令

- `TITLE s title`

各ページの先頭にタイトルをリスティングする。

`s` はスペース以外の文字で始まる 16 文字以内の文字列

```
TITLE TEST PROGRAM
```

```
TEST PROGRAM Z80 ASSEMBLER V1.1 PAGE 1
```

- `LIST listing on`

リスティングを開始する。

- `NLIST listing off`

リスティングを中止する。

- `PAGE page`

ページをかえる。

- `END end`

ソースプログラムの終了を示す。

## 7.7 オペランド

- レジスタ

`A`、`B`、`C`、`D`、`E`、`H`、`L`、`AF`、`BC`、`DE`、`HL`、`SP`、`IX`、`IY`、`AF'`

ただし表現式内の上記のシンボルはラベルとみなされる。

```
LD A, B Bレジスタの内容をAレジスタへロードする。
```

```
LD A, B+0 ラベルBの値をAレジスタへロードする。
```

- レジスタ間接

`(HL)`、`(BC)`、`(DE)`、`(SP)`、`(IX+d)`、`(IY+d)`、`(IX)`、

`(IY)`、`(C)`



○ イミディエイト定数

nn

LD HL, 1234H HLレジスタへ16進数1234をロードする。

○ エクステンデ

(nn)

LD A, (1234H) Aレジスタへメモリの1234H番地の内容をロードする。

nn および d は次に述べる表現式で表わされる16ビット定数である。ただし d の値は-128より+127までしかとりえず、1バイトイミディエイトオペランドの場合は下位バイトのみ有効とする。

### 7.7.1 表 現 式

表現式は次に示す項と演算子より構成され演算は左より順に行なわれる。

○ 項

\$ 現在のロケーションカウンタ

ラベル 7.3ラベル参照

定 数

10進数 最後に 'D' をつける。無指定の場合も10進数とみなされる。

123 123D

2進数 0と1で表わし最後に 'B' をつける。

101100B 1000B

8進数 最後に 'O' または 'Q' をつける。

107O 123Q

16進数 最後に 'H' をつける。ただし最初の数が 'A' ~ 'F' の場合、その前に '0' をつけなければならない。

文 字

'A' (=41H)

○ 演算子

演算子には次の6種がある。演算は符号なしの16ビットで行なわれ、演算時でのオーバーフロー アンダーフローは無視される。ただし零割りエラーとなる。

+ 加算  
 - 減算  
 \* 乗算  
 / 除算  
 & 論理積  
 / 論理和

- 1 ( 0 F F F F H )  
 1 2 + 3 9 ( 5 1 )  
 0 1 1 0 B & 1 0 0 1 0 B ( 0 0 0 1 0 B )  
 0 1 1 0 B / 1 0 0 1 0 B ( 1 1 1 1 0 B )  
 6 \* 2 ( 1 2 )  
 3 1 / 3 ( 1 0 )  
 3 / 6 ( 0 )  
 1 + 2 \* 2 ( 9 )

## 7.8 コメント

文字定数以外の ' ; ' 以降はコメントとみなされアセンブルの対象外となる。

```

ABC: LD A, B ; LOAD ACC
; COMMENT LINE

```

## 7.9 オブジェクト

オブジェクトのフォーマットはインテル標準ヘキサデシマルフォーマットに準ずる。SM-B-80 D モニタ参照。

### 7.10 アセンブルリスト

アセンブルリストはSM-B-80 DのSOチャンネルより出力される。フォーマットを次に示す。

E E S S S S S  $\Delta$  A A A A  $\Delta$  O O O O O O O O  $\Delta$  statement

E E エラーメッセージ

S S S S S ステートメント番号

A A A A アドレス 16進

O O O O O O O O オブジェクトコード 16進

3 2 3 E 3 8 9 0 6 1 0 LD B, 1 0 H

## 8. 操作方法

ASMBはSM-B-80 Dモニタのソースインプットチャンネル(SI)よりソースプログラムを入力し、リスティング指定があればソースアウトプットチャンネルへ出力し、オブジェクト指定があればオブジェクトアウトプットチャンネル(OO)へ出力する。したがってASMB起動時にはこれらのチャンネルに適当なデバイスを割り当てなければならない。

SM-B-80 Dモニタ起動時には各チャンネルは次のように割り当てられている。

- |      |      |
|------|------|
| ◦ SI | ◦ TR |
| ◦ SO | ◦ TT |
| ◦ OO | ◦ TT |

ASMBは、起動されると以下のメッセージをタイプアウトしてオプションの入力を待つ。

\*A ; G

ASMB V1.1

OPTION :

### 8.1 オプション

- Dオプション           date

アセンブルリストの日付を設定する。

OPTION : D

DATE : 27-APL-77 ✓

Dオプションを指定すると10文字以内の文字列をアセンブルリストの右隅に出力することができる。なお、文字列は何らチェックを受けないのでプログラマ名を入れることもできる。11文字以上は無視される。

Z80 ASSEMBLER V1.1 PAGE 1 27-APL-77

- Gオプション           gain

シンボルテーブルの上限の確認、および変更を行なう。

OPTION : G

CORE LIMIT : 3FFF△ 新しい上限(16進)

                  |  
                  現在の上限

16Kバージョンでは通常上限は3FFFとなっている。また、この値はモニタよりASMBを起動するたびに3FFFにリセットされる。

- H オプション                    home

モニタへもどる。

OPTION: H ↵

SM-B-80D V1.1.

\*

- L オプション                    listing

ソースアウトプットチャンネルへアセンブルリストを出力する。

- O オプション                    object

オブジェクトアウトプットチャンネルへオブジェクトを出力する。オブジェクトのフォーマットはインテルヘキサデシマルフォーマットに準ずる。

- Q オプション                    quit

ASMBの初期化を行なう。

OPTION: Q ↵

ASMB V1.1

OPTION:

インコアモード(8.4参照)のリセットに用いる。

シンボルテーブルの上限は変化しない。

- S オプション                    symbol table

パス2の最後にシンボルテーブルをソースアウトプットチャンネルへ出力する。もしLオプションが指定されていればアセンブルリストの後に出力される。

Z80 ASSEMBLER V1.1 PAGE 1

SYMBOL TABLE

ABC 0000 DAGH 1234 .....

- X オプション                    cross

エディタに制御をうつす。

OPTION: X ↵

EDIT V1.1

\*

- 1 オプション                    one pass mode

ワンパスモードでアセンブルを行なう。

8.3 参照



○ 2 オプション      pass two

パス 2 のみ行なう。

## 8.2 参照

### 8.2 通常のオペレーション

次にオペレーションの例を示す。

\* A ; G

ASMB V1.1

OPTION: L S ↙

PASS1 READY? ①



紙テープをセットし、任意のキーを打つ。もしソースプログラム中にFFがあればアセンブラはリード動作をやめる。この時、コンソールには何も出力されない。

次のモジュールをセットして任意のキーを打つことによりリード動作は再開される。

アセンブルリストを出力する。 ②



もう一度最初のモジュールより上記の操作を行なう。

シンボルテーブルを出力する。

ERRORS DETECTED: 0      ← エラーの総数

FREE CORE: 16000 BYTES      ← 未使用のメモリ容量

OPTION: O 2 ↙      ← パス 2 のみ行なう。

PASS2 READY? ③



②の操作を行なう。

オブジェクトを出力する。

ERRORS DETECTED: 0

FREE CORE: 16000 BYTES

OPTION:

※ オプションを何も指定しなかった場合、エラーのあるステートメントだけコンソールアウトプットチャンネルに出力される。

### 8.3 ワンパスモード

通常アセンブルは、2パスで行なわれるが、すでに出現したラベルのみを参照するソースプログラムに対しては1パスで行なうことができる。

```
OPTION: 1 L
```

```
PASS1 READY?
```



アセンブルリストを出力する。

```
ERRORS DETEOTED: 0
```

```
FREE CORE: 16000 BYTES
```

### 8.4 インコアモード

SM-B-80Dのアセンブラとエディタは一つのモジュールで構成されているため、エディタで作成または修正したソースプログラムを紙テープに出さずにメモリ内でアセンブルすることができる。また、アセンブルエラーがあればエディタにもどって(×オプション)、修正することもできる。

これによりまったく紙テープを介さずにアセンブルエラーを修正したソースプログラムおよびオブジェクトプログラムを作成することができる。

```
*E;G
```

```
EDIT V1.1
```

```
*I
```

```
*X$ $
```

```
ASMB V1.1
```

```
OPTION: L
```

```
PASS1 COMPLETED
```

```
ERRORS DETECTED: 2
```

```
FREE CORE: 932 BYTES
```

```
OPTION: X
```

```
EDIT V1.1
```

```
*
```

## 9. エラーメッセージ表

### B bad character error

ソースプログラム内で許されていないキャラクタを入力した。  
その文字は無視される。

### D duplicate label reference error

多種定義されたラベルを参照した。

### E unfound END statement

END文がない。

### F format error

フォーマットに誤りがある。

### L label error

ラベル内に英数字以外の文字が含まれていた。  
最初の文字が英字でなかった。

### M multiple deffinition error

同一ラベルが複数回定義された。

### O opecode error

誤ったオペコードを入力した。

### P phase error

パス1とパス2でラベルの値が異なる。

### Q questionable error

オペランドの種類または組合せに誤りがある。

### R range error

許される範囲を超える値を入力した。  
例えば 'J R' での e の値が -126 ~ +129 を超えた場合。

### S syntax error

構文に誤りがある。

### T symbal table overflow

シンボルテーブルがオーバーフローした。処理は続行される。

### U undefined label error

未定義のラベルを参照した。





# SM-4 11

クロスアセンブラマニュアル



## 目 次

|                              |    |
|------------------------------|----|
| 1. は じ め に .....             | 1  |
| 2. ロ ー デ ィ ン グ .....         | 1  |
| 3. メ モ リ マ ッ プ .....         | 1  |
| 4. ハ ー ド ウ ェ ア の 構 成 .....   | 1  |
| 5. 起 動 .....                 | 2  |
| 6. 各 モ ジ ュ ー ル .....         | 2  |
| 7. ア セ ン ブ リ 言 語 .....       | 2  |
| 1) ス テ ー ト メ ン ト .....       | 2  |
| 2) 分 離 子 .....               | 2  |
| 3) ラ ベ ル .....               | 3  |
| 4) オ ペ コ ー ド .....           | 3  |
| 5) 擬 似 命 令 .....             | 3  |
| 6) ア セ ン ブ リ 命 令 .....       | 5  |
| 7) オ ペ ラ ン ド .....           | 5  |
| 8) コ メ ン ト .....             | 6  |
| 9) マ ク ロ ジ ャ ンプ 命 令 .....    | 6  |
| 8. ア セ ン ブ リ リ ス ト .....     | 6  |
| 9. 操 作 .....                 | 7  |
| 1) オ プ シ ョ ン .....           | 7  |
| 2) 通 常 の オ ペ レ ー シ ョ ン ..... | 10 |
| 3) ワ ン パ ス モ ー ド .....       | 11 |
| 4) イ ン コ ア モ ー ド .....       | 11 |
| 10. エ ラ ー メ ャ ッ ジ 表 .....    | 12 |
| 11. そ の 他 .....              | 13 |

## S M - 4      クロスアセンブラ      X S M 4

### 1. はじめに

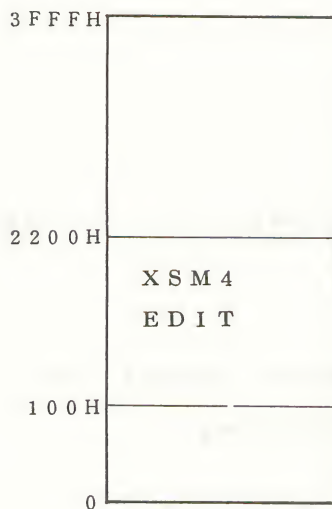
クロスアセンブラX S M 4は、ワンボードマイクロコンピュータ開発システムS M-B-80 Dのもとで動作する紙テープベースのワンチップマイクロコンピュータS M-4用のクロスアセンブラである。

### 2. ローディング

X S M 4は、X S M 4用のE D I Tと共に一本の紙テープで供給される。この紙テープのローディングには、S M-B-80 Dのモニタコマンド「L」を用いて、次のようにキー入力する。

(\*) ; L  
                      
          キー入力

### 3. メモリマップ



X S M 4とE D I Tは、100～2200Hにロードされる。

メモリの2200H～3FFFFHはX S M 4のシンボルテーブルとして、またE D I Tのエディットバッファとして用いる。

### 4. ハードウェアの構成

X S M 4とE D I Tは次のハードウェアを必要とする。

- 1) コンソールタイプライタ
- 2) R A M      16K以上
- 3) S M-B-80 D    ボード
- 4) S M-B-80 D    モニタ

## 5. 起 動

X S M 4 と E D I T の起動は、S M - B - 8 0 D のモニタコマンドの  $\nabla G \nabla$  を用いて行なわれる。

S M - B - 8 0 D    V 1 . 1

(\*) A ; G    ( P R O M バージョンの場合    . A S ; G )  
      キー入力

X S M 4    V 1 . 1

O P T I O N :

S M B - 8 0 D    V 1 . 1

(\*) E ; G    ( P R O M バージョンの場合    . E D ; G )  
      キー入力

E D I T    V 1 . 1

\*

## 6. 各モジュール

### 1) ソースモジュール

ソースモジュールとは、F F により分割され最後は E O T で終るユーザーのソースプログラムである。

### 2) オブジェクトモジュール

オブジェクトモジュールとは、X S M 4 によって出力されるマシン語に直された紙テープであり、エミュレータ用のものと、P R O M ライター用のものがある。

## 7. アセンブリ言語

### 1) ステートメント

ステートメントとは、C R で終る 7 2 カラム以内のアスキー文字で 7 3 カラム以上は無視される。また、L F、F F、E O T、C R、D E L を除くコントロールキャラクタは許されない。

### 2) 分 離 子

ステートメントの各要素ラベル、オペコード、オペランド、及びコメントは分離子によっ



ペコードとオペ

ラベルは1文字以上の英数字より構成される。又、文字は6文字までとし、7文字以上の

ラベルは 1 カラムより始まらなければならない、ラベルの終りは  $\nabla : \nabla$ 、スペース、HT

※ H TはHorizontal Tab（水平タブ）のこと。

ロケーションを設定する命令である。書式は、行頭にスペースあるいはHTを入れる。

〈例〉

UORGXXXX

U O R G P XXXX

なお、 $\sqcup$ はスペース又はHT、或はその組合せでもよい。

ORG、ORGPによるロケーション指定は、任意に行なえる。

ORGとORGPの相違はステップを指定する下位2桁にあり、ORGは、通常の16進

ORG、ORGPのロケーション指定は4桁以内で行なわれ、上位桁の0は省略できる。

〈例〉

0 A ページの 2 ステップ目 (ロケーション 0 A 3 0) を指定する。

└ORG└0A02

└ORG└A02

└ORGP└0A30

└ORGP└A30

SM-4のROMページは35ページであるが、ORGまたは、ORGPでの指定は図1の通りである。

EQU(=D)

EQX(=)

ラベルの値を定義する命令であり、EQUと=Dは同一意味を持っており、EQXと=は同一意味をもっている。

書式は、ラベルを行頭から書き次の様にかく。

<例>

ABC: EQU 13

CDE EQU 13

AK: = 1F

AC = D 24

EQUで示されるのは、10進数であり、上例ではCDEが10進数の13即ち、16進数のDをあらわすことになる。

又、EQXは16進数での値を示している。

この命令で与えられる数は、16進数のFFまでである。又、EQU命令の場合、使用出来る文字は、数字に限られ、ラベルの使用および加減算は許されない。EQX命令の場合には、ラベルおよび加減算の使用は許される。

DB(#)

バイト定数を定義する。(16進数で定義する。)

<例>

DB 34

# 2F

# 54

34、2F、54を16進数でそのままマシンコードなる。この上限はFFである。

## 6) アセンブリ命令

**T I T L E**

各ページの先頭にタイトルをリスティングする。

書式は次の様である。

〈例〉 **T I T L E   T E S T   P R O G R A M**

**T E S T   P R O G R A M   S M - 4   A S S E M B L E R . . . . .**

タイトルに使用できる文字は、スペース以外の文字で始まる16文字以内の文字列である。

**L I S T**

リスティングを開始する。

**N L I S T**

リスティングを禁止する。

**P A G E**

ページをかえる。

**E N D**

ソースプログラムの終了を示す。

## 7) オペランド

オペランドは少なくとも1個のスペースあるいはHTを前置して書かねばならない。

オペランドの先頭文字が0~9、A~Fの場合は、その数字、文字列は16進数とみなされる。従って、0~9、A~Fで始まるラベルの場合は必ず" (ダブルクォート) を付す必要がある。

〈例〉

|                |   |              |                            |                |
|----------------|---|--------------|----------------------------|----------------|
| <b>A A</b>     | : | <b>E Q X</b> | <b>4 + "A B C + 1</b>      | <b>( = 9 )</b> |
| <b>A B C</b>   | : | <b>E Q X</b> | <b>3 + 1</b>               | <b>( = 4 )</b> |
|                | : |              |                            |                |
| <b>E A</b>     | : | <b>E X C</b> | <b>" A B C</b>             |                |
|                | : | <b>D T A</b> | <b>3</b>                   |                |
|                | : | <b>T R 0</b> | <b>" L B C</b>             |                |
|                | : |              |                            |                |
| <b>L B C :</b> |   | <b>L B</b>   | <b>A</b>                   |                |
|                |   | <b>T R 0</b> | <b>" E A + 1</b>           |                |
| <b>C D E :</b> |   | <b>T R 0</b> | <b>" E A + " A B C - 2</b> |                |

オペランド内に書かれる記号は、下の様である。

- |              |                            |
|--------------|----------------------------|
| '' (ダブルクォート) | 後続する文字、数字列をラベルとみなす。        |
| +(プラス)       | 後続する文字、数字列を前置する値に加えて算出する。  |
| -(マイナス)      | 後続する文字、数字列を前置する値から減じて算出する。 |
| .(ポイント)      | 現在のアドレスをオペランドとする。          |

#### 8) コメント

; (セミコロン)、! (感嘆符)以降はコメントとみなされる。行頭が▼\*▼の場合、リスト作成時には24コラム目(ソースの先頭より7コラム目)におかれる。

#### 9) マクロジャンプ命令

マクロジャンプ命令は、ラベルを使用してフィールド間、ページ間をジャンプする場合に便利な命令である。

マクロジャンプ命令には次のものがある。

- |                   |                                       |
|-------------------|---------------------------------------|
| □. J P S □ "A B C | アドレスA B Cへのジャンプ命令を2バイトで作成し出力する。       |
| □. J P L □ "D E F | アドレスD E Fへのジャンプ命令を3バイトで作成し出力する。       |
| □. J S S □ "G H I | アドレスG H Iへのサブルーチンジャンプ命令を2バイトで作成し出力する。 |
| □. J S L □ "J K R | アドレスJ K Rへのサブルーチンジャンプ命令を3バイトで作成し出力する。 |

ジャンプのために、バイト数が不足あるいは、過剰である場合はFエラーとなる。

このマクロジャンプ命令は、サブルーチンページ(18エタ~1Fエタ、SOエタ~S3エタ)では使用できない。

#### 8. アセンブルリスト

アセンブルリストはSM-B-80 DのSOチャンネルより出力される。

フォーマットは次の様である。

|                                   |           |
|-----------------------------------|-----------|
| E E S S S S S □ A A A A □ O O C □ | Statment  |
| E E                               | エラーメッセージ  |
| S S S S S                         | ステートメント番号 |
| A A A A                           | アドレス      |



OO            オブジェクトコード

C            コーテーションまたはスペース

なお2バイト、3バイト命令の場合は2バイト目、3バイト目と順々に行をかえて表記される。

<例>

F 3 2 3   0 1 2 0   0 8   A B :   A D D   BC   F エ ラ ー

## 9. 操        作

XSM4は、SM-B-80Dモニタ(LH8S03)のソースインプットチャンネル(SI)より、ソースプログラムを入力し、リスティング指定およびオブジェクト指定に対してソースアウトプットチャンネル(SO)、オブジェクトアウトプットチャンネル(OO)へ出力する。したがって、XSM4起動時には、これらのチャンネルに適切なデバイスを割り当てる必要がある。

SMB-80Dモニタ起動時には、各チャンネルは次のように割りあてられる。

. SI        . TR   (テレタイプテープリーダー)

. SO        . TT   (テレタイプヘッド)

. OO        . TT   (            )

XSM4は、起動されると以下のメッセージをアウトプットしてオプションの入力を待つ。

\* A ; G   ( PROMバージョンの場合   . A S ; G )

SM-4   V 1 . 1

O P T I O N :

### 1) オプション

B        オプション        BNPF

マシコードをBNPFフォーマットで出力する。出力順序は、ポリノミアルコードの順に従う。7ステップ毎におよび1ページ毎にCRLFを挿入して見やすくしている。また、各ページのステップは63であるが、1ページの最後に00を出力し、各ページ64バイトとして出力を行なう。

BNNNPPPNFFPPN

#### L オプション Listing

ソースアウトプットチャンネル ( . S O ) へアセンブルリストを出力する。

#### O オプション Object

オブジェクトアウトプットチャンネル ( . O O ) へオブジェクトを出力する。オブジェクトのフォーマットは、シャープ S M シリーズオリジナルフォーマットである。

##### ★シャープ S M シリーズオリジナルフォーマット

2 バイトの 1 6 進マシンコードと、1 バイトの C R コードとの 1 組が 1 ステップ分として出力される。各コードは A S C I I コードで出力され、ビット 7 には、許される機械仕様の場合すべて 1 がたてられる。

オブジェクトファイルの終端部には、\* ( アスタリスク ) が付加される。下図に出力される紙テープのフォーマットの概略図を示す。オブジェクトテープは、0 0 0 0 番地から S 3 3 E 番地までの全ステップ分が連続して出力される。オブジェクトの出力順序は、実行順 ( 書き下し順 ) であり、命令のかかれなかった番地には、0 0 が出力される。

#### P オプション PROM Format

オブジェクトアウトプットチャンネル ( . O O ) へオブジェクトを出力する。オブジェクトのフォーマットは、ブライトロニクス ( Brightronics ) のバイナリーフォーマットで、出力順序はポリノミアルコードの順に従って出力される。各ページのステップは 6 3 ステップであり、6 4 ステップに 0 0 を出力し、各ページ 6 4 ステップとして出力する。

##### ★ブライトロニクスのバイナリーフォーマット

2 バイトの 1 6 進マシンコードと、1 バイトのスペース ( 2 0 H ) コードとが 1 ステップ分として出力される。各コードは A S C I I コードで出力される。

#### Q オプション Quit

X S M 4 の初期化を行なう。インコアモードの時のリセットにも用いられる。これによって、G オプションの指定によるシンボルテーブルの上限には、何ら変化をうけない。

OPTION : Q /

SM - 4 V 1 . 1

OPTION :

#### S オプション Symbol Table

シンボルテーブルを、ソースアウトプットへ出力する。もし L オプションと共に指定されれば、アセンブルリストの出力の後に出力される。

シンボルテーブルリストには、シンボルのもつ値がアドレスの時には、4 ケタで出力さ

れ、EQU、EQXによって定義された値は、2ケタで出力される。

SM-4 ASSEMBLER V1.1 PAGE 1

## SYMBOL TABLE

|     |      |     |      |    |    |
|-----|------|-----|------|----|----|
| ABC | 0000 | ABE | S123 | AK | 3F |
|     | アドレス |     | アドレス |    | 数値 |

### X オプション Cross

エディタに制御をうつす

OPTION: X ↓

EDIT V1.1

＊

### 1 オプション 1 pass mode

ワンパスモードでアセンブルを行なう。

### 2 オプション pass two

パス2のみ行なう。

## 2) 通常の実行オプション

次に実行オプションの例を示す。

＊A ; G

SM-4 V1.1

OPTION: L S ↓

PASS1 READY? ①



紙テープをセットし任意のキーを打つ。もし、ソースプロ

PASS1 COMPLETED グラムにFFがあれば、アセンブラはリード動作をやめる。

PASS2 READY? この時コンソールには何も出力されない。次のモジュールをセットして任意のキーを打つことによりリード動作は、再開される。

②



もう1度、①の操作を行なう。

アセンブルリストを出力する

シンボルテーブルを出力する

ERRORS DETECTED: n ← エラーの総数

FREE CORE: 8700 BYTES ← 未使用のメモリ容量

OPTION: O ↓ ← オブジェクトを出力する



オブジェクトを出力する

OPTION :

※ オブジェクトのみの時 ( O、B、P オプション )、あるいは指定なしの場合は、. S O  
チャンネルより、エラーのあるラインのみを出力する。

※ 一度アセンブリした後、オブジェクトは、次にアセンブルするまで保存される。又、オ  
プション 'Q'、'X'、'H' によっても破壊される。

従って、アセンブルした後、'O'、'B'、'P' のみ指定をしたならば、直ちにオ  
ブジェクトを出力する。出力の順は、'O'、'P'、'B' オプションの順となる。

### 3) ワンパスモード

通常アセンブルは、2 パスで行なわれるがすでに出現したラベルのみを参照するソースプ  
ログラムに対しては、1 パスで行なうことができる。

OPTION : 1 L ↓

PASS 1 READY ?



①の操作を行なう。

アセンブルリストを出力する。

ERRORS DETECTED : 0

FREE CORE : 8700 BYTES

### 4) インコアモード

SM-B-80 D の X S M 4 と E D I T は、一つのモジュールで構成されているため、エデ  
ィタで作成または修正したソースプログラムを紙テープに出力せずにメモリ内でアセンブル  
することができる。また、アセンブルエラーがあればエディタにもどって ( X オプション )  
修正することもできる。

これにより、まったく紙テープを介さずにアセンブルエラーを修正したソースプログラム  
とオブジェクトプログラムを作成することができる。

\* E ; G ( PROM バージョンの場合 . E D ; G )

E D I T V 1 . 1

\* I .....  
.....

\* X \$ \$

S M - 4 V 1 . 1

OPTION : ↓

PASS 1 COMPLETED

ERRORS DETECTED: 2

FREE CORE: 846 BYTES

OPTION: X↓

EDIT V1.1

\*

## 10. エラーメッセージ表

### A address error

このアドレスは、すでに使用されている。

### B bad character error

ソースプログラム内で許されないキャラクタを入力した。

その文字は無視される。

### C constant error

数値に誤りがある。

### D duplicate label reference error

多重定義されたラベルを参照した。

### E unfound END statement

END文がない。

### F format error

フォーマットに誤りがある。

### L label error

ラベル内に英数字以外の文字が含まれていた。

最初の文字が、英数字でなかった。

### M multiple definition error

同一ラベルが複数個定義された。

### O opcode error

誤ったオペコードを入力した。

### P phase error

パス1とパス2でラベルの値が異なる。

### R range error

許される範囲を超える値を入力した。

S syntax error

構文に誤りがある。

T symbol table overflow

シンボルテーブルがオーバーフローした。

ラベルは定義されないが、処理は続行される。

U undefined label error

未定義のラベルを参照した。

J jump error

ジャンプ出さない所へジャンプしようとした。

## 11. そ の 他

### 1) コーテーションマーク (')

アセンブルリストのマシンコードの後にフラグ ``'`` (コーテーションマーク) がたてられることがあり、これは次の事を意味する。

' が付されるインストラクションは、TR0、TR1の2つである。

(1) TR0、TR1命令で'が付されているのは、ページ外ジャンプである事を示している。

但し、TR1命令で10ページへジャンプする場合は、'は付されない。又、TR1命令でロケーションがサブルーチンページにある場合も、'は付されない。

### 2) C エラー

マクロジャンプ命令、TR0、TR1、JMP命令以外でアドレスとして定義されたラベルを用いた場合、Cエラーとなる。この場合、用いることができるのはEQU、EQXで定義したラベルのみである。

| ページ<br>Pu | フィールド<br>Cx<br>CA | 0    |                         | 1              |
|-----------|-------------------|------|-------------------------|----------------|
|           |                   | 0    | 1                       | *              |
| 0000      |                   | 00xy | 10xy<br>(サブルーチン<br>の表紙) | S0xy<br>(20xy) |
| 0001      |                   | 01xy | 11xy                    | S1xy<br>(21xy) |
| 0010      |                   | 02xy | 12xy                    | S2xy<br>(22xy) |
| 0011      |                   | 03xy | 13xy                    | S3xy<br>(23xy) |
| 0100      |                   | 04xy | 14xy                    | SC             |
| 0101      |                   | 05xy | 15xy                    |                |
| 0110      |                   | 06xy | 16xy                    |                |
| 0111      |                   | 07xy | 17xy                    |                |
| 1000      |                   | 08xy | 18xy                    | SA             |
| 1001      |                   | 09xy | 19xy                    |                |
| 1010      |                   | 0Axy | 1Axy                    |                |
| 1011      |                   | 0Bxy | 1Bxy                    |                |
| 1100      |                   | 0Cxy | 1Cxy                    | SB             |
| 1101      |                   | 0Dxy | 1Dxy                    |                |
| 1110      |                   | 0Exy | 1Exy                    |                |
| 1111      |                   | 0Fxy | 1Fxy                    |                |

註1) xyは16進数のステップを示す。

2) ORG(□)の指定なき場合、0000より始まる。

3) SA、SB、SCはサブルーチンページを示す。

4) 10xyからJMP命令でジャンプ可能なページを斜線で示す。

図1 アドレス配置図



# SM-B-80T 12

アプリケーションマニュアル(1)



## 目 次

|                      |    |
|----------------------|----|
| 1. リモート用LEDの点滅 ..... | 1  |
| 2. デジタル・クロック .....   | 4  |
| 3. 自動演奏 .....        | 17 |

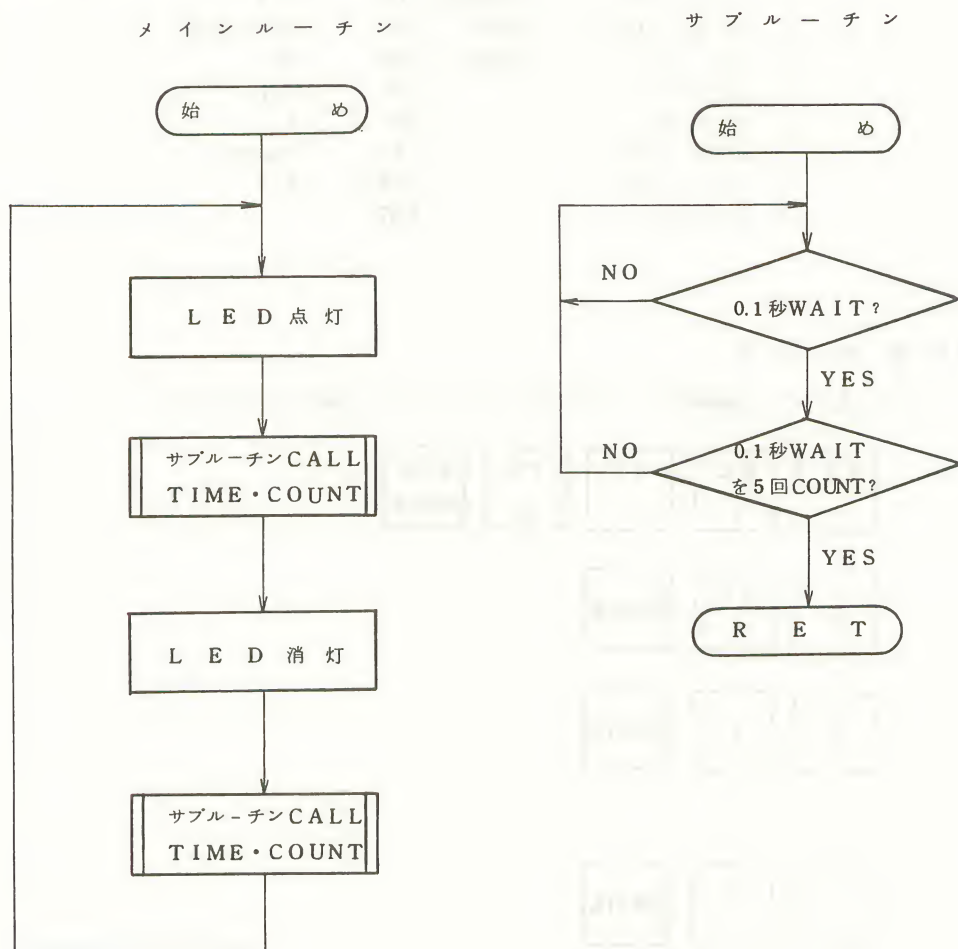
## 1. リモート用LEDの点滅

### 1.1 概要

SM-B-80Tに取り付けられているリモート端子用LEDを約1秒周期で点滅させます。

このプログラムは、オーディオカセットのリモート端子に割り当てているI/Oポートを制御してLEDを点滅させます。

### 1.2 フローチャート

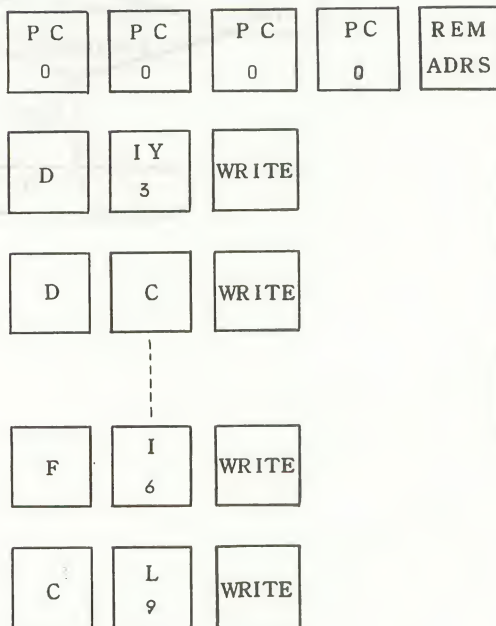


### 1.3 コーディング

| アドレス | 機械語         | アセンブリ言語             |
|------|-------------|---------------------|
| 1    |             | ORG 0               |
| 2    | 0000 D3DC   | LOOP: OUT (0DCH), A |
| 3    | 0002 CD0C00 | CALL TCOUNT         |
| 4    | 0005 DBDC   | IN A, (0DCH)        |
| 5    | 0007 CD0C00 | CALL TCOUNT         |
| 6    | 000A 18F4   | JR \$-10            |
| 7    | 000C 0605   | TCOUNT: LD B, 5     |
| 8    | 000E 21E624 | LOOP1: LD HL, 24E6H |
| 9    | 0011 2B     | LOOP2: DEC HL       |
| 10   | 0012 7C     | LD A, H             |
| 11   | 0013 B5     | OR L                |
| 12   | 0014 20FB   | JR NZ, \$-3         |
| 13   | 0016 10F6   | DJNZ \$-8           |
| 14   | 0018 C9     | RET                 |

### 1.4 操作方法

1.3 に書かれている機械語のコードを所定のアドレスのメモリに書き込んで行きます。



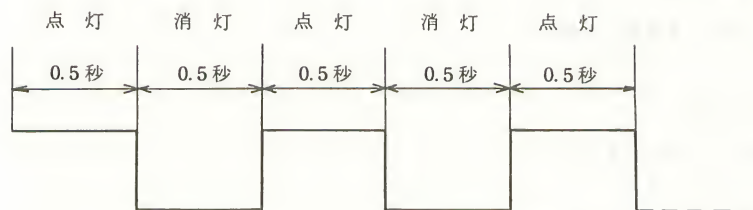
プログラムの書き込みが終了しましたら、次のキー操作で実行させます。



|    |    |    |    |      |
|----|----|----|----|------|
| PC | PC | PC | PC | REM  |
| 0  | 0  | 0  | 0  | ADRS |

RUN

プログラムを実行しますと次のタイミングでLEDを点滅させます。



## デジタル・クロック

### 2.1 概要

CPU (LH-0080) の命令サイクルをカウントして、LED表示部に時刻を表示するクロックのプログラムです。

このプログラムは、CPUの命令サイクルをカウントし、1/100sec ごとにLEDの表示を変更していきます。また、クロックの一時停止機能、タイマ機能もあります。(基準は、システム・クロック2.4576MHzを利用)

### 2.2 フローチャート

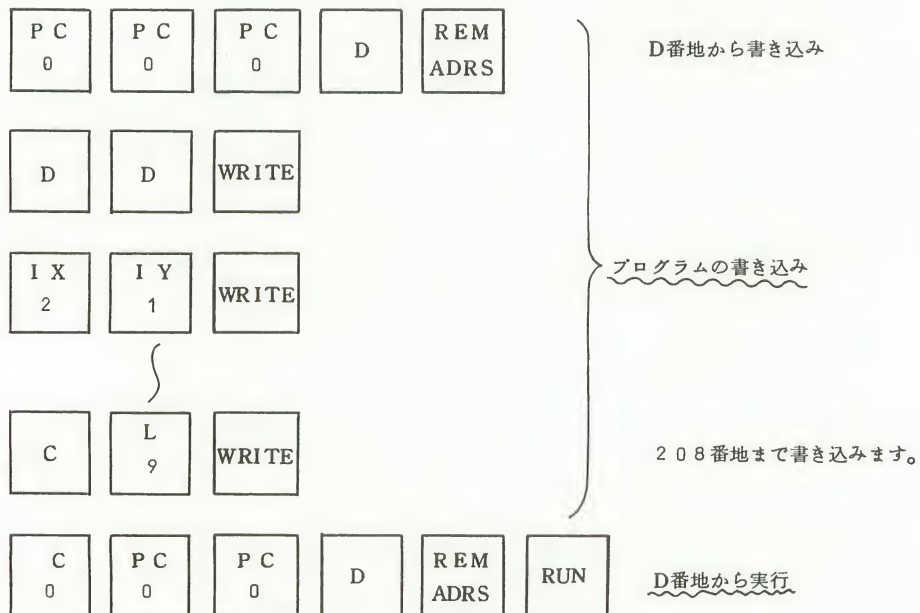
別図にフローチャートを示します。

### 2.3 コーディング

別表にコーディングを示します。

### 2.4 プログラムの書き込みと実行

2.4.1 プログラムを、キーから入力し、実行させます。



## 2.4.2 初期設定

### a. タイマのスイッチON, OFF設定

|         |         |         |         |             |
|---------|---------|---------|---------|-------------|
| PC<br>0 | H<br>8  | IY<br>3 | PC<br>0 | PC<br>0     |
| PC<br>0 | PC<br>0 | PC<br>0 | WRITE   | REM<br>ADRS |
| PC<br>0 | L<br>9  | SP<br>1 | BC<br>5 | PC<br>0     |
| PC<br>0 | PC<br>0 | PC<br>0 | WRITE   | REG'<br>REG |

タイマONの時刻を8時30分に  
設定

タイマOFFの時刻を9時15分  
に設定

### b. スタート時刻の設定、計時

|         |         |         |         |         |
|---------|---------|---------|---------|---------|
| PC<br>0 | IF<br>7 | IX<br>2 | PC<br>0 | IY<br>3 |
| PC<br>0 | PC<br>0 | PC<br>0 |         |         |
| RUN     |         |         |         |         |

7時20分30秒からスタート

計時のスタート

### 2.4.3 各キーの役割の説明

|     |
|-----|
| RUN |
|-----|

計時のスタート。

|      |
|------|
| STEP |
|------|

計時のストップ。これよりストップウォッチとしても用いることができます。

|             |
|-------------|
| LOAD<br>INC |
|-------------|

表示の0クリア。(タイマのON, OFFは変更されません。)

|             |
|-------------|
| STOR<br>DEC |
|-------------|


リセット。(タイマについてもすべてリセットされます。)

|       |
|-------|
| SHIFT |
|-------|

タイマの設定のリセット。このキーに続いて“REM”, “REG”キーを押すことによりリセットされます。

|             |   |                                                                                         |                                 |
|-------------|---|-----------------------------------------------------------------------------------------|---------------------------------|
| REG'<br>REG |   | タイマのOFF時刻の表示、また、“WRITE” ， “SHIFT” キーを押した後にこのキーを入力しますと、タイマのOFF時刻のセット、リセットが行えます。          |                                 |
| REM<br>ADRS |   | タイマのON時刻の表示、また、“WRITE” ， “SHIFT” キーを押した後にこのキーを入力しますと、タイマのON時刻のセット、リセットが行えます。            |                                 |
| WRITE       |   | タイマのON , OFF時刻のセット、このキーに続いて、“REG” ， “REM” キーを入力すると、表示されている時刻が、タイマのON , OFF時刻としてセットされます。 |                                 |
| A           | ~ | F                                                                                       | 使用しないキーです。                      |
| P C<br>0    | ~ | L<br>9                                                                                  | 表示の右端から順に入力されて、左へ1つつつシフトしていきます。 |

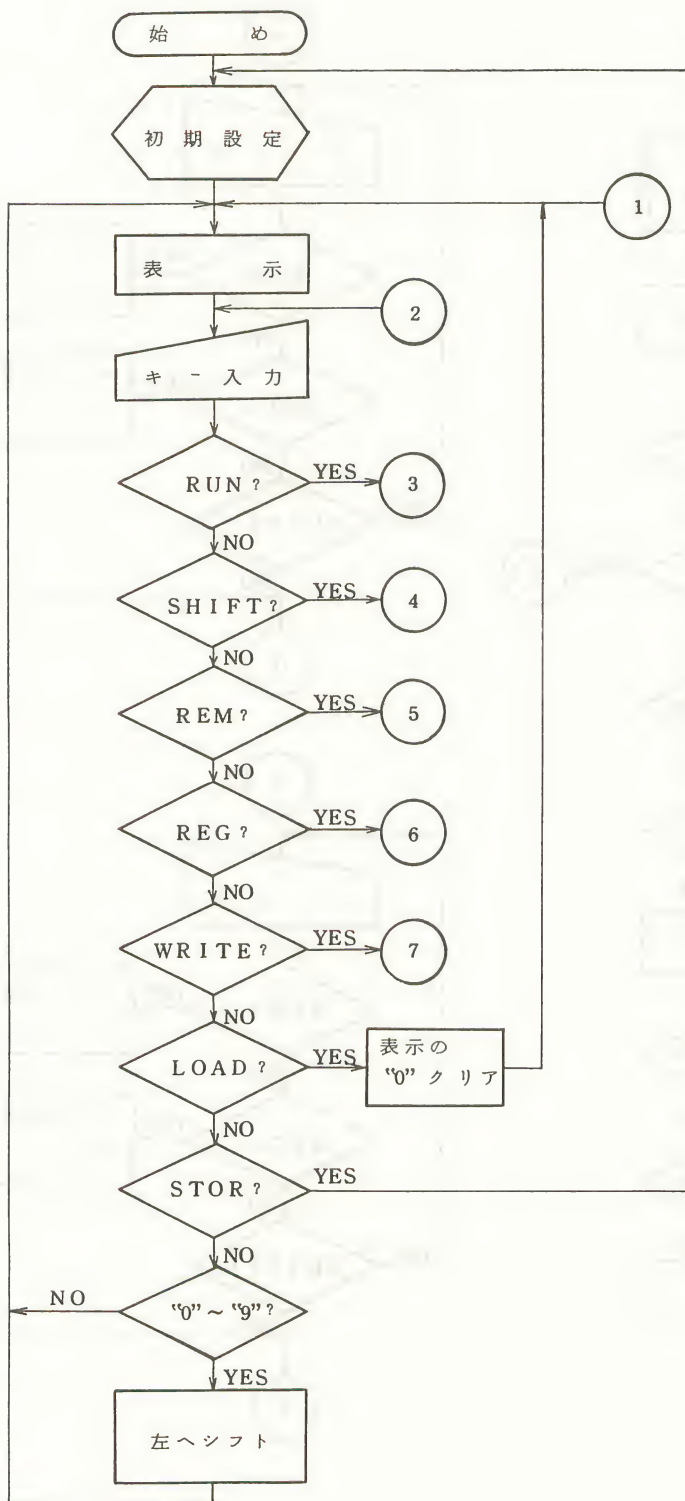
注1. タイマのON、OFFがセットされていない場合、次の様な表示となります。

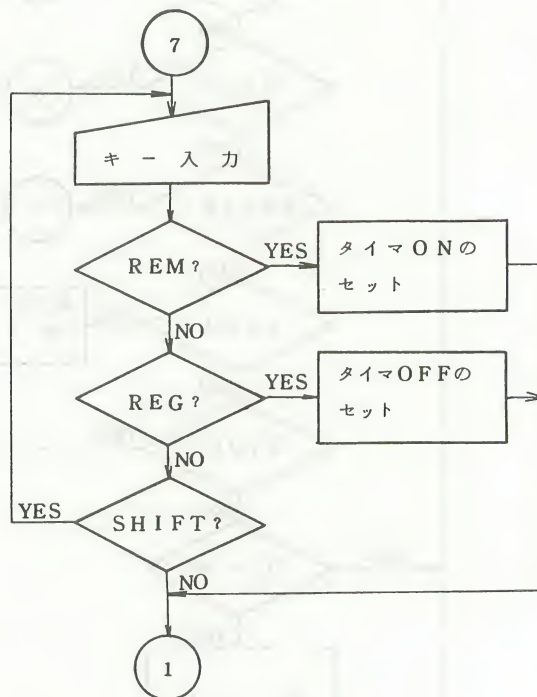
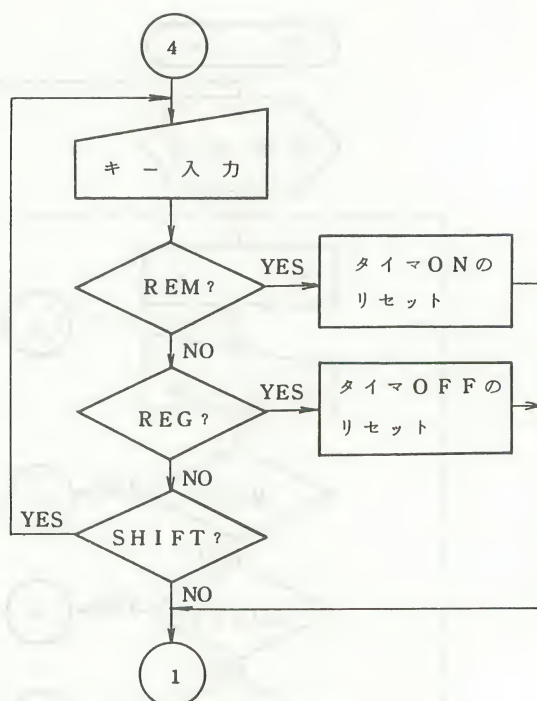
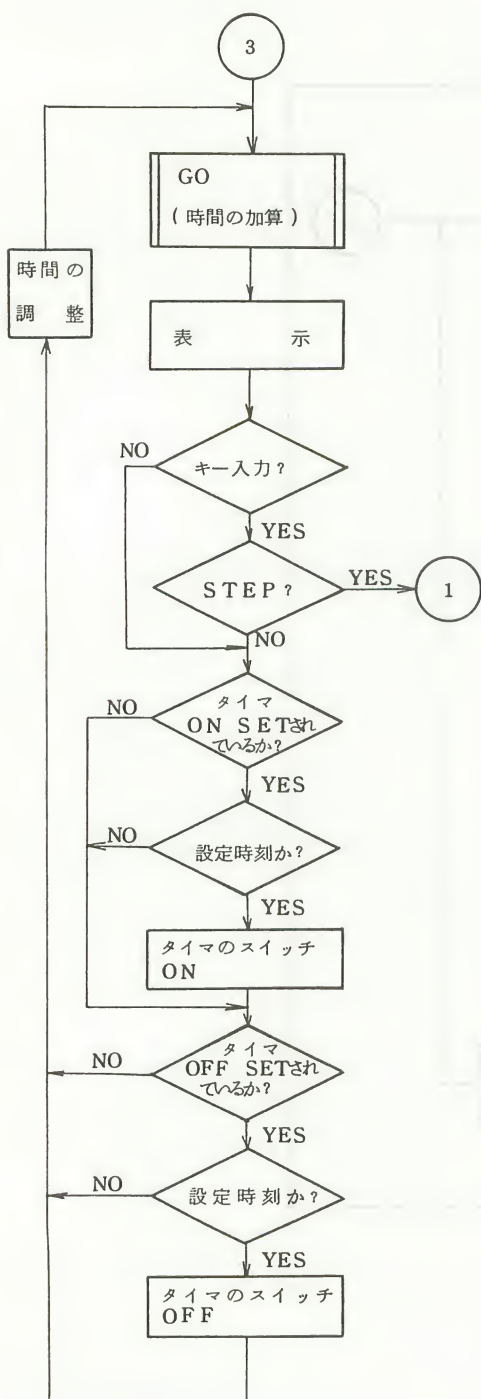
|                                                                                   |                                                                                   |
|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|
|  |  |
| ADDRESS                                                                           | DATA                                                                              |

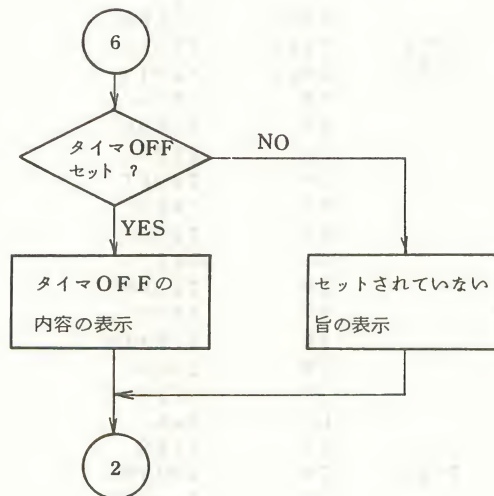
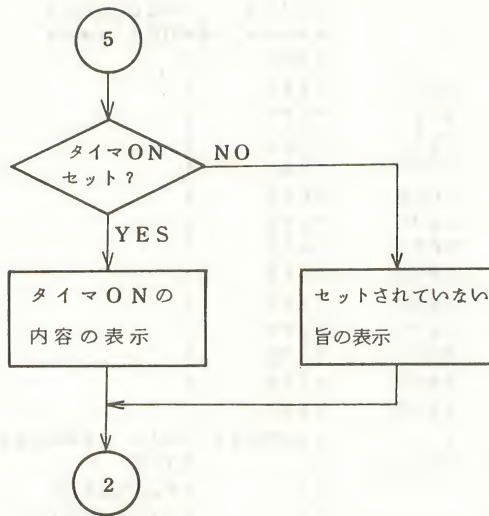
2. クロックの修正は、0E3Hの値を変更することにより可能です。+1で約5.3μs遅くなります。



フ ロ ー チ ャ ー ト







```

1          TITLE    <<CLOCK>>
2          ;          ***** MEMORY *****
3          ORG      0
4 0000      NUM      DEFS    1
5 0001      SEC      DEFS    1
6 0002      MIN      DEFS    1
7 0003      HOUR     DEFS    1
8 0004      REM0     DEFS    1
9 0005      REM1     DEFS    1
10 0006     REM2     DEFS    1
11 0007     REM3     DEFS    1
12 0008     REM4     DEFS    1
13 0009     REM5     DEFS    1
14 000A     REM6     DEFS    1
15 000B     REM7     DEFS    1
16 000C     REM8     DEFS    1
17          ;          ***** MAIN *****
18 0000 DD210000    MAIN: LD      IX,0
19 0011 FD21CDFF    LD      IY,SEGBUF
20 0015 DD360400    LD      (IX+REM0),0
21 0019 3199FF      START: LD      SP,SPSET
22 001C 0600        LD      B,13
23 001E 210000      CLER:  LD      HL,NUM
24 0021 AF          XOR      A
25 0022 77          HCLER: LD      (HL),A
26 0023 23          INC      HL
27 0024 10FC        DJNZ     HCLER
28 0026 C0B401      TM1:   CALL    TIME
29 0029 C03FE3      TM3:   CALL    KEYIN
30 002C FE13        CP      CRUN
31 002F 2826        JR      Z,RUN
32 0030 FE17        CP      CSFT
33 0032 CAC400      JP      Z,SFT
34 0035 FE16        CP      CREM
35 0037 2863        JP      Z,ON
36 0039 FE10        CP      REG
37 003B 2860        JR      Z,OFF
38 003D FE12        CP      STOR
39 003F 28CC        JR      Z,MAIN
40 0041 FE11        CP      LOAD
41 0043 2004        JR      NZ,TM2
42 0045 0604        LD      B,4
43 0047 1805        JR      CLER
44 0049 FE15        TM2:   CP      WRITE
45 004B 2824        JR      Z,WRT
46 004D FE0A        CP      9+1
47 004F 30D5        JR      NC,TM1
48 0051 CDEB00      CALL    SHIFT0
49 0054 1800        TM11: JP      TM1
50          ;          ***** RUN *****

```



```

51 0056 CDF500      RUN:      CALL      GO
52 0059 CDR401      CALL      TIME
53 005C CDD601      CALL      SCAN
54 005F CDD601      CALL      SCAN
55 0062 00          NOP
56 0063 00          NOP
57 0064 00          NOP
58 0065 FE51        CP        51H
59 0067 28EB        TM12:     JR        Z, TM11
60 0069 CD5101      RUN2:     CALL      REMOTE
61 006C CDF200      CALL      COUNT
62 006F 18E5        JR        RUN
63                ;          ***** WRITE *****
64 0071 CD3FE3      WRT:      CALL      KEYIN
65 0074 FE16        CP        CREM
66 0076 280A        JR        Z, WRON
67 0078 FE10        CP        REG
68 007A 2817        JR        Z, WROFF
69 007C FE15        CP        WRITE
70 007F 28F1        JR        Z, WRT
71 0080 18A7        TM13:     JR        TM3
72                ;          **** WRITE ON OFF ****
73 0082 DDCB04C6    WRON:     SET      0, (IX+REM0)
74 0086 110500      LD        DE, REM1
75 0089 010400      WRON1:    LD        BC, 4
76 008C 210000      LD        HL, NUM
77 008F EDB0        LDIR
78 0091 18E0        JR        TM13
79 0093 DDCB04CE    WROFF:    SFT      1, (IX+REM0)
80 0097 110900      LD        DE, REM5
81 009A 18E0        JR        WRON1
82                ;          ***** ON OFF *****
83 009C DDCB0446    ON:       BIT      0, (IX+REM0)
84 00A0 2813        JR        Z, ON2
85 00A2 210500      LD        HL, REM1
86 00A5 CDB701      ON1:      CALL      TIME1
87 00A8 18D6        TM14:     JR        TM13
88 00AA DDCB044E    OFF:      BIT      1, (IX+REM0)
89 00AE 2805        JR        Z, ON2
90 00B0 210900      LD        HL, REM5
91 00B3 18F0        JR        ON1
92 00B5 21C0FF      ON2:      LD        HL, SEGBUF
93 00B8 010408      LD        BC, 804H
94 00BB 71          ON3:      LD        (HL), C
95 00BC 23          INC        HL
96 00BD 10FC        ON3:      DJNZ
97 00BF CDC201      CALL      TIME2
98 00C2 18E4        TM15:     JR        TM14
99                ;          ***** SHIFT ON OFF *****
00 00C4 CD3FE3      SFT:      CALL      KEYIN

```

003 <<CLOCK>>

|     |      |          |         |       |             |
|-----|------|----------|---------|-------|-------------|
| 101 | 00C7 | FE16     |         | CP    | CREM        |
| 102 | 00C9 | 280B     |         | JR    | Z,SFT1      |
| 103 | 00CB | FE10     |         | CP    | REG         |
| 104 | 00CD | 280D     |         | JR    | Z,SFT2      |
| 105 | 00CF | FE17     |         | CP    | CSFT        |
| 106 | 00D1 | 28F1     |         | JR    | Z,SFT       |
| 107 | 00D3 | C35400   | TM16:   | JP    | TM11        |
| 108 | 00D6 | DDCB0486 | SFT1:   | RES   | 0,(IX+REM0) |
| 109 | 00DA | 18F7     |         | JR    | TM16        |
| 110 | 00DC | DDCB048E | SFT2:   | RES   | 1,(IX+REM0) |
| 111 | 00E0 | 18F1     |         | JR    | TM16        |
| 112 |      |          | ;       | ***** | COUNT ***** |
| 113 | 00E2 | 06F5     | COUNT:  | LD    | B,OF5H      |
| 114 | 00E4 | 10FE     |         | DJNZ  | \$          |
| 115 | 00E6 | DD210000 |         | LD    | IX,0        |
| 116 | 00FA | C9       |         | RET   |             |
| 117 |      |          | ;       | ***** | SHIFT ***** |
| 118 | 00EB | 210000   | SHIFT0: | LD    | HL,NUM      |
| 119 | 00EE | CD1EE3   |         | CALL  | SHIFT1      |
| 120 | 00F1 | 23       |         | INC   | HL          |
| 121 | 00F2 | C31EE3   |         | JP    | SHIFT1      |
| 122 |      |          | ;       | ***** | GO *****    |
| 123 | 00F5 | 210300   | GO:     | LD    | HL,HOUR     |
| 124 | 00F8 | 7E       |         | LD    | A,(HL)      |
| 125 | 00F9 | FE24     |         | CP    | 24H         |
| 126 | 00FB | 3018     |         | JR    | NC,NONGO    |
| 127 | 00FD | 28       |         | DEC   | HL          |
| 128 | 00FE | 7E       |         | LD    | A,(HL)      |
| 129 | 00FF | FE60     |         | CP    | 60H         |
| 130 | 0101 | 3012     |         | JR    | NC,NONGO    |
| 131 | 0103 | 28       |         | DEC   | HL          |
| 132 | 0104 | 7E       |         | LD    | A,(HL)      |
| 133 | 0105 | FE60     |         | CP    | 60H         |
| 134 | 0107 | 300C     |         | JR    | NC,NONGO    |
| 135 | 0109 | 28       |         | DEC   | HL          |
| 136 | 010A | 34       | GO1:    | INC   | (HL)        |
| 137 | 010B | 7E       |         | LD    | A,(HL)      |
| 138 | 010C | 87       |         | OR    | A           |
| 139 | 010D | 27       |         | DAA   |             |
| 140 | 010E | 77       |         | LD    | (HL),A      |
| 141 | 010F | 2807     |         | JR    | Z,GO2       |
| 142 | 0111 | 060F     | GONOP1: | LD    | B,15        |
| 143 | 0113 | 1825     |         | JR    | GONOP4      |
| 144 | 0115 | C31900   | NONGO:  | JP    | START       |
| 145 | 0118 | 3600     | GO2:    | LD    | (HL),0      |
| 146 | 011A | 23       |         | INC   | HL          |
| 147 | 011B | 34       |         | INC   | (HL)        |
| 148 | 011C | 7E       |         | LD    | A,(HL)      |
| 149 | 011D | B7       |         | OR    | A           |
| 150 | 011E | 27       |         | DAA   |             |

|                   |         |       |              |
|-------------------|---------|-------|--------------|
| 151 011F 77       |         | LD    | (HL),A       |
| 152 0120 FE60     |         | CP    | 60H          |
| 153 0122 2805     |         | JR    | Z,G03        |
| 154 0124 060A     | GONOP2: | LD    | B,10         |
| 155 0126 7E       |         | LD    | A,(HL)       |
| 156 0127 1822     |         | JR    | GONOP5       |
| 157 0129 3600     | G03:    | LD    | (HL),0       |
| 158 012B 23       |         | INC   | HL           |
| 159 012C 34       |         | INC   | (HL)         |
| 160 012D 7E       |         | LD    | A,(HL)       |
| 161 012E 87       |         | OR    | A            |
| 162 012F 27       |         | DAA   |              |
| 163 0130 77       |         | LD    | (HL),A       |
| 164 0131 FE60     |         | CP    | 60H          |
| 165 0133 2808     |         | JR    | Z,G04        |
| 166 0135 0605     | GONOP3: | LD    | B,5          |
| 167 0137 00       |         | NOP   |              |
| 168 0138 1811     |         | JR    | GONOP5       |
| 169 013A C34B01   | GONOP4: | JP    | GONOP5       |
| 170 013D 3600     | G04:    | LD    | (HL),0       |
| 171 013F 23       |         | INC   | HL           |
| 172 0140 34       |         | INC   | (HL)         |
| 173 0141 7E       |         | LD    | A,(HL)       |
| 174 0142 87       |         | OR    | A            |
| 175 0143 27       |         | DAA   |              |
| 176 0144 77       |         | LD    | (HL),A       |
| 177 0145 FE24     |         | CP    | 24H          |
| 178 0147 2805     |         | JR    | Z,G05        |
| 179 0149 0601     |         | LD    | B,1          |
| 180 014B 10FE     | GONOP5: | DJNZ  | \$           |
| 181 014D C9       |         | RET   |              |
| 182 014F 3600     | G05:    | LD    | (HL),0       |
| 183 0150 C9       |         | RET   |              |
| 184               | ;       | ***** | REMOTE ***** |
| 185 0151 DD7E04   | REMOTE: | LD    | A,(IX+REM0)  |
| 186 0154 0F       |         | RRCA  |              |
| 187 0155 DC6B01   |         | CALL  | C,RMT01      |
| 188 0158 D4AD01   |         | CALL  | NC,RMT10     |
| 189 015B 0F       |         | RRCA  |              |
| 190 015C DD210400 |         | LD    | IX,4         |
| 191 0160 DC9401   |         | CALL  | C,RMT02      |
| 192 0163 D4AD01   |         | CALL  | NC,RMT10     |
| 193 0166 DD210000 |         | LD    | IX,0         |
| 194 016A C9       |         | RET   |              |
| 195 016B F5       | RMT01:  | PUSH  | AF           |
| 196 016C CD7501   |         | CALL  | REM00        |
| 197 016F 2039     |         | JR    | NZ,RMT06     |
| 198 0171 D3DC     |         | OUT   | (REM),A      |
| 199 0173 F1       |         | POP   | AF           |
| 200 0174 C9       |         | RET   |              |

```

201 0175 3A0000 REM00: LD A,(NUM)
202 0178 0DBE05 CP (IX+REM1)
203 017B 2021 JR NZ,RMT03
204 017D 3A0100 LD A,(SEC)
205 0180 0DBF06 CP (IX+REM2)
206 0183 201D JR NZ,RMT04
207 0185 3A0200 LD A,(MIN)
208 0188 0DBE07 CP (IX+REM3)
209 018B 2019 JR NZ,RMT05
210 018D 3A0300 LD A,(HOUR)
211 0190 0DBE08 CP (IX+REM4)
212 0193 C9 RET
213 0194 F5 RMT02: PUSH AF
214 0195 CD7501 CALL REM00
215 0198 2010 JR NZ,RMT06
216 019A 0B0C IN A,(REM)
217 019C F1 POP AF
218 019D C9 RET
219 019E 0607 RMT03: LD B,7
220 01A0 18A9 JR GONOP5
221 01A2 0604 RMT04: LD B,4
222 01A4 18A5 JR GONOP5
223 01A6 0601 RMT05: LD B,1
224 01A8 18A1 JR GONOP5
225 01AA 23 RMT06: INC HL
226 01AB F1 POP AF
227 01AC C9 RET
228 01AD C5 RMT10: PUSH BC
229 01AE 060E LD B,14
230 01B0 10FE DJNZ $
231 01B2 C1 POP BC
232 01B3 C9 RET
233 ; ***** TIME *****
234 01B4 210000 TIME: LD HL,NUM
235 01B7 010400 TIME1: LD BC,4
236 01BA 110FFF LD DE,DATA
237 01BD EDR0 LDIR
238 01BF CDF7E2 CALL DISP
239 01C2 CDC901 TIME2: CALL DOT
240 01C5 CDD601 CALL SCAN
241 01C8 C9 RET
242 ; ***** DOT *****
243 01C9 FDCB02FE DOT: SET 7,(IY+T1)
244 01CD FDCB04FE SET 7,(IY+T2)
245 01D1 FDCB06FE SET 7,(IY+T3)
246 01D5 C9 RET
247 ; ***** SCAN *****
248 01D6 1600 SCAN: LD D,0
249 01D8 0E70 LD C,70H
250 01DA 21D4FF LD HL,SEGBUF+7

```



006 <<CLOCK>>

|     |      |      |        |       |              |
|-----|------|------|--------|-------|--------------|
| 251 | 010D | 3E80 | SN1:   | LD    | A,80H        |
| 252 | 010F | 03D2 |        | OUT   | (PIOBD),A    |
| 253 | 01E1 | 7E   |        | LD    | A,(HL)       |
| 254 | 01E2 | 2B   |        | DEC   | HL           |
| 255 | 01E3 | 03D0 |        | OUT   | (PIOAD),A    |
| 256 | 01E5 | 79   |        | LD    | A,C          |
| 257 | 01E6 | 03D2 |        | OUT   | (PIOBD),A    |
| 258 | 01F8 | 08D2 |        | IN    | A,(PIOBD)    |
| 259 | 01EA | 2F   |        | CPL   |              |
| 260 | 01EB | E60F |        | AND   | 0FH          |
| 261 | 01ED | 2804 |        | JR    | Z,SN2        |
| 262 | 01EF | B1   |        | OR    | C            |
| 263 | 01F0 | 57   |        | LD    | D,A          |
| 264 | 01F1 | 1804 |        | JR    | SN3          |
| 265 | 01F3 | 2002 | SN2:   | JR    | NZ,SN3       |
| 266 | 01F5 | 00   |        | NOP   |              |
| 267 | 01F6 | 00   |        | NOP   |              |
| 268 | 01F7 | 3E28 | SN3:   | LD    | A,40         |
| 269 | 01F9 | 3D   | SN4:   | DEC   | A            |
| 270 | 01FA | 20FD |        | JR    | NZ,SN4       |
| 271 | 01FC | 79   |        | LD    | A,C          |
| 272 | 01FD | 0610 |        | SUB   | 10H          |
| 273 | 01FF | 4F   |        | LD    | C,A          |
| 274 | 0200 | 30DB |        | JR    | NC,SN1       |
| 275 | 0202 | 3E80 |        | LD    | A,80H        |
| 276 | 0204 | 03D2 |        | OUT   | (PIOBD),A    |
| 277 | 0206 | 7A   |        | LD    | A,D          |
| 278 | 0207 | A7   |        | AND   | A            |
| 279 | 0208 | C9   |        | RET   |              |
| 280 |      |      | ;      | ***** | DEFINE ***** |
| 281 | FFDF |      | DATA   | EQU   | 0FFDFH       |
| 282 | FFCD |      | SFGBUF | EQU   | 0FFCDH       |
| 283 | E33F |      | KEYIN  | EQU   | 0E33FH       |
| 284 | 0010 |      | REG    | EQU   | 10H          |
| 285 | 0011 |      | LOAD   | EQU   | 11H          |
| 286 | 0012 |      | STOR   | EQU   | 12H          |
| 287 | 0013 |      | CRUN   | EQU   | 13H          |
| 288 | 0014 |      | STEP   | EQU   | 14H          |
| 289 | 0015 |      | WRITE  | EQU   | 15H          |
| 290 | 0016 |      | CREM   | EQU   | 16H          |
| 291 | 0017 |      | CSFT   | EQU   | 17H          |
| 292 | E318 |      | SHIFT  | EQU   | 0E318H       |
| 293 | E31E |      | SHIFT1 | EQU   | 0E31EH       |
| 294 | E324 |      | SEGCON | EQU   | 0E324H       |
| 295 | E2F7 |      | DISP   | EQU   | 0E2F7H       |
| 296 | FFE1 |      | ADDR   | EQU   | 0FFE1H       |
| 297 | 00D0 |      | PIOAD  | EQU   | 0D0H         |
| 298 | 00D2 |      | PIORD  | EQU   | 0D2H         |
| 299 | 00DC |      | REM    | EQU   | 0DCH         |
| 300 | FF99 |      | SPSET  | EQU   | 0FF99H       |

007 <<CLOCK>>

|     |      |    |     |   |
|-----|------|----|-----|---|
| 301 | 0002 | T1 | EQU | 2 |
| 302 | 0004 | T2 | EQU | 4 |
| 303 | 0006 | T3 | EQU | 6 |
| 304 | 0209 |    | END |   |

# <<CLOCK>> SYMBOL TABLE

|        |       |        |       |        |       |        |       |
|--------|-------|--------|-------|--------|-------|--------|-------|
| ADDR   | -FFE1 | CLER   | -001E | COUNT  | -00E2 | CREM   | -0016 |
| CRUN   | -0013 | CSFT   | -0017 | DATA   | -FFDF | DISP   | -E2F7 |
| DOT    | -01C9 | GO     | -00F5 | GO1    | -010A | GO2    | -0118 |
| GO3    | -0129 | GO4    | -013D | GO5    | -014E | GONOP1 | -0111 |
| GONOP2 | -0124 | GONOP3 | -0135 | GONOP4 | -013A | GONOP5 | -014B |
| HCLER  | -0022 | HOURL  | -0003 | KEYIN  | -E33F | LOAD   | -0011 |
| MAIN   | -000D | MIN    | -0002 | NONGO  | -0115 | NUM    | -0000 |
| OFF    | -00AA | ON     | -009C | ON1    | -00A5 | ON2    | -00B5 |
| ON3    | -00BB | PIOAD  | -00D0 | PIOBD  | -00D2 | REG    | -0010 |
| REM    | -00DC | REMO   | -0004 | REMO0  | -0175 | RFM1   | -0005 |
| REM2   | -0006 | REM3   | -0007 | REM4   | -0008 | REM5   | -0009 |
| RFM6   | -000A | REM7   | -000B | REM8   | -000C | REMOTE | -0151 |
| RMT01  | -016B | RMT02  | -0194 | RMT03  | -019E | RMT04  | -01A2 |
| RMT05  | -01A6 | RMT06  | -01AA | RMT10  | -01AD | RUN    | -0056 |
| RUN2   | -0069 | SCAN   | -01D6 | SEC    | -0001 | SEGBUF | -FFCD |
| SEGCON | -E324 | SFT    | -00C4 | SFT1   | -00D6 | SFT2   | -00DC |
| SHIFT  | -E318 | SHIFT0 | -00EB | SHIFT1 | -E31E | SN1    | -01DD |
| SN2    | -01F3 | SN3    | -01F7 | SN4    | -01F9 | SPSET  | -FF99 |
| START  | -0019 | STEP   | -0014 | STOR   | -0012 | T1     | -0002 |
| T2     | -0004 | T3     | -0006 | TIME   | -01B4 | TIME1  | -01B7 |
| TIME2  | -01C2 | TM1    | -0026 | TM11   | -0054 | TM12   | -0067 |
| TM13   | -0080 | TM14   | -00A8 | TM15   | -00C2 | TM16   | -00D3 |
| TM2    | -0049 | TM3    | -0029 | WRITE  | -0015 | WROFF  | -0093 |
| WRON   | -0082 | WRON1  | -0089 | WRT    | -0071 |        |       |

### 3. 自 動 演 奏

#### 3.1 概 要

SM-B-80Tの応用として、音楽を連続して自動演奏するプログラム例を示します。

このプログラムは、演奏させたい曲の音符を2バイトのデータに変換して音符データエリアに格納しておき、この音符データに対応した周波数パルスをもF/Fに接続したオーディオアンプに出力して演奏します。

#### 3.2 フローチャート

別図にフローチャートを示します。

#### 3.3 コーディング

別表にコーディングを示します。

#### 3.4 音符データの作成

音符データは、次に示すようにメモリの2バイトを使用して下位1バイトに音階とオクターブを、上位1バイトに音符の長さをセットします。

このプログラムでは、音階として12平均律音階を、オクターブは3オクターブまで使用します。また、同じ曲を繰り返し演奏させるには、曲の終わりに一定の休符を入れた後、0をセットします。

|        |           |   |   |   |     |   |   |   |
|--------|-----------|---|---|---|-----|---|---|---|
|        | 7         | 6 | 5 | 4 | 3   | 2 | 1 | 0 |
| 下位アドレス | オ ク タ ー ブ |   |   |   | 音 階 |   | # |   |
| 上位アドレス | 音 符 の 長 さ |   |   |   |     |   |   |   |

オクターブの入力

|   |             |         |
|---|-------------|---------|
| 0 | ( 0 0 0 0 ) | 繰り返しのとき |
| 1 | ( 0 0 0 1 ) | 1オクターブ  |
| 2 | ( 0 0 1 0 ) | 2オクターブ  |
| 4 | ( 0 1 0 0 ) | 3オクターブ  |
| 8 | ( 1 0 0 0 ) | 休 符     |

## 五線符との対応

|       |                |    |                  |    |                  |    |    |                  |    |                  |    |    |                  |    |                  |    |                  |    |    |                  |    |                  |    |    |
|-------|----------------|----|------------------|----|------------------|----|----|------------------|----|------------------|----|----|------------------|----|------------------|----|------------------|----|----|------------------|----|------------------|----|----|
| ハ長調のド | ハ <sup>#</sup> | レ  | ハ <sup>#</sup> レ | ミ  | ハ <sup>#</sup> ミ | ファ | ソ  | ハ <sup>#</sup> ソ | ラ  | ハ <sup>#</sup> ラ | シ  | ド  | ハ <sup>#</sup> ド | レ  | ハ <sup>#</sup> レ | ミ  | ハ <sup>#</sup> ミ | ファ | ソ  | ハ <sup>#</sup> ソ | ラ  | ハ <sup>#</sup> ラ | シ  |    |
| 音階    | ・              | ・  | ・                | ・  | ・                | ・  | ・  | ・                | ・  | ・                | ・  | ・  | ・                | ・  | ・                | ・  | ・                | ・  | ・  | ・                | ・  | ・                |    |    |
| 絶対音階  | ハ              | 変ハ | ニ                | 変ニ | ホ                | 変ホ | ヘ  | ト                | 変ト | イ                | 変イ | ロ  | ハ                | 変ハ | ニ                | 変ニ | ホ                | 変ホ | ヘ  | ト                | 変ト | イ                | 変イ | ロ  |
| データ   | 12             | 13 | 14               | 15 | 16               | 17 | 18 | 1A               | 1B | 1C               | 1D | 1E | 22               | 23 | 24               | 25 | 26               | 27 | 28 | 2A               | 2B | 2C               | 2D | 2E |



## 音符の長さ

|  |       | データ (16進数) |
|--|-------|------------|
|  | 32分音符 | 1          |
|  | 32分休符 | 1          |
|  | 16分音符 | 2          |
|  | 16分休符 | 2          |
|  | 8分音符  | 4          |
|  | 8分休符  | 4          |
|  | 4分音符  | 8          |
|  | 4分休符  | 8          |
|  | 2分音符  | 10         |
|  | 2分休符  | 10         |
|  | 全音符   | 20         |
|  | 全休符   | 20         |

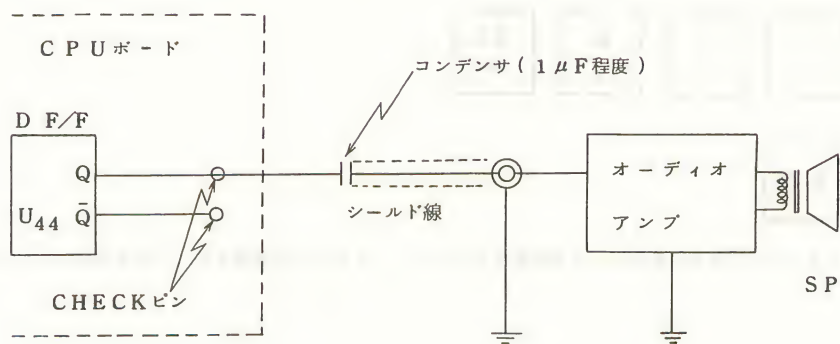
(注) データとして、32分音符を1として計算しています。他の符点音符などは、計算してください。

(例)  $\text{♪} = \text{♪} + \text{♪} = 8 + 4 = \text{C} (16\text{進数})$

$\text{♪} = \text{♪} + \text{♪} + \text{♪} = 10 + 8 + 4 = 1\text{C} (16\text{進数})$

## 3.5 操作方法

このプログラムで使用するDタイプF/Fとオーディオアンプは次のように接続します。



次のキー操作でコーディングリスト上の機械語コードを所定のメモリに書き込みます。

|         |         |         |         |             |
|---------|---------|---------|---------|-------------|
| PC<br>0 | PC<br>0 | PC<br>0 | PC<br>0 | REM<br>ADRS |
|---------|---------|---------|---------|-------------|

|         |   |       |
|---------|---|-------|
| IX<br>2 | A | WRITE |
|---------|---|-------|

|   |   |       |
|---|---|-------|
| D | F | WRITE |
|---|---|-------|

⋮

|         |         |       |
|---------|---------|-------|
| SP<br>1 | PC<br>0 | WRITE |
|---------|---------|-------|

|         |         |       |
|---------|---------|-------|
| PC<br>0 | PC<br>0 | WRITE |
|---------|---------|-------|

-----6のきよしこの夜の音符データの最後

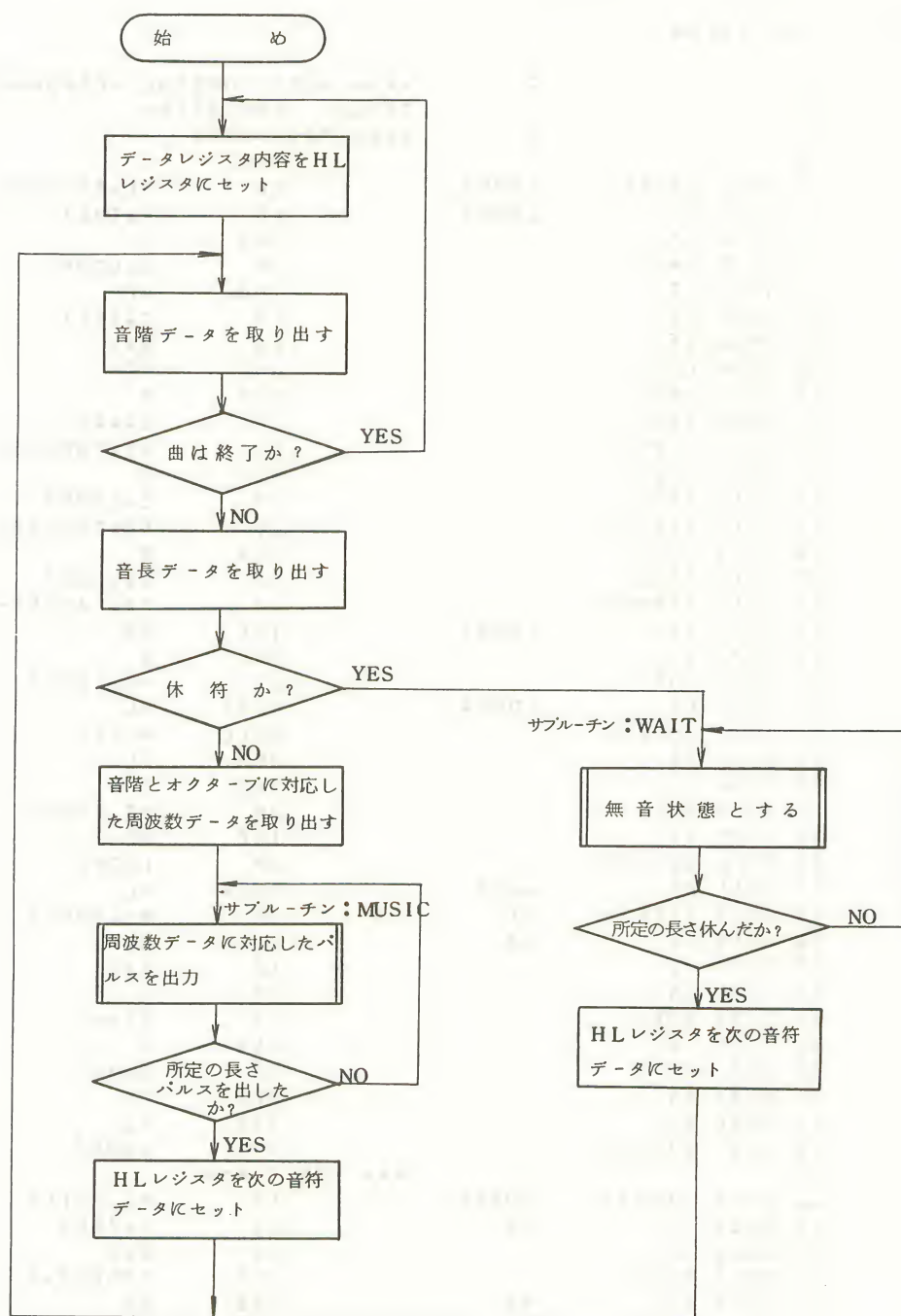
プログラムの書き込みが終了しましたら次のキー操作で実行させます。ただし、自動演奏させたい曲の音符データはメモリの0084H番地から格納されているものとします。

|         |         |         |         |             |
|---------|---------|---------|---------|-------------|
| PC<br>0 | PC<br>0 | PC<br>0 | PC<br>0 | REM<br>ADRS |
|---------|---------|---------|---------|-------------|

|         |         |        |         |
|---------|---------|--------|---------|
| PC<br>0 | PC<br>0 | H<br>8 | BA<br>4 |
|---------|---------|--------|---------|

|     |
|-----|
| RUN |
|-----|

メモリの中に何曲もの音符データが格納されていても、そのうちの演奏させたい曲を選択することができます。



自動演奏フローチャート

001 \*\*MUSIC\*\*

```

1      ;      **** AUTO MUSICAL PERFORMANCE ****
2      TITLE  **MUSIC**
3      ;      **** MAIN ****
4      ORG    0
5 0000 2ADFFF LOOP1: LD    HL,(OFFDFH)
6 0003 7F     LOOP2: LD    A,(HL)
7 0004 A7     AND    A,A
8 0005 28F9   JR     Z,LOOP1
9 0007 23     INC    HL
10 0008 4F    LD     C,(HL)
11 0009 47    LD     B,A
12 000A E60F  AND    OFH
13 000C C820  SLA    B
14 000E 3821  JR     C,WAIT
15 0010 117500 LD    DE,TABLE3-2
16 0013 CB20  SLA    B
17 0015 380A  JR     C,LOOP3
18 0017 116700 LD    DE,TABLE2-2
19 001A C820  SLA    B
20 001C 3803  JR     C,LOOP3
21 001E 115900 LD    DE,TABLE1-2
22 0021 13    LOOP3: INC    DE
23 0022 3D    DEC    A
24 0023 20FC  JR     NZ,LOOP3
25 0025 E5    LOOP4: PUSH   HL
26 0026 CD4200 CALL  MUSIC
27 0029 E1    POP    HL
28 002A 0D    DEC    C
29 002B 20F8  JR     NZ,LOOP4
30 002D 23    INC    HL
31 002E C30300 JP     LOOP2
32 0031 E5    WAIT   HL
33 0032 21FF20 W1     LD    HL,20FFH
34 0035 2B    W2     DEC    HL
35 0036 7C    LD     A,H
36 0037 B5    OR     L
37 0038 20FB  JR     NZ,W2
38 003A 0D    DEC    C
39 003B 20F5  JR     NZ,W1
40 003D E1    POP    HL
41 003E 23    INC    HL
42 003F C30300 JP     LOOP2
43      ;      *** MUSIC ***
44 0042 21FF20 MUSIC LD    HL,20FFH
45 0045 1A    M1     LD    A,(DE)
46 0046 47    LD     B,A
47 0047 D3DD  OUT    (ODDH),A
48 0049 2B    M2     DEC    HL
49 004A 7C    LD     A,H
50 004B B5    OR     L

```



002      \*\*MUSIC\*\*

|    |      |          |         |      |                     |
|----|------|----------|---------|------|---------------------|
| 51 | 004C | C8       |         | RET  | Z                   |
| 52 | 004D | 10FA     |         | DJNZ | M2                  |
| 53 | 004F | 1A       |         | LD   | A,(DE)              |
| 54 | 0050 | 47       |         | LD   | B,A                 |
| 55 | 0051 | 0BDD     |         | IN   | A,(0DDH)            |
| 56 | 0053 | 2B       | M3      | DEC  | HL                  |
| 57 | 0054 | 7C       |         | LD   | A,H                 |
| 58 | 0055 | B5       |         | OR   | L                   |
| 59 | 0056 | C8       |         | RET  | Z                   |
| 60 | 0057 | 10FA     |         | DJNZ | M3                  |
| 61 | 0059 | 18EA     |         | JR   | M1                  |
| 62 |      |          | ;       | **** | TABLE ****          |
| 63 | 005B | 928A827B | TABLE1: | DEFB | 92H,8AH,82H,7BH,75H |
|    | 005F | 75       |         |      |                     |
| 64 | 0060 | 6D6D6761 |         | DEFB | 6DH,6DH,67H,61H,5CH |
|    | 0064 | 5C       |         |      |                     |
| 65 | 0065 | 57524D49 |         | DEFB | 57H,52H,4DH,49H     |
| 66 | 0069 | 4944413D | TABLE2: | DEFB | 49H,44H,41H,3DH,3AH |
|    | 006D | 3A       |         |      |                     |
| 67 | 006F | 36363330 |         | DEFB | 36H,36H,33H,30H,2DH |
|    | 0072 | 2D       |         |      |                     |
| 68 | 0073 | 2B282625 |         | DEFB | 2BH,28H,26H,25H     |
| 69 | 0077 | 2522201E | TABLE3: | DEFB | 25H,22H,20H,1EH,1CH |
|    | 007B | 1C       |         |      |                     |
| 70 | 007C | 1A1A1918 |         | DEFB | 1AH,1AH,19H,18H,16H |
|    | 0080 | 16       |         |      |                     |
| 71 | 0081 | 151413   |         | DEFB | 15H,14H,13H         |
| 72 | 0084 |          |         |      | END                 |

### 3.6 音符データの入力演奏

音符データは、84H番地以降の任意のアドレスに順に入力していきます。演奏の場合、アドレスを0000にし、DATAをその音符データの入力開始アドレスにしておきます。そして、RUNさせますと自動演奏が始まります。

(例) きよしこの夜 (聖夜)

|   |     |   |     |    |     |         |     |
|---|-----|---|-----|----|-----|---------|-----|
| ソ | 1 A | ソ | 1 A | ソ  | 1 A | ソ       | 1 A |
|   | 0 6 |   | 0 C |    | 0 6 |         | 0 6 |
| ラ | 1 C | ラ | 1 C | ラ  | 1 C | ファ      | 1 8 |
|   | 0 2 |   | 0 8 |    | 0 2 |         | 0 2 |
| ソ | 1 A | ラ | 1 C | ソ  | 1 A | レ       | 1 4 |
|   | 0 4 |   | 0 4 |    | 0 4 |         | 0 4 |
| ミ | 1 6 | ド | 2 2 | ミ  | 1 6 | ド       | 1 2 |
|   | 0 C |   | 0 6 |    | 0 C |         | 0 C |
| ソ | 1 A | シ | 1 E | レ  | 2 4 | 休       | 8 0 |
|   | 0 6 |   | 0 2 |    | 0 8 |         | 1 0 |
| ラ | 1 C | ラ | 1 C | レ  | 2 4 | くり返し0 0 |     |
|   | 0 2 |   | 0 4 |    | 0 4 |         |     |
| ソ | 1 A | ソ | 1 A | ファ | 2 8 |         |     |
|   | 0 4 |   | 0 6 |    | 0 6 |         |     |
| ミ | 1 6 | ラ | 1 C | レ  | 2 4 |         |     |
|   | 0 C |   | 0 2 |    | 0 2 |         |     |
| レ | 2 4 | ソ | 1 A | シ  | 1 E |         |     |
|   | 0 8 |   | 0 4 |    | 0 4 |         |     |
| レ | 2 4 | ミ | 1 6 | ド  | 2 2 |         |     |
|   | 0 2 |   | 0 C |    | 0 C |         |     |
| シ | 1 E | ラ | 1 C | ミ  | 2 6 |         |     |
|   | 0 2 |   | 0 8 |    | 0 8 |         |     |
| シ | 1 E | ラ | 1 C | 休  | 8 0 |         |     |
|   | 0 C |   | 0 4 |    | 0 4 |         |     |
| ド | 2 2 | ド | 2 2 | ド  | 2 2 |         |     |
|   | 0 8 |   | 0 6 |    | 0 4 |         |     |
| ド | 2 2 | シ | 1 E | ソ  | 1 A |         |     |
|   | 0 2 |   | 0 2 |    | 0 4 |         |     |
| ソ | 1 A | ラ | 1 C | ミ  | 1 6 |         |     |
|   | 0 2 |   | 0 4 |    | 0 4 |         |     |

# SM-B-80T 13

アプリケーションマニュアル(2)

## 目 次

1. スロット・マシン・ゲーム ..... 1
2. 電子ルーレット・ゲーム ..... 7
3. 紙テープ・リーダー・インターフェース ..... 11



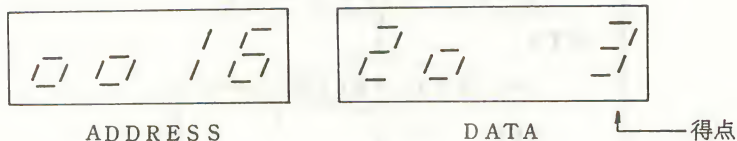
## 1. スロット・マシン・ゲーム

### 1.1 概 要

7 セグメントの L E D を利用したゲームのプログラムです。

プログラムのステップ数は、544 バイトで、データ・エリアは、16 バイトです。

このゲームは、変化している 6 桁の表示を、できるだけ同じ数に揃えるように、タイミング良く [ W R I T E ] キーを押して、得点を取るゲームです。



キーを押す毎に、2 桁ずつ表示が固定され、3 回で完了です。

得点の計算は、重複を許す組み合わせで行います。従って、例えば全部一致すれば、次のようになります。

$$C_2 = \frac{6 \times 5}{2} = 15 (= F_H)$$

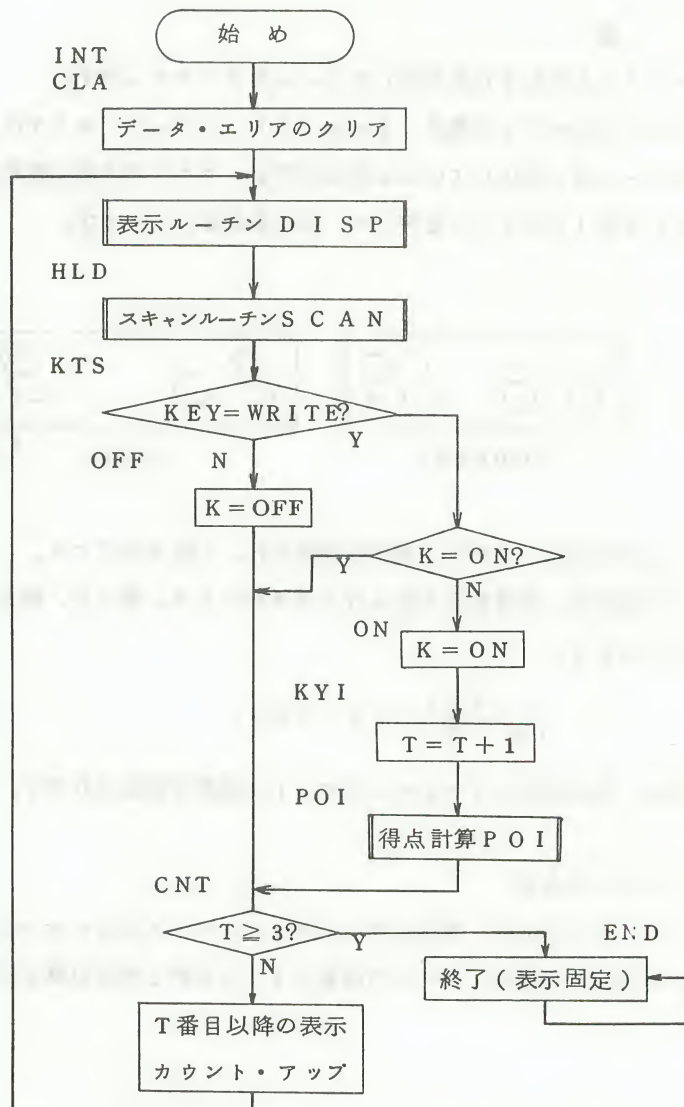
表示は、特に処理していませんので、16 進数で表示されます。

### 1.2 プログラムの内容

メイン・ルーチンは、表示とキースキャン、キー入力のチェックと表示データの更新です。

キー入力がある場合、キー入力回数 ( T ) の更新と得点計算を行います。

### 1.2.1 フローチャート



○ 表示データ・エリア

|      |   |   |
|------|---|---|
| DD   | 3 | 4 |
| DD+1 | 1 | 2 |
| DD+2 | 7 | 8 |
| DD+3 | 5 | 6 |

ADRS 右側表示データ

ADRS 左側表示データ

DATA 右側 (ブランクと得点)

DATA 左側表示データ

○ 比較用エリア

|      |   |   |
|------|---|---|
| CD   | 1 | / |
| CD+1 | 2 | / |
| CD+2 | 3 | / |
| CD+3 | 4 | / |
| CD+4 | 5 | / |
| CD+5 | 6 | / |

### 1.2.2 プログラムの詳細

キー入力がない間は、表示データをループ1周毎にインクリメントしてゆきます。キー入力があれば、入力回数カウンタTをインクリメントし、この内容で表示データの更新箇所を制限してゆきます。

キーが押し続けられても、単発入力と見做せるように、Kフラグを設け、K=OFFの時にキー入力があれば、有効とします。

キー入力毎に、カウンタTの内容が更新され、得点計算のルーチンに入ります。

得点計算は、表示データを比較エリアに移してから行いますが、この比較は、Tの内容に従って、すでに固定されたデータ同志についてだけ行います。

一致があれば、得点カウンタPの内容をインクリメントしてゆきます。この計算は、計算ルーチンに入る毎にやり直します。

これらの処理は、キー入力が3回入るまで続けられ、3回目では、終了のルーチンに入り、最終時の内容を表示し続けます。

これを解除する場合、[RESET]キーを押します。

### 1.3 プログラムの使用ルーチンとエリア

このプログラムは、次のようなモニタのルーチンを使用しています。

| ルーチン | エントリィ番地 |
|------|---------|
| DISP | E2F7H   |
| SCAN | E370H   |

また、変数のセーブ・エリアは、

FF00H ~ FFOFH

です。

### 1.4 プログラム・リストを、5～7ページに示します。

### 1.5 プログラムの実行

次の順序でキーを押します。

|    |    |    |    |      |     |
|----|----|----|----|------|-----|
| PC | PC | PC | PC | REM  | RUN |
| 0  | 0  | 0  | 0  | ADRS |     |

### 1.6 プログラムの終了

RESET

|         |               |    |           |                   |           |           |
|---------|---------------|----|-----------|-------------------|-----------|-----------|
| S L O T | A S M B L ' D | BY | Z 8 0     | A S S E M B L E R | REV-A . 2 | 08,09,'78 |
|         |               |    | T I T L E | S L O T - G A M E |           |           |

|    |      |          |     |                   |
|----|------|----------|-----|-------------------|
| 1  |      |          |     | SLOT-MACHINE GAME |
| 2  |      |          |     |                   |
| 3  |      |          |     |                   |
| 4  |      |          |     | SLOT              |
| 5  |      |          |     |                   |
| 6  |      |          |     | TITLE             |
| 7  |      |          |     | SLOT-GAME         |
| 8  | 0000 | 3E00     | INI | ORG 00H           |
| 9  | 0002 | 3204FF   |     | LD A,0H           |
| 10 | 0005 | 3200FF   |     | LD (P),A          |
| 11 | 0008 | 3205FF   |     | LD (K),A          |
| 12 | 000B | 3E00     | ENT | LD (T),A          |
| 13 | 000D | 0606     |     | LD A,0H           |
| 14 | 000F | 210AFF   |     | LD B,6H           |
| 15 | 0012 | 77       | CLA | LD HL,CD          |
| 16 | 0013 | 23       |     | LD (HL),A         |
| 17 | 0014 | 10FC     |     | INC HL            |
| 18 | 0016 | DD2106FF |     | DJNZ CLA          |
| 19 | 001A | ED4B06FF |     | LD IX,DD          |
| 20 | 001E | ED43E1FF |     | LD BC,(DD)        |
| 21 | 0022 | CD6E00   |     | LD (AD),BC        |
| 22 | 0025 | 060A     |     | CALL DSR          |
| 23 | 0027 | C5       | HLD | LD B,AH           |
| 24 | 0028 | CD70E3   |     | PUSH BC           |
| 25 | 002B | C1       |     | CALL SCAN         |
| 26 | 002C | 10F9     |     | POP BC            |
| 27 | 002E | EE52     | KTS | DJNZ HLD          |
| 28 | 0030 | 2008     |     | CP 52H            |
| 29 | 0032 | 3A00FF   |     | JR NZ,OFF         |
| 30 | 0035 | A7       |     | LD A,(K)          |
| 31 | 0036 | 2809     |     | AND A             |
| 32 | 0038 | 1813     |     | JR Z,ON           |
| 33 | 003A | 3E00     | OFF | JR CNT            |
| 34 | 003C | 3200FF   |     | LD A,0H           |
| 35 | 003F | 180C     |     | LD (K),A          |
| 36 | 0041 | 3E01     | ON  | JR CNT            |
| 37 | 0043 | 3200FF   |     | LD A,1H           |
| 38 | 0046 | 2105FF   | KYI | LD (K),A          |
| 39 | 0049 | 34       |     | LD HL,T           |
| 40 | 004A | CD8300   |     | INC (HL)          |
| 41 | 004D | 3A05FF   | CNT | CALL POI          |
| 42 | 0050 | A7       |     | LD A,(T)          |
| 43 | 0051 | 2808     |     | AND A             |
| 44 | 0053 | 3D       |     | JR Z,IC0          |
| 45 | 0054 | 2808     |     | DEC A             |
| 46 | 0056 | 3D       |     | JR Z,IC1          |
| 47 | 0057 | 2808     |     | DEC A             |
| 48 | 0059 | 1808     |     | JR Z,IC2          |
| 49 | 005B | DD3401   | IC0 | JR END            |
| 50 | 005E | DD3400   | IC1 | INC (IX+1)        |
|    |      |          |     | INC (IX)          |



|     |      |          |      |      |            |
|-----|------|----------|------|------|------------|
| 51  | 0061 | DD3403   | IC2  | INC  | (IX+3)     |
| 52  | 0064 | 18A5     |      | JR   | ENT        |
| 53  |      |          |      |      |            |
| 54  | 0066 | CD6E00   | END  | CALL | DSR        |
| 55  | 0069 | CD70E3   | ENDE | CALL | SCAN       |
| 56  | 0060 | 18FB     |      | JR   | ENDE       |
| 57  |      |          |      |      |            |
| 58  | 006E | ED4B08FF | DSR  | LD   | BC, (DD+2) |
| 59  | 0072 | 3A04FF   |      | LD   | A, (P)     |
| 60  | 0075 | 4F       |      | LD   | C, A       |
| 61  | 0076 | ED43DFFF |      | LD   | (DT), BC   |
| 62  | 007A | CDF7E2   |      | CALL | DISP       |
| 63  | 007D | 3E00     |      | LD   | A, 0H      |
| 64  | 007F | 32CEFF   |      | LD   | (SB1), A   |
| 65  | 0082 | C9       |      | RET  |            |
| 66  |      |          |      |      |            |
| 67  | 0083 | 3A07FF   | PO1  | LD   | A, (DD+1)  |
| 68  | 0086 | 21DBFF   |      | LD   | HL, CD+1   |
| 69  | 0089 | ED67     |      | RRD  |            |
| 70  | 008B | 320AFF   |      | LD   | (CD), A    |
| 71  | 008E | 3A06FF   |      | LD   | A, (DD)    |
| 72  | 0091 | 210DFF   |      | LD   | HL, CD+3   |
| 73  | 0094 | ED67     |      | RRD  |            |
| 74  | 0096 | 320CFF   |      | LD   | (CD+2), A  |
| 75  | 0099 | 3A09FF   |      | LD   | A, (DD+3)  |
| 76  | 009C | 210FFF   |      | LD   | HL, CD+5   |
| 77  | 009F | ED67     |      | RRD  |            |
| 78  | 00A1 | 320EFF   |      | LD   | (CD+4), A  |
| 79  | 00A4 | 3E00     | TST  | LD   | A, 0H      |
| 80  | 00A6 | 3204FF   |      | LD   | (P), A     |
| 81  | 00A9 | 2104FF   |      | LD   | HL, P      |
| 82  | 00AC | 3A05FF   |      | LD   | A, (T)     |
| 83  | 00AF | EE00     |      | CP   | 0H         |
| 84  | 00B1 | 2840     |      | JR   | Z, TED     |
| 85  | 00B3 | FE01     |      | CP   | 1H         |
| 86  | 00B5 | 2835     |      | JR   | Z, T1      |
| 87  | 00B7 | FE02     |      | CP   | 2H         |
| 88  | 00B9 | 2821     |      | JR   | Z, T2      |
| 89  | 00BB | FE03     |      | CP   | 3H         |
| 90  | 00BD | 2802     |      | JR   | Z, T3      |
| 91  | 00BF | 1832     |      | JR   | TED        |
| 92  | 00C1 | ED4B0AFF | T3   | LD   | BC, (CD)   |
| 93  | 00C5 | ED5B0EFF |      | LD   | DE, (CD+4) |
| 94  | 00C9 | CDFA00   |      | CALL | MID        |
| 95  | 00CC | ED4B0CFF |      | LD   | BC, (CD+2) |
| 96  | 00D0 | ED5B0EFF |      | LD   | DE, (CD+4) |
| 97  | 00D4 | CDFA00   |      | CALL | MID        |
| 98  | 00D7 | 42       |      | LD   | B, D       |
| 99  | 00D8 | 4B       |      | LD   | C, E       |
| 100 | 00D9 | CDF400   |      | CALL | THN        |

|     |      |          |      |      |            |
|-----|------|----------|------|------|------------|
| 101 | 00DC | ED4B0AFF | T2   | LD   | BC, (CD)   |
| 102 | 00E0 | ED5B0CFF |      | LD   | DE, (CD+2) |
| 103 | 00E4 | CDFA00   |      | CALL | MID        |
| 104 | 00E7 | 42       |      | LD   | B, D       |
| 105 | 00E8 | 4B       |      | LD   | C, E       |
| 106 | 00E9 | CDF400   |      | CALL | THN        |
| 107 | 00EC | ED4B0AFF | T1   | LD   | BC, (CD)   |
| 108 | 00E0 | CDF400   |      | CALL | THN        |
| 109 | 00F3 | C9       | TED  | RET  |            |
| 110 |      |          | ;    |      |            |
| 111 | 00F4 | 78       | THN  | LD   | A, B       |
| 112 | 00F5 | B9       |      | CP   | C          |
| 113 | 00F6 | 2001     |      | JR   | NZ, THE    |
| 114 | 00F8 | 34       |      | INC  | (HL)       |
| 115 | 00F9 | C9       | THE  | RET  |            |
| 116 |      |          | ;    |      |            |
| 117 | 00FA | 78       | MID  | LD   | A, B       |
| 118 | 00FB | C5       |      | PUSH | BC         |
| 119 | 00FC | CD0501   |      | CALL | DEP        |
| 120 | 00FF | C1       |      | POP  | BC         |
| 121 | 0100 | 79       |      | LD   | A, C       |
| 122 | 0101 | CD0501   |      | CALL | DEP        |
| 123 | 0104 | C9       |      | RET  |            |
| 124 |      |          | ;    |      |            |
| 125 | 0105 | BA       | DEP  | CP   | D          |
| 126 | 0106 | 2001     |      | JR   | NZ, DEA    |
| 127 | 0108 | 34       |      | INC  | (HL)       |
| 128 | 0109 | BB       | DEA  | CP   | E          |
| 129 | 010A | 2001     |      | JR   | NZ, DEE    |
| 130 | 010C | 34       |      | INC  | (HL)       |
| 131 | 010D | C9       | DEE  | RET  |            |
| 132 |      |          | ;    |      |            |
| 133 |      | FF00     | K    | EQU  | FF00H      |
| 134 |      | FF04     | P    | EQU  | FF04H      |
| 135 |      | FF05     | T    | EQU  | FF05H      |
| 136 |      | FF06     | DD   | EQU  | FF06H      |
| 137 |      | FF0A     | CD   | EQU  | FF0AH      |
| 138 |      |          | ;    |      |            |
| 139 |      | FFE1     | AD   | EQU  | FFE1H      |
| 140 |      | FFDF     | DT   | EQU  | FFDFH      |
| 141 |      | FFCE     | SB1  | EQU  | FFCEH      |
| 142 |      | E2F7     | DISP | EQU  | E2F7H      |
| 143 |      | E370     | SCAN | EQU  | E370H      |
| 144 |      | E2B7     | WAIT | EQU  | E2B7H      |
| 145 | 010E |          |      | END  |            |

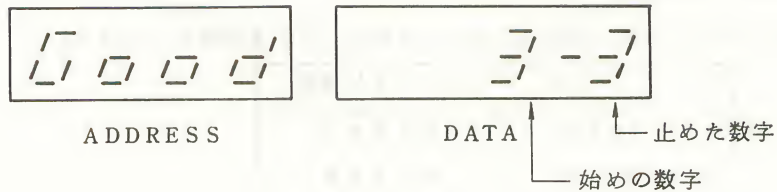
## 2. 電子ルーレット

### 2.1 概 要

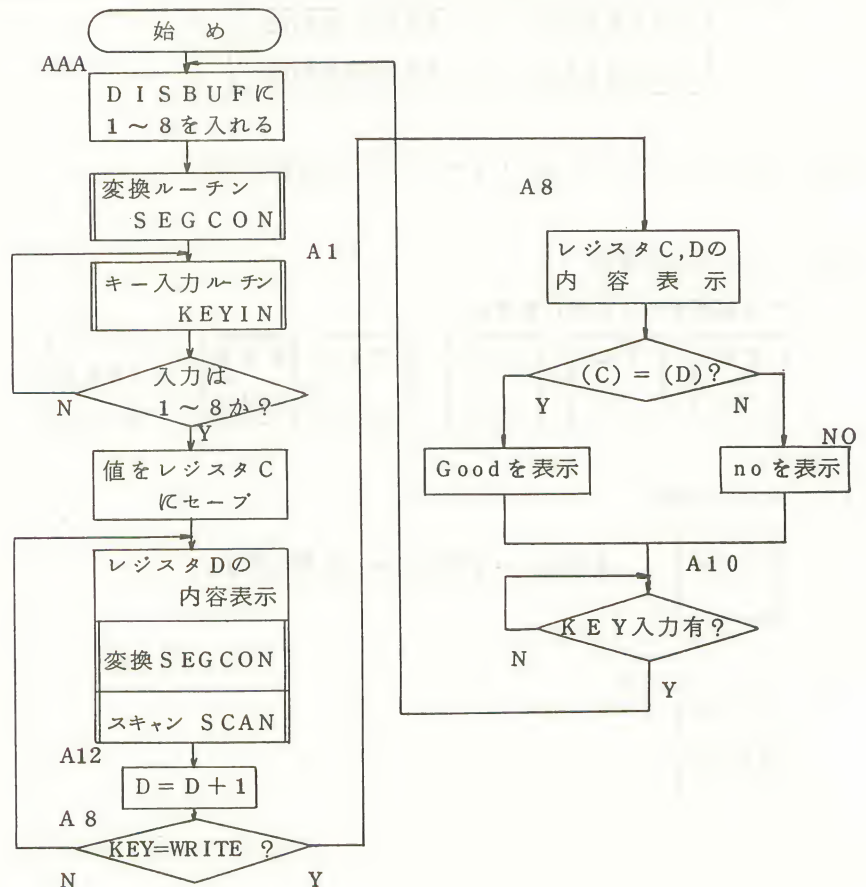
7セグメントのLEDを利用したゲーム・プログラムです。

プログラムのステップ数は、256バイトで、データ・エリアは、モニタ用RAM内の表示データ・エリアを兼用しています。

始めに指定した数字と合うように、動いてゆく数字をタイミング良く[WRITE]KEY Yを押して、止めるゲームです。



### 2.2 フローチャート



### 2.3 プログラムの詳細

表示用のデータ・エリアは、モニタが使用しているエリア“DISBUF”を利用します。

始めのキー入力データは、レジスタCに置き、止めた時のキー入力データは、レジスタDに置きます。これらのレジスタの内容が壊れる恐れのある場合、スタックへPUSHしてゆきます。

このスタックのトップ・アドレスは、モニタ起動時に、FF9AH番地に設定されていますので、このプログラム内では設定せずに使っています。

### 2.4 プログラムの使用ルーチン

このプログラムは、次のようなモニタのルーチンを使用しています。

| ル　ー　チ　ン | エントリィ番地 |
|---------|---------|
| SEGCN   | E324H   |
| KEYIN   | E33FH   |
| SCAN    | E370H   |

表示用エリアは、次の2箇所の詳細はユーザーズ・マニュアルを御覧下さい。

|        |           |
|--------|-----------|
| DISBUF | FFD5~FFDC |
| SEGBUF | FFCD~FFD4 |

### 2.5 プログラム・リストを、11~12ページに示します。

### 2.6 プログラムの実行

次の順序でキーを押します。

|    |    |    |    |      |     |
|----|----|----|----|------|-----|
| PC | PC | PC | PC | REM  | RUN |
| 0  | 0  | 0  | 0  | ADRS |     |

### 2.7 ゲームの継続

|     |
|-----|
| RUN |
|-----|

または、いずれかのキーを押します。

### 2.8 プログラムの終了

|       |
|-------|
| RESET |
|-------|





002

## ROULETTE

|    |      |        |        |      |              |
|----|------|--------|--------|------|--------------|
| 51 | 004D | F5     |        | PUSH | AF           |
| 52 | 004E | 21D5FF |        | LD   | HL, DISBUF   |
| 53 | 0051 | 77     |        | LD   | (HL); A      |
| 54 | 0052 | 23     |        | INC  | HL           |
| 55 | 0053 | 3615   |        | LD   | (HL), 15H    |
| 56 | 0055 | 23     |        | INC  | HL           |
| 57 | 0056 | 71     |        | LD   | (HL), C      |
| 58 | 0058 | CD24E3 |        | CALL | SEGCON       |
| 59 | 005A | F1     |        | POP  | AF           |
| 60 | 005B | 21D4FF |        | LD   | HL, SEGBUF+7 |
| 61 | 005E | 2017   |        | JR   | NZ, NO       |
| 62 | 0060 | 363D   |        | LD   | (HL), 3DH    |
| 63 | 0062 | 2B     |        | DEC  | HL           |
| 64 | 0063 | 365C   |        | LD   | (HL), 5CH    |
| 65 | 0065 | 2B     |        | DEC  | HL           |
| 66 | 0066 | 365C   |        | LD   | (HL), 5CH    |
| 67 | 0068 | 2B     |        | DEC  | HL           |
| 68 | 0069 | 365E   |        | LD   | (HL), 5EH    |
| 69 | 006B | 0601   | A9:    | LD   | B, 1         |
| 70 | 006D | 2B     | A10:   | DEC  | HL           |
| 71 | 006E | 3600   |        | LD   | (HL), 0      |
| 72 | 0070 | 10FB   |        | DJNZ | A10          |
| 73 | 0072 | CD3FE3 |        | CALL | KEYIN        |
| 74 | 0075 | 1889   |        | JR   | AAA          |
| 75 | 0077 | 3654   | NO:    | LD   | (HL), 54H    |
| 76 | 0079 | 2B     |        | DEC  | HL           |
| 77 | 007A | 365C   |        | LD   | (HL), 5CH    |
| 78 | 007C | 0603   |        | LD   | B, 3         |
| 79 | 007E | 18ED   |        | JR   | A10          |
| 80 |      | FFDC   | DIS    | EQU  | FFD5H+7      |
| 81 |      | E324   | SEGCON | EQU  | E324H        |
| 82 |      | FFD5   | DISBUF | EQU  | FFD5H        |
| 83 |      | E370   | SCAN   | EQU  | E370H        |
| 84 |      | E33F   | KEYIN  | EQU  | E33FH        |
| 85 |      | FFCD   | SEGBUF | EQU  | FFCDH        |
| 86 | 0080 |        |        | END  |              |

### 3. 紙テーブリーダ・インターフェース

#### 3.1 概 要

S M-B-80 Tのメモリへ紙テープからデータ(オブジェクトプログラム)を入力するプログラムです。

このプログラムは、紙テーブリーダにリコー電子工業株式会社製のMi, READERを使用し、この紙テーブリーダとのインターフェースにS M-B-80 Tの汎用パラレルI/O(PIO<sup>2</sup>)を使用しています。また、プログラムの開始アドレスは、ユーザROM領域のE400番地とします。

#### 3.2 プログラム

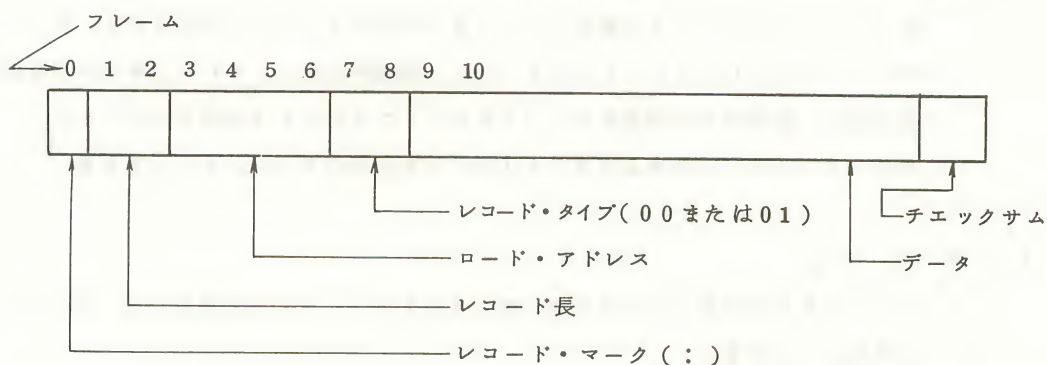
リーダー・ドライバルーチンのリストを、後で示します。

このプログラムは、E400H番地からのROMエリアに書き込んで使うようにしてありますが、他のメモリ・エリアに置いて使うこともできます。

但し、この場合、CALL命令及びJP命令内のオペランド(ジャンプ先の番地)はすべて修正する必要があるので、御注意下さい。

#### 3.3 データの形式

データ(オブジェクトプログラム)は、インテル標準16進フォーマットとします。



##### 3.3.1 レコード・マーク

コロン(:)に対応するASCIIコード3Aによりレコードの先頭を示します。

##### 3.3.2 レコード長

レコードのデータ(バイト)長をASCIIコードで表わします。例えば、データ長129バイトは16進数で81であり、ASCIIコードでは3831となります。

エンド・オブ・ファイルのレコード長は00であり、フレーム1, 2には対応するASCIIコードが入ります。

### 3.3.3 ロード・アドレス

レコードの先頭データがロードされるアドレスをASCIIコードで表わします。アドレスは4桁の16進数で表わし、上位側がフレームの3, 4に入ります。

エンド・オブ・ファイルのアドレスは0000であり、フレーム3～6に対応するASCIIコードが入ります。

### 3.3.4 レコード・タイプ

データ・レコードはタイプ1, エンド・オブ・ファイルはタイプ0として各々1, 0に対応するASCIIコードで表わします。

### 3.3.5 データ

1バイト・データは2桁の16進数で表現できますが、これに対応するASCIIコードで連続する2フレームに入れます。データの上位バイトが前のフレーム、下位バイトが後のフレームになります。

### 3.3.6 チェックサム

第1フレームからデータの最終フレームまでの数を2フレーム毎に区切り、各フレームのデータ(ASCIIコードではない)を2進数表現にし、これら各単位の2進数を2進加算し、結果の2の補数をチェックサムとして2桁の16進数で表わします。

チェックサムは、対応するASCIIコードで最後の2フレームに入ります。

## 3.4 操作方法

プログラムはROMに書き込んでSM-B-80TのユーザROM領域(IC NO. U17)に実装しておきます。

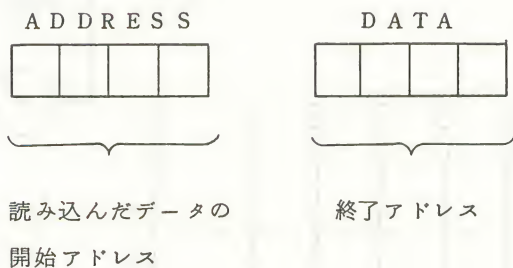
キー操作

|   |         |         |         |             |     |
|---|---------|---------|---------|-------------|-----|
| E | BA<br>4 | PC<br>0 | PC<br>0 | REM<br>ADRS | RUN |
|---|---------|---------|---------|-------------|-----|



このプログラムでは、RUN キーを押しますと自動的に紙テープリーダのモータをONし、読み込み（ロード）が終了するとOFFするようになっています。また、紙テープリーダは手回し型のもので読み込めます。

データ（オブジェクト・プログラム）の読み込みが終了しますと次の表示を行います。



### 3.5 紙テープリーダとの接続

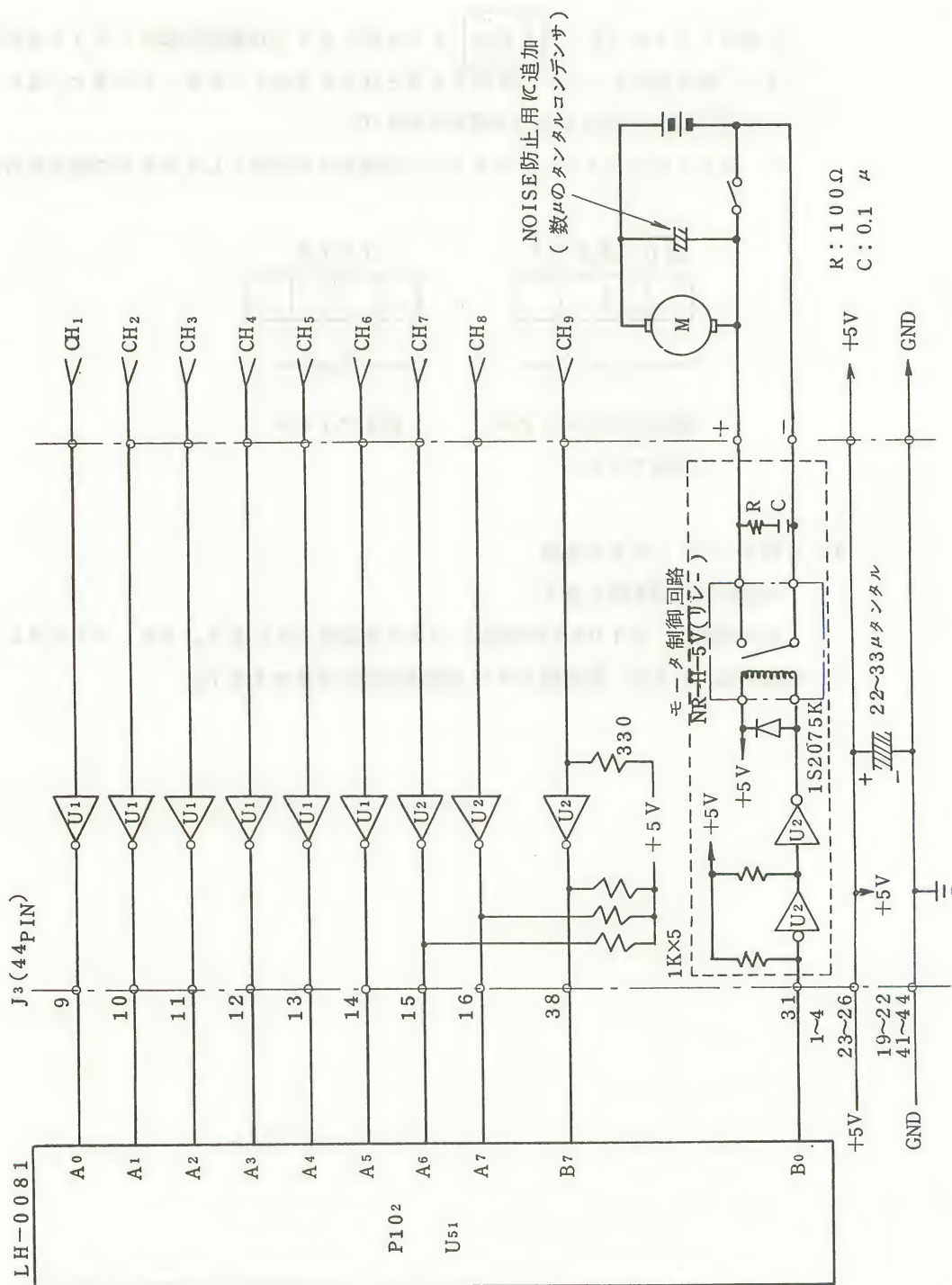
別図に接続図を示します。

この例では、PIO2との間にバッファを追加しています。また、プログラムでモータを制御しないときは、接続図のモータ制御回路を省略できます。

# SM-B-80T, MiREADER 接続図

80 T ←

→ Mi READER



001 LOAD.SR

```

1      ;
2      ;
3      ;
4      ;          ★★★★★ LOAD ★★★★★
5      00D4      PLOAD      EQU      0D4H
6      00D5      PIOAC      EQU      0D5H
7      00D6      PIOBD      EQU      0D6H
8      00D7      PIOBC      EQU      0D7H
9      E026      EXIT      EQU      0E026H
10     FFE1      ADDR      EQU      0FFE1H
11     FFDF      DATA     EQU      0FFDFH
12     FFCD      SEGBUF     EQU      0FFCDH
13                                     ORG      0E400H
14     E400      3ECF      LOAD:      LD      A,0CFH
15     E402      D3D5      OUT      (PIOAC),A
16     E404      3EFF      LD      A,0FFH
17     E406      D3D5      OUT      (PIOAC),A
18     E408      3ECF      LD      A,0CFH
19     E40A      D3D7      OUT      (PIOBC),A
20     E40C      3EFE      LD      A,0FEH
21     E40E      D3D7      OUT      (PIOBC),A
22     E410      AF        XOR      A
23     E411      D3D6      OUT      (PIOBD),A
24     E413      1E00      LD      E,0
25     E415      CD82E4    LD20:     CALL    READ
26     E418      FE3A      CP      ':'
27     E41A      20F9      JR      NZ,LD20
28     E41C      0E00      LD      C,0
29     E41E      CD61E4    CALL    RDBYT
30     E421      A7        AND      A
31     E422      2836      JR      Z,LD100
32     E424      47        LD      B,A
33     E425      CD61E4    CALL    RDBYT
34     E428      67        LD      H,A
35     E429      CD61E4    CALL    RDBYT
36     E42C      6F        LD      L,A
37     E42D      CD61E4    CALL    RDBYT
38     E430      CB43      BIT      0,E
39     E432      2004      JR      NZ,LD30
40     E434      22E1FF    LD      (ADDR),HL
41     E437      1C        INC      E
42     E438      CD61E4    LD30:     CALL    RDBYT
43     E43B      77        LD50:     LD      (HL),A
44     E43C      22DFFF    LD      (DATA),HL
45     E43F      23        LD60:     INC      HL
46     E440      10F6      DJNZ     LD30
47     E442      CD61E4    CALL    RDBYT
48     E445      AF        XOR      A
49     E446      81        ADD      A,C
50     E447      28CC      JR      Z,LD20

```

002

LOAD.SR

|    |      |        |        |      |           |
|----|------|--------|--------|------|-----------|
| 51 | E449 | 0608   |        | LD   | B,8       |
| 52 | E44B | 21CDFF |        | LD   | HL,SEGBUF |
| 53 | E44E | 3640   |        | LD   | (HL),40H  |
| 54 | E450 | 23     |        | INC  | HL        |
| 55 | E451 | 10FB   |        | DJNZ | \$-3      |
| 56 | E453 | 3E01   |        | LD   | A,1       |
| 57 | E455 | D3D6   |        | OUT  | (PIOBD),A |
| 58 | E457 | C32CE0 |        | JP   | EXIT+6    |
| 59 | E45A | 3E01   | LD100: | LD   | A,1       |
| 60 | E45C | D3D6   |        | OUT  | (PIOBD),A |
| 61 | E45E | C326E0 |        | JP   | EXIT      |
| 62 | E461 | CD82E4 | RDBYT: | CALL | READ      |
| 63 | E464 | CD7AE4 |        | CALL | A2BIN     |
| 64 | E467 | 07     |        | RLCA |           |
| 65 | E468 | 07     |        | RLCA |           |
| 66 | E469 | 07     |        | RLCA |           |
| 67 | E46A | 07     |        | RLCA |           |
| 68 | E46B | C5     |        | PUSH | BC        |
| 69 | E46C | 4F     |        | LD   | C,A       |
| 70 | E46D | CD82E4 |        | CALL | READ      |
| 71 | E470 | CD7AE4 |        | CALL | A2BIN     |
| 72 | E473 | B1     |        | OR   | C         |
| 73 | E474 | C1     |        | POP  | BC        |
| 74 | E475 | F5     |        | PUSH | AF        |
| 75 | E476 | 81     |        | ADD  | A,C       |
| 76 | E477 | 4F     |        | LD   | C,A       |
| 77 | E478 | F1     |        | POP  | AF        |
| 78 | E479 | C9     |        | RET  |           |
| 79 | E47A | D630   | A2BIN: | SUB  | '0'       |
| 80 | E47C | FE0A   |        | CP   | 10        |
| 81 | E47E | F8     |        | RET  | M         |
| 82 | E47F | D607   |        | SUB  | 7         |
| 83 | E481 | C9     |        | RET  |           |
| 84 | E482 | DBD6   | READ:  | IN   | A,(PIOBD) |
| 85 | E484 | 07     |        | RLCA |           |
| 86 | E485 | 38FB   |        | JR   | C,READ    |
| 87 | E487 | DBD4   |        | IN   | A,(PIOAD) |
| 88 | E489 | 2F     |        | CPL  |           |
| 89 | E48A | E67F   |        | AND  | 7FH       |
| 90 | E48C | F5     |        | PUSH | AF        |
| 91 | E48D | DBD6   | RD10:  | IN   | A,(PIOBD) |
| 92 | E48F | 07     |        | RLCA |           |
| 93 | E490 | 30FB   |        | JR   | NC,RD10   |
| 94 | E492 | F1     |        | POP  | AF        |
| 95 | E493 | C9     |        | RET  |           |
| 96 | E494 |        |        | END  |           |



LOAD.SR      SYMBOL TABLE

|       |       |       |       |       |       |        |       |
|-------|-------|-------|-------|-------|-------|--------|-------|
| PIOAD | -00D4 | PIOAC | -00D5 | PIOBD | -00D6 | PIOBC  | -00D7 |
| EXIT  | -E026 | ADDR  | -FFE1 | DATA  | -FFDF | SEGBUF | -FFCD |
| LOAD  | -E400 | LD20  | -E415 | LD30  | -E438 | LD50   | -E43B |
| LD60  | -E43F | LD100 | -E45A | RDBYT | -E461 | A2BIN  | -E47A |
| READ  | -E482 | RD10  | -E48D |       |       |        |       |



# APPENDIX 14

## ROM/RAMボード

## 目 次

|                                  |    |
|----------------------------------|----|
| 1. 概 要 .....                     | 1  |
| 1.1 特 長 .....                    | 1  |
| 1.2 仕 様 .....                    | 2  |
| 2. ハードウェア .....                  | 5  |
| 2.1 回路説明 .....                   | 5  |
| 2.2 バス信号線 .....                  | 5  |
| 3. 使 用 法 .....                   | 9  |
| 3.1 R A M使用時の設定 .....            | 11 |
| 3.2 R O M使用時の設定 .....            | 12 |
| 3.3 S M - B - 8 0 T の拡張メモリ ..... | 13 |
| 部品構成表 .....                      | 14 |
| 回 路 図 .....                      | 15 |



## 1. 概 要

ROM/RAMボードは、SM-B-80DやSM-B-80Tを使用したシステムにおいて、メモリを拡張する場合に用いる。

このボードはROMとして、2708タイプ、または2716タイプのEPROMを最大8個まで実装できる。2708タイプのEPROMの最大実装容量は8KBであり、基準アドレスは4KB単位に変更できる。2716タイプのEPROMの最大実装容量は16KBであり、基準アドレスは8KB単位に変更できる。

RAMとして8KBのスタティックRAMを実装しており、その基準アドレスは4KB単位に変更できる。また、このRAMは必要に応じて4KB単位に書き込みを不可能にするメモリ・プロテクト機能を持っている。

### 1.1 特 長

- (1) RAM 8KB実装 LH-2114-3 16個使用。
- (2) ROM 2708タイプ、intel 2716タイプ いずれも使用可能。
- (3) ROM容量 2708使用時 最大8KB  
2716使用時 最大16KB
- (4) RAM基準アドレスは4KB単位に変更できる。
- (5) ROM基準アドレスは、2708使用時4KB、2716使用時8KB単位に変更できる。
- (6) RAMは4KB単位に書き込みを不可能にできる(メモリ・プロテクト機能)。

## 1.2 仕 様

### < 一 般 仕 様 >

| 項 目                | 仕 様                                                                                                                                                                                             | 備 考                                                                                   |
|--------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------|
| R A M              | 8 K B 実装<br>L H - 2 1 1 4 - 3 1 6 個使用<br>4 K B 単位に基準アドレス設定可能<br>4 K B 単位にメモリ・プロテクト可能                                                                                                            | D I P スイッチにより設定                                                                       |
| R O M              | 2 7 0 8 または 2 7 1 6 を最大 8 個まで実装できる。<br>R O M 容量<br>2 7 0 8 使用時 最大 8 K B<br>2 7 1 6 使用時 最大 1 6 K B<br>R O M 基準アドレス<br>2 7 0 8 使用時 4 K B 単位可変<br>2 7 1 6 使用時 8 K B 単位可変                           | ボードは I C ソケットのみ実装している。<br>2 7 1 6 は intel compatible の E P R O M<br>D I P スイッチにより設定   |
| 電 源                | + 5 V $\pm$ 5 % ; 2 A <sub>max</sub> + I <sub>cc</sub> (E P R O M)<br>+ 1 2 V $\pm$ 5 % ; I <sub>DD</sub> (E P R O M)<br>- 1 2 V $\pm$ 5 % ; I <sub>BB</sub> (E P R O M)<br>( - 5 V $\pm$ 5 % ) | + 1 2 V , - 1 2 V ( - 5 V )<br>は E P R O M 使用時必要<br>- 1 2 V の代わりに - 5 V を直接印加することもある。 |
| 動 作 温 度            | 0 ° C ~ 4 0 ° C                                                                                                                                                                                 |                                                                                       |
| ボ ー ド 寸 法          | 2 7 0 × 1 9 0 × 2 0 単位 mm                                                                                                                                                                       |                                                                                       |
| バ ス 信 号<br>コ ネ ク タ | 1 0 0 ピン 3.1 7 5 mm ピッチ                                                                                                                                                                         |                                                                                       |

( 注 意 ) ( 1 ) 2 7 0 8 タイプ、2 7 1 6 タイプの E P R O M の混用はできない。

( 2 ) 2 7 0 8 タイプの E P R O M の代わりに端子互換性のあるバイポーラ P R O M ( 例 L H - 7 0 5 5 ) を使用できる。

( 3 ) 電源項目の I<sub>cc</sub> , I<sub>DD</sub> , I<sub>BB</sub> は E P R O M の電源供給電流。E P R O M の使用個数 n により、この値は n 倍される。

# <バス信号線>

ROM/ RAMボードに入出力するバス信号線の仕様を以下に示す。

## (1) 信号の論理

デ ー タ            負論理

ア ド レ ス        負論理

制 御 線           負論理

## (2) 信号のレベル

デ ー タ            TTLコンパティブル

( 双方向バッファ8T26 使用 )

ア ド レ ス        低電力TTLコンパティブル

制 御 線           低電力TTLコンパティブル

( 但し、\*REN Bのみ負荷1K $\Omega$ によるオープン・コレクタ出力 )

バス信号線の一覧表を表1に示す。

# <ボード寸法図>

図1にボード寸法図を示す。

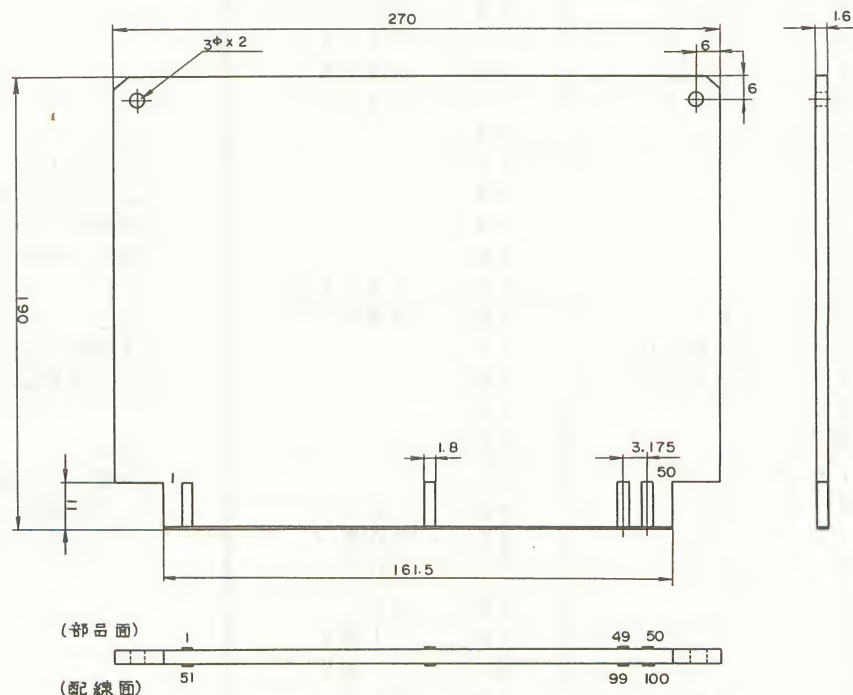


図1 ボード寸法図

| 端子番号 | 信号名 (部品面)   | 端子番号 | 信号名 (配線面)   |
|------|-------------|------|-------------|
| 1    | + 5 V       | 51   | + 5 V       |
| 2    | + 5 V       | 52   | + 5 V       |
| 3    | + 5 V       | 53   | + 5 V       |
| 4    |             | 54   |             |
| 5    | + 1 2 V     | 55   | + 1 2 V     |
| 6    |             | 56   |             |
| 7    |             | 57   |             |
| 8    |             | 58   |             |
| 9    |             | 59   |             |
| 10   |             | 60   |             |
| 11   |             | 61   |             |
| 12   |             | 62   |             |
| 13   |             | 63   |             |
| 14   |             | 64   |             |
| 15   |             | 65   | * RENB (注1) |
| 16   | * RENB (注2) | 66   |             |
| 17   |             | 67   |             |
| 18   |             | 68   |             |
| 19   |             | 69   |             |
| 20   | (注3)        | 70   |             |
| 21   |             | 71   |             |
| 22   | * A 0       | 72   | * A 1       |
| 23   | * A 2       | 73   | * A 3       |
| 24   | * A 4       | 74   | * A 5       |
| 25   | * A 6       | 75   | * A 7       |
| 26   | * A 8       | 76   | * A 9       |
| 27   | * A 1 0     | 77   | * A 1 1     |
| 28   | * A 1 2     | 78   | * A 1 3     |
| 29   | * A 1 4     | 79   | * A 1 5     |
| 30   |             | 80   |             |
| 31   |             | 81   |             |
| 32   |             | 82   |             |
| 33   |             | 83   |             |
| 34   |             | 84   |             |
| 35   |             | 85   | * R F S H   |
| 36   | * R D       | 86   | * W R       |
| 37   | * M R E Q   | 87   |             |
| 38   | * M P R T   | 88   |             |
| 39   |             | 89   |             |
| 40   |             | 90   |             |
| 41   |             | 91   |             |
| 42   | * D 0       | 92   | * D 1       |
| 43   | * D 2       | 93   | * D 3       |
| 44   | * D 4       | 94   | * D 5       |
| 45   | * D 6       | 95   | * D 7       |
| 46   | - 1 2 V     | 96   | - 1 2 V     |
| 47   | - 5 V       | 97   | - 5 V       |
| 48   | G N D       | 98   | G N D       |
| 49   | G N D       | 99   | G N D       |
| 50   | G N D       | 100  | G N D       |

(注1)

\*記号はLレベルで有効  
(active) になる信号で、  
信号名の上に—(bar)  
記号をつけたものと同じ

(注2)

16番端子はSM-B-  
80T使用時のみ用いる。

(注3)

20番, 70番端子はボー  
ド上で短絡している。  
I E I = I E O



## 2. ハードウェア

### 2.1 回路説明

図 2 に ROM / RAM ボードのブロック図を示す。また、本マニュアルの最後に部品構成表、回路図を示す。

(1) アドレス・バッファ

U38 ~ U40 のインバータにより \*A0 ~ \*A15 のアドレス入力をバッファする。

(2) アドレス・デコーダ

アドレス・デコーダは、RAM, ROM に対して別々に設けられており、RAM に対する基準アドレスは DIP スイッチ DP2 により、ROM に対する基準アドレスは DP3 により設定できる。U36 は RAM に対するアドレス・デコーダであり、1KB 単位に RAM を選択している。U37 は ROM に対するアドレス・デコーダであり、1KB 単位または 2KB 単位に ROM を選択している。

(3) データ・バッファ

U17, U18 の双方向バッファによりデータを入出力する。双方向バッファのレシーバ、及びドライバがイネーブルとなる条件を次に示す。

$$\overline{DE} = *RD + (*MS1) \cdot (*MS2) \cdot (*MS3) \cdot (*MS4)$$

$$\overline{RE} = *WR + (*MS1) \cdot (*MS2) \cdot (*MS3) \cdot (*MS4)$$

但し、MSi が "L" になる条件は、ボード上のメモリが選択され、かつ、\*MREQ が "L" レベルで、\*RFSH が "H" レベルとなる場合である。

(4) RAM アレー

U9 ~ U16, U22 ~ U29 は、LH-2114-3、スタティック RAM アレーである。U9 ~ U12, U22 ~ U25 及び U13 ~ U16, U26 ~ U29 により各々 4KB の RAM ブロック (1), (2) を構成している。

(5) ROM アレー

U1 ~ U8 は 2708, または 2716 の ROM アレーが構成できるようになった IC ソケットであり、2708, 2716 の使用切り換えはジャンパ線 P1 ~ P10 及び DIP スイッチ DP1 (6) により行う。詳細は 3. 使用法を参照のこと。

(6) メモリ・プロテクト回路

メモリ・プロテクトは上述の 4KB 単位の RAM ブロックに対して書き込みを不可能にするものであり書き込みが可能となる条件は以下の通りである。

38 番端子 \*MPRT が "L" レベルで、かつ、DIP スイッチ DP1 の (7), (8) がオンの場合

### 2.2 バス信号線

表 2 にバス信号線の意味を示す。

(注) ROMブロック(1). (2) はリセットのみ実装

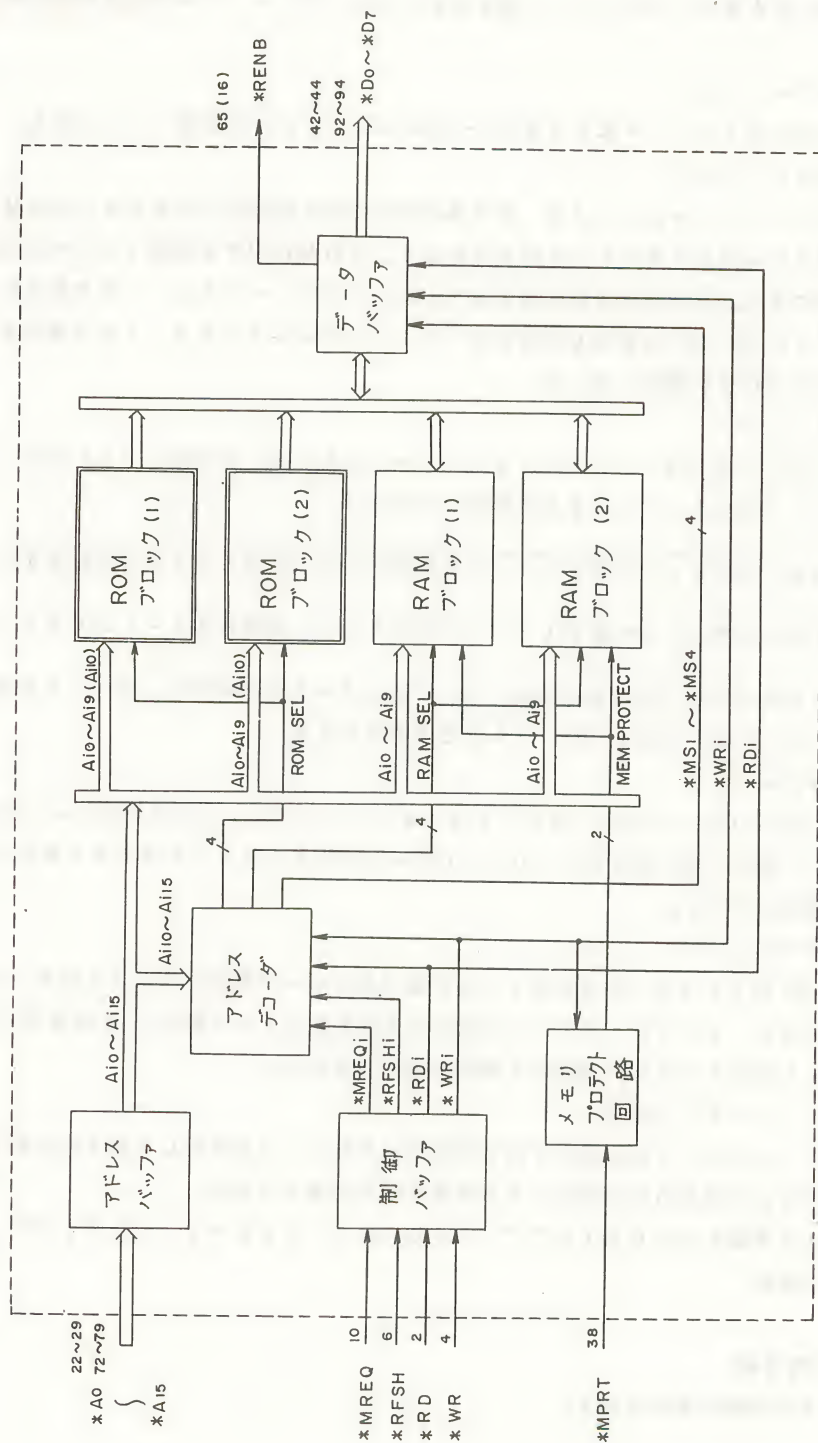


図 2. ブロック図

表 2 バス信号線の意味

| 信 号 名                      | 端子番号                  | 説 明                                                                                                                                                                                                                       | 信号方向                       |
|----------------------------|-----------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------|
| + 5 V                      | 1, 2, 3<br>51, 52, 53 | 電源 + 5 V, i 2 7 1 6 または L H 7 0 5 5 を R O M とし<br>て使用する場合 + 5 V だけでよい。                                                                                                                                                    | 入力                         |
| + 1 2 V                    | 5, 5 5                | 電源 + 1 2 V, 2 7 0 8 タイプの E P R O M を使用する場<br>合本電源を必要とする。                                                                                                                                                                  | 入力                         |
| * R E N B                  | 6 5 又は<br>1 6         | Receiver ENaBle<br>この端子を "L" レベルにすることにより、C P U ボードの<br>データ・バッファのレシーバはイネーブルになる。本ボー<br>ド上のメモリをアクセスすると本端子は "L" レベルになる。                                                                                                       | 出力<br>"L" レベ<br>ルアクテ<br>ィブ |
| アドレス<br>* A0<br>}<br>* A15 | 右 参 照                 | Address<br>アドレス入力端子であり、本端子に印加されたアドレス信<br>号は反転バッファ後、ボード上のアドレス・デコーダ、メ<br>モリのアドレス入力に印加される。<br>記号 *A0 *A1 *A2 *A3 *A4 *A5 *A6 *A7 *A8 *A9 *A10 *A11 *A12 *A13 *A14 *A15<br>端子 22 72 23 73 24 74 25 75 26 76 27 77 28 78 29 79 | 入力<br>"L" レベル<br>アクティブ     |
| * R F S H                  | 8 5                   | Re Fre SH<br>ダイナミック R A M のリフレッシュ・サイクルの期間本信<br>号はアクティブになる。本ボードはダイナミック R A M を<br>使用していないが、リフレッシュ・アドレスによってボー<br>ド上のメモリがアクセスされるのを、本信号を用いて禁止<br>する。                                                                          | 入力<br>"L" レベル<br>アクティブ     |
| * R D                      | 3 6                   | Re a D<br>C P U の読み出しサイクルの期間本信号はアクティブとな<br>る。                                                                                                                                                                             | 入力<br>"L" レベル<br>アクティブ     |
| * W R                      | 8 6                   | W R i t e<br>C P U の書き込みサイクルの期間本信号はアクティブとな<br>る。メモリ・プロテクトにより本信号は無効になる。                                                                                                                                                    | 入力<br>"L" レベル<br>アクティブ     |
| * M R E Q                  | 3 7                   | Memory REQuest<br>メモリに対する読み出し／書き込み、リフレッシュ・サイ<br>クルの期間、本信号はアクティブとなる。                                                                                                                                                       | 入力<br>"L" レベル<br>アクティブ     |

| 信 号 名                      | 端子番号                  | 説 明                                                                                                                                                                                                                                                                                                                                                                                        | 信号方向                   |
|----------------------------|-----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------|
| デ ー タ<br>* D0<br>}<br>* D7 |                       | <p>Data</p> <p>データの入出力端子であり、双方向バッファ 8 T 2 6 でバッファ後、ボード上のメモリのデータ端子に接続している。双方向バッファのドライバがアクティブになるのは、* M R E Q が "L" レベル、* R F S H が "H" レベルで、ボード上のメモリが選択され、かつ * R D が "L" レベルとなる場合である。また、双方向バッファのレシーバがアクティブとなるのは、* M R E Q が "L" レベル、* R F S H が "H" レベルでボード上のメモリが選択され、かつ、* W R が "L" レベルとなる場合である。</p> <p>記号    * D0 * D1 * D2 * D3 * D4 * D5 * D6 * D7<br/>端子    42 92 43 93 44 94 45 95</p> | 入出力<br>"L"レベル<br>アクティブ |
| * M P R T                  | 3 8                   | <p>Memory P R o T e c t</p> <p>本信号を "L" レベルにし、かつ、プロテクト・スイッチ ( D P 1 の (7) か (8) ) がオンの場合、対応する R A M ブロックに対して書き込みができない。</p>                                                                                                                                                                                                                                                                 | 入力<br>"L"レベル<br>アクティブ  |
| - 1 2 V                    | 46 , 96               | <p>電源 - 1 2 V</p> <p>2 7 0 8 タイプの E P R O M の - 5 V 電源は本端子に - 12 V を供給することにより、ボード内部で作成できる。</p>                                                                                                                                                                                                                                                                                             | 入力                     |
| ( - 5 V )                  | 47 , 97               | <p>電源 - 5 V</p> <p>2 7 0 8 タイプの E P R O M に直接 - 5 V 電源を供給する場合に使用する。</p>                                                                                                                                                                                                                                                                                                                    | 入力                     |
| G N D                      | 48,49,50<br>98,99,100 | 接 地 線                                                                                                                                                                                                                                                                                                                                                                                      |                        |



### 3. 使用法

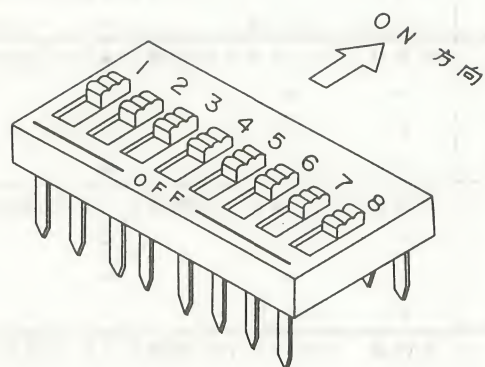
ROM/RAMボードは、2708, 2716のEPROMの切り換え、メモリの基準アドレスの設定等をボード上のDIPスイッチ、チェック端子間の配線により行っている。表3はDIPスイッチ、チェック端子の各機能の一覧表である。

表3 動作モード切り換え一覧表

|                    | 番 号             | 機 能                                                                       |
|--------------------|-----------------|---------------------------------------------------------------------------|
| DIP<br>スイッチ<br>DP1 | (1)             | RAMブロック1に対して* MREQを有効にする                                                  |
|                    | (2)             | " " 2 " "                                                                 |
|                    | (3)             | ROM " 1 " "                                                               |
|                    | (4)             | " " 2 " "                                                                 |
|                    | (5)             | 未使用                                                                       |
|                    | (6)             | 2708時スイッチオン、2716時スイッチオフ                                                   |
|                    | (7)             | RAMブロック1に対して書き込み不可能(プロテクト・オン) <sup>(注2)</sup>                             |
|                    | (8)             | " " 2 " " ( " )                                                           |
| DIP<br>スイッチ<br>DP2 | (1)             | RAM ブロック1の基準アドレス設定 (A15)                                                  |
|                    | (2)             | " " " (A14)                                                               |
|                    | (3)             | " " " (A13)                                                               |
|                    | (4)             | " " " (A12)                                                               |
|                    | (5)             | RAM ブロック2の基準アドレス設定 (A15)                                                  |
|                    | (6)             | " " " (A14)                                                               |
|                    | (7)             | " " " (A13)                                                               |
|                    | (8)             | " " " (A12)                                                               |
| DIP<br>スイッチ<br>DP3 | (1)             | ROM ブロック1の基準アドレス設定 (A15)                                                  |
|                    | (2)             | " " " (A14)                                                               |
|                    | (3)             | " " " (A13)                                                               |
|                    | (4)             | " " " (A12) (注1)                                                          |
|                    | (5)             | ROM ブロック2の基準アドレス設定 (A15)                                                  |
|                    | (6)             | " " " (A14)                                                               |
|                    | (7)             | " " " (A13)                                                               |
|                    | (8)             | " " " (A12) (注1)                                                          |
| チエック<br>端 子        | P1<br>P2        | P1 - P2は通常結線、EPROMのVDD(A10)端子を開放にする場合、P1 - P2を開放にする。                      |
|                    | P3<br>P4        | P3 - P4を結線すると-12Vからレギュレータを介して-5VをEPROMに供給できる。-5Vを直接供給する場合開放とする。           |
|                    | P5<br>P6<br>P7  | P5 - P6結線時EPROMの19番端子にA10を印加<br>P7 - P6 " " " +12V "<br>(但しP1 - P2は結線とする) |
|                    | P8<br>P9<br>P10 | P8 - P9結線時EPROMの21番端子に+5Vを印加<br>P10 - P9 " " " -5V "                      |

(注1) 2716使用時(1)はオフとする。

(注2) 書き込み不可能となるには、さらに\*MPRT="L"が必要



DIP スイッチ

### 3.1 RAM使用時の設定

(1) DIPスイッチDP1の(1), (2)をオンにする。

(1), (2)をオフにすると\*MR EQが無効になり、対応するRAMブロックがアクセスできなくなる。ボード上のメモリを使用しない場合、オフにする。

(2) 再書き込みを禁止したければ、前もってDP1の(7), (8)をオンにしておく。

(7), (8)をオンにした後、\*MPRTを"L"レベルにすると、RAMに対して以後書き込みはできなくなる(読み出しは可能)。

従って通常の用法ではDP1の(1), (2)をオン、(7), (8)をオフにする。

(3) RAMの基準アドレスを表4に従って設定する。設定はDP2により行う。

| メモリ番号               | RAMブロック1                                |   |   |   | RAMブロック2                                 |   |   |   |
|---------------------|-----------------------------------------|---|---|---|------------------------------------------|---|---|---|
|                     | U9~U12 (上位ハーフバイト)<br>U22~U25 (下位ハーフバイト) |   |   |   | U13~U16 (上位ハーフバイト)<br>U26~U29 (下位ハーフバイト) |   |   |   |
| DP2番号<br>基準<br>アドレス | 1                                       | 2 | 3 | 4 | 5                                        | 6 | 7 | 8 |
| 0000                | 0                                       | 0 | 0 | 0 | 0                                        | 0 | 0 | 0 |
| 1000                | 0                                       | 0 | 0 | 1 | 0                                        | 0 | 0 | 1 |
| 2000                | 0                                       | 0 | 1 | 0 | 0                                        | 0 | 1 | 0 |
| 3000                | 0                                       | 0 | 1 | 1 | 0                                        | 0 | 1 | 1 |
| 4000                | 0                                       | 1 | 0 | 0 | 0                                        | 1 | 0 | 0 |
| 5000                | 0                                       | 1 | 0 | 1 | 0                                        | 1 | 0 | 1 |
| 6000                | 0                                       | 1 | 1 | 0 | 0                                        | 1 | 1 | 0 |
| 7000                | 0                                       | 1 | 1 | 1 | 0                                        | 1 | 1 | 1 |
| 8000                | 1                                       | 0 | 0 | 0 | 1                                        | 0 | 0 | 0 |
| 9000                | 1                                       | 0 | 0 | 1 | 1                                        | 0 | 0 | 1 |
| A000                | 1                                       | 0 | 1 | 0 | 1                                        | 0 | 1 | 0 |
| B000                | 1                                       | 0 | 1 | 1 | 1                                        | 0 | 1 | 1 |
| C000                | 1                                       | 1 | 0 | 0 | 1                                        | 1 | 0 | 0 |
| D000                | 1                                       | 1 | 0 | 1 | 1                                        | 1 | 0 | 1 |
| E000                | 1                                       | 1 | 1 | 0 | 1                                        | 1 | 1 | 0 |
| F000                | 1                                       | 1 | 1 | 1 | 1                                        | 1 | 1 | 1 |

1 : 対応スイッチオン

0 : " " オフ

表4 RAM基準アドレスの設定

### 3.2 ROM使用時の設定

(1) DIPスイッチD P 1 の(3) , (4)をオンにする。

(3) , (4)をオフにすると\* M R E Qが無効になり、対応するR O Mブロックがアクセスできなくなる。ボード上のメモリを使用しない場合オフとする。

(2) 2 7 0 8 使用時D P 1 の(6)をオンに、2 7 1 6 使用時D P 1 の(6)をオフにする。

(3) R O Mの基準アドレスを表5に従って設定する。設定はD P 3 により行う。

|            |          | R O M ブ ロ ッ ク 1 |   |   |   | R O M ブ ロ ッ ク 2 |   |   |   |     |
|------------|----------|-----------------|---|---|---|-----------------|---|---|---|-----|
| メモリ番号      |          | U1 ~ U4         |   |   |   | U5 ~ U8         |   |   |   |     |
| 基準<br>アドレス | D P 3 番号 | 1               | 2 | 3 | 4 | 5               | 6 | 7 | 8 |     |
| 0 0 0 0    |          | 0               | 0 | 0 | 0 | 0               | 0 | 0 | 0 |     |
| 1 0 0 0    |          | 0               | 0 | 0 | 1 | 0               | 0 | 0 | 1 | (※) |
| 2 0 0 0    |          | 0               | 0 | 1 | 0 | 0               | 0 | 1 | 0 |     |
| 3 0 0 0    |          | 0               | 0 | 1 | 1 | 0               | 0 | 1 | 1 | (※) |
| 4 0 0 0    |          | 0               | 1 | 0 | 0 | 0               | 1 | 0 | 0 |     |
| 5 0 0 0    |          | 0               | 1 | 0 | 1 | 0               | 1 | 0 | 1 | (※) |
| 6 0 0 0    |          | 0               | 1 | 1 | 0 | 0               | 1 | 1 | 0 |     |
| 7 0 0 0    |          | 0               | 1 | 1 | 1 | 0               | 1 | 1 | 1 | (※) |
| 8 0 0 0    |          | 1               | 0 | 0 | 0 | 1               | 0 | 0 | 0 |     |
| 9 0 0 0    |          | 1               | 0 | 0 | 1 | 1               | 0 | 0 | 1 | (※) |
| A 0 0 0    |          | 1               | 0 | 1 | 0 | 1               | 0 | 1 | 0 |     |
| B 0 0 0    |          | 1               | 0 | 1 | 1 | 1               | 0 | 1 | 1 | (※) |
| C 0 0 0    |          | 1               | 1 | 0 | 0 | 1               | 1 | 0 | 0 |     |
| D 0 0 0    |          | 1               | 1 | 0 | 1 | 1               | 1 | 0 | 1 | (※) |
| E 0 0 0    |          | 1               | 1 | 1 | 0 | 1               | 1 | 1 | 0 |     |
| F 0 0 0    |          | 1               | 1 | 1 | 1 | 1               | 1 | 1 | 1 | (※) |

1 : 対応スイッチオン

0 : " " オフ

(注1) 2 7 1 6 の場合(※)印の基準アドレスは設定できない。従って2 7 1 6 使用時D P 3 の(4) , (8)スイッチは必ずオンとする。

(注2) 2 7 0 8 , 2 7 1 6 の混用はできない。

表5 R O M基準アドレスの設定

(4) 2 7 0 8 , 2 7 1 6 に対応してチェック端子を表6に従って設定する。



| ROM<br>チェック<br>端子 | EPROM<br>2708 | EPROM<br>2716 | PROM<br>7055 | 備 考                   |
|-------------------|---------------|---------------|--------------|-----------------------|
| P1 - P2           | 1             | 1             | 0            |                       |
| P3 - P4           | 1 (注)         | 0             | 0            | (注) 直接 -5V 供給時は開放とする。 |
| P5 - P6           | 0             | 1             | 0            |                       |
| P7 - P8           | 1             | 0             | 0            |                       |
| P8 - P9           | 0             | 1             | 0            |                       |
| P10 - P9          | 1             | 0             | 0            |                       |

表 6 チェック端子配線

1 : 結線

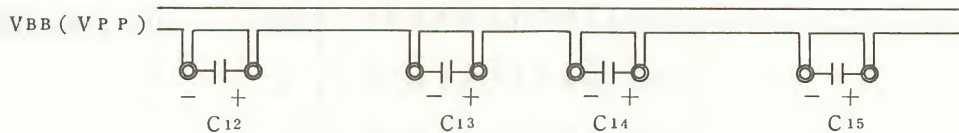
0 : 開放

- (5) 2708と2716では21番端子の印加電圧の極性が異なるため2716使用時に次の変更を行う。

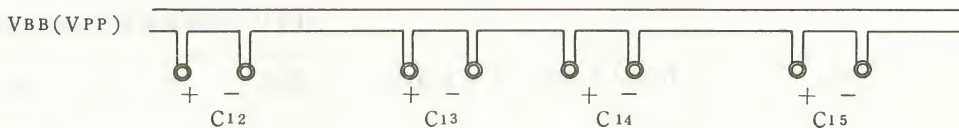
コンデンサC12～C15の実装方向を逆にする。

本ボードでは出荷時のコンデンサC12～C15の実装方向は2708用となっている。従って2716使用の場合、以下のように実装方向を逆にしなければならない。

・2708使用の場合



・2716使用の場合

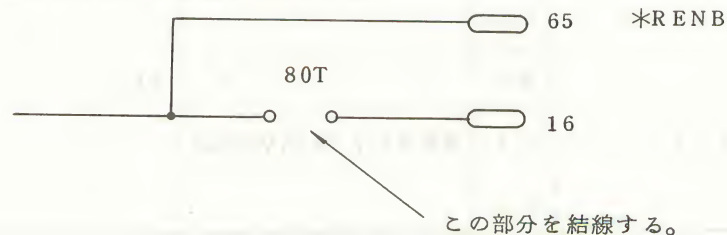


なお、変更之际しては、ボード添付の“シャープワンボードマイクロコンピュータシリーズご使用に当って”をよくお読み下さい。

### 3.3 SM-B-80Tの拡張メモリ

ROM/RAMボードをSM-B-80Tの拡張メモリとする場合、以下の変更を行わなければならない。

\*RENBを16番端子に出力する。

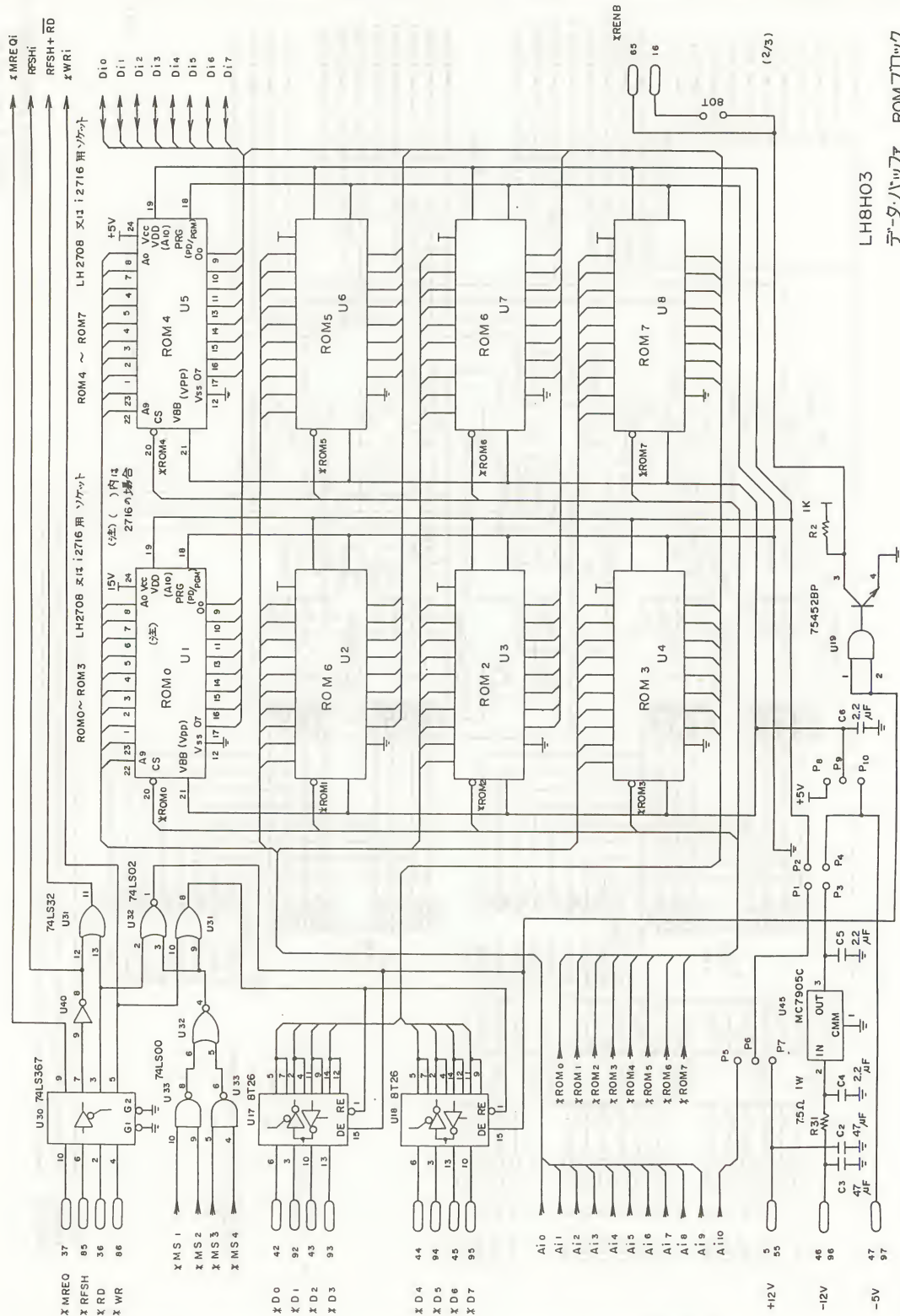


部 品 構 成 表

| 番号  | I C ソケット           | 番号  | I C                 | 番号  | コ ン デ ン サ                  |
|-----|--------------------|-----|---------------------|-----|----------------------------|
| U 1 | 821D-24011-244- 11 | U24 | L H - 2 1 1 4 - 3   | C 3 | 電解47uF SL25VBSN47          |
| U 2 | "                  | U25 | "                   | C 4 | タンタル22uF 499D225×035 BS1   |
| U 3 | "                  | U26 | "                   | }   | { }                        |
| U 4 | "                  | U27 | "                   | C38 | " "                        |
| U 5 | "                  | U28 | "                   | 番号  | 抵 抗                        |
| U 6 | "                  | U29 | "                   | R 1 | カーボン3K(1/4)W VRD-ST2EY302J |
| U 7 | "                  | U30 | S N 7 4 L S 3 6 7 N | R 2 | " 1KΩ " VRD-ST2EY102J      |
| U 8 | "                  | U31 | S N 7 4 L S 3 2 N   | R 3 | " 3KΩ " VRD-ST2EY302J      |
| 番号  | I C                | U32 | S N 7 4 L S 0 2 N   | }   | { } { } { }                |
| U 9 | L H - 2 1 1 4 - 3  | U33 | S N 7 4 L S 0 0 N   | R10 | " " " "                    |
| U10 | "                  | U34 | S N 7 4 L S 0 4 N   | R11 | " 1KΩ " VRD-ST2EY102J      |
| U11 | "                  | U35 | S N 7 4 L S 3 6 7 N | }   | { } { } { }                |
| U12 | "                  | U36 | S N 7 4 L S 1 3 9 N | R30 | " " " "                    |
| U13 | "                  | U37 | "                   | R31 | 金属皮膜 RN17.5ΩK 1W           |
| U14 | "                  | U38 | S N 7 4 L S 0 4 N   | 番号  | そ の 他                      |
| U15 | "                  | U39 | "                   | U45 | 3端子レギュレータ MC7905CT         |
| U16 | "                  | U40 | "                   | DP1 | 8回路DIPタイプスイッチDSS-108       |
| U17 | M C 8 T 2 6 A P    | U41 | S N 7 4 L S 2 6 6 N | DP2 | "                          |
| U18 | "                  | U42 | "                   | DP3 | "                          |
| U19 | S N 7 5 4 5 2 B P  | U43 | "                   | P 1 | チェック端子 WP-2型A              |
| U20 | S N 7 4 L S 3 2 N  | U44 | "                   | }   | { }                        |
| U21 | "                  | 番号  | コ ン デ ン サ           | P10 | " "                        |
| U22 | L H - 2 1 1 4 - 3  | C 1 | 電解47uF SL25VBSN47   |     |                            |
| U23 | "                  | C 2 | "                   |     |                            |







L8H803  
データバッファ ROMブロック

(2/3)





- シャープ(株)は、Z80ファミリーについてZilog社と技術提携し、日本における実施権を保有しております。
- シャープ(株)は、Z80ファミリーに関するZilog社の刊行物の複製をする権利を同社から許諾されております。  
読者は、本書のどの部分でもシャープ(株)に無断で複製したり、転載したり、または引用することはできません。
- 本書は、Z80ファミリーを読者が正しく理解して戴くための教育手引書として編集しました。
- Z80ファミリーについてのデータとか、最新情報は、下記にお問合せ下さい。

### シャープ株式会社

|          |      |                   |                        |
|----------|------|-------------------|------------------------|
| 本社       | 〒545 | 大阪市阿倍野区長池町22番22号  | ☎ (06) 621-1221 (大代表)  |
| 電子部品事業本部 | 〒632 | 奈良県天理市樺本町2613番地の1 | ☎ (07436) 5-1321 (大代表) |
| 営業本部     | 〒545 | 大阪市阿倍野区長池町22番22号  | ☎ (06) 621-1221 (大代表)  |
| 東部地区営業   | 〒162 | 東京都新宿区市谷八幡町8番地    | ☎ (03) 260-1161 (大代表)  |
| 中部地区営業   | 〒460 | 名古屋市中区葵1丁目20番23号  | ☎ (052) 931-5406、5424  |
| 西部地区営業   | 〒545 | 大阪市阿倍野区長池町22番22号  | ☎ (06) 621-1221 (大代表)  |

マイクロコンピュータZ80  
ユーザーズマニュアル [I] ©

定価 3,000円

1981年9月1日 第1版第3刷発行

発行/シャープ株式会社

発売/株式会社エレクトロニクスダイジェスト書店部

〒105 東京都港区芝公園3-5-8 機械振興会館ビル(B3)

電話 (03) 434-3360(直) 434-8211(代)

# マイコンセミナー案内

・講師 梅原 秀之  
日本大学理工学部講師  
(株)創英企画

・場所：機械振興会館セミナールーム(東京タワー直前) ※館内は受付に指示、時間：9:30～16:30 ●定員：15名  
・事務局：東京都港区芝公園3-5-8 機械振興会館ビルB3F エレクトロニクスダイジェスト ☎03-434-3360

| コース                  | PART・1                           | PART・2                           | PART・3                           | PART・4                           | PART・5                           | PART・6                           | PART・7                           | PART・8                           | PART・9                              | PART・10                             |
|----------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|-------------------------------------|-------------------------------------|
| 57ヶ月<br>57ヶ月<br>57ヶ月 | 2月12-13日<br>2月19-20日<br>2月26-27日 | 3月12-13日<br>3月19-20日<br>3月26-27日 | 4月12-13日<br>4月19-20日<br>4月26-27日 | 5月12-13日<br>5月19-20日<br>5月26-27日 | 6月12-13日<br>6月19-20日<br>6月26-27日 | 7月12-13日<br>7月19-20日<br>7月26-27日 | 8月12-13日<br>8月19-20日<br>8月26-27日 | 9月12-13日<br>9月19-20日<br>9月26-27日 | 10月12-13日<br>10月19-20日<br>10月26-27日 | 11月12-13日<br>11月19-20日<br>11月26-27日 |
| 受講料                  | ¥25,000                          | ¥25,000                          | ¥25,000                          | ¥25,000                          | ¥25,000                          | ¥25,000                          | ¥25,000                          | ¥25,000                          | ¥25,000                             | ¥25,000                             |

●特別受講料1コース(同一企業の場合)、(2名 ¥48,000)、(3名 ¥69,000)、(4名 ¥88,000)、(5名 ¥105,000)

## ●開講のことば

マイコンビュータは、電子技術者の哲学を数値のシリコンチップ上に凝縮させたものである、この哲学と発展過程を知ることなしにマイコンビュータを理解することは難しい、本シリーズのセミナーはマイコンビュータ応用機器の開発、設計、製造、検査、保守等を担当する技術者、マイコンビュータ応用機器の発注、使用する技術者を対象としており、全10コースから成り、全コース通し参加、独学コース参加の選択ができる、各2日間セミナーである。

日本でのマイコンビュータ導入時期からマイコンビュータ関連セミナーを広い分野にわたり、深くつづこんだ内容で本年開講して来、エレクトロニクスダイジェスト社が、過去の英訳や参加者のアンケートをもとにより英訳で即座に立つようにまとめたものである、各コースとも内容の重複をさせ、無駄のないよう全コースのカリキュラムが体系化されているため、参加者にとって理解しやすいセミナーである、本年マイコンビュータ応用機器の開発を成功地手がけて来た講師によって講義や実習が行われ、また質疑応答も発地に即した内容で行なうことを旨としており、これも本セミナーの特色となっている。

## 1 マイコンビュータの完全理解コース

本コースは、初心者にもわかる平易な解説により、マイコンビュータの構成要素、基本構造と信号の流れ、動作順序とタイミング、マイコンの動作と命令語の関連、入出力装置の接続と動作、入出力装置と部品、電源オンからプログラム実行までの手順、マイコンビュータ8080/8085/Z-80の概要を解説。

## 3 応用システム設計コース

実際に近いマイコンビュータ応用機器例として1ボードCPUによる温度制御システムをとりあげ、システム開発、設計に伴うシステム分析、システム設計、開発ツールによるソフトウェア設計/プログラミング、PROM書き込みシステムの動作評価までの実務の手順、方法、演習問題、注意事項、トラブルシューティングについて解説。

## 5 Z-80と周辺用LSI

Z-80 CPUの構造と特長、レジスタ、命令、周辺制御、バス接続と使用法、周辺LSIの機能、動作、マイコン・チェーン優先順決断制御使用法と制御プログラム、マイコンRAMのリフレッシュとそのインテグレーション方法、注意事項など、Z-80 CPU及び周辺用LSIを応用するに必要な事項をていねいに解説。

## 7 I/O 機器のインターフェースと制御プログラム(I)

I/O 機器の選定と制御方法、マイコンビュータ用I/O機器(TTY、キーボード、表示器、アラーム、インターフェース、A/Dコンバータ、D/Aコンバータ)とZ-80インテグレーション用LSIによるインテグレーション回路及びZ-80システムで実際に使用できるようサブルーチン化したOSを各々のI/O機器について完全解説。

## 9 各種センサアクチuatorのインターフェースと制御プログラム(II)

マイコンビュータの応用として、電子機器、機械、建築など広い分野、医学、理療、機械、建築など広いこれらの分野で使用される代表的なセンサやアクチuatorとマイコンビュータとのインターフェースの基本と制御プログラム及び実際のインテグレーションの際の諸問題と対策を事例に沿って解説。

## 2 プログラミングコース

マイコンビュータを動かすためのプログラムの作成手順と方法、アセンブル、シミュレーション/デバッグ、マイコンビュータの命令セットの解説と、基本的なI/O機器群が接続されたシステムに於て、それらインテグレーション回路の構成方法、どのような手順によって、なぜI/O機器がソフトウェアにより動作するかを明確な講義

## 4 プログラムソフトウェアコース

参加者が理解しやすいI/O機器群を接続したシステムを、参加者自身が作成したプログラムで動かす実習をする、更に温度制御システム用プログラムの作成、シミュレーション/デバッグ、PROM書き込み及びシステムの動作評価までの実習を行なう、マイコンビュータ応用機器の開発、設計の手順、方法、道場立てなどを体験する。

## 6 マイコンビュータのハードウェア設計

マイコンを構成するためによく利用されるTTLやICの解説、CPU及び制御回路、(8080、8085、Z-80)、メモリ(RAM、スタックRAM、プログラマブルRAM)、代表的なI/O機器インテグレーションと制御プログラムの関連と、各々のハードウェア設計に於ける問題点、注意事項とキーポイントについての解説。

## 8 I/O 機器のインターフェースと制御プログラム(II)

DMAの基本と制御方法、マイコンビュータに接続されるあらゆるI/O機器(XYプロッタ、電気ドラム、カセット磁気テープ、フロッピーディスク)の解説とZ-80 CPUとのインターフェース回路及びZ-80システムで実際に使用できるよう、サブルーチン化したOSを各々のI/O機器について完全解説。

## 10 開発機器の実例とドキュメント類の作成、まとめ方

開発された、マイコンビュータ用機器、システムの実際の仕様書、開発者側との仕様決定方法、開発者側での承認仕様書、システム設計書、ハードウェア設計書、ソフトウェア設計書、取扱説明書、保守/メンテナンス説明書などドキュメント類の書き方整理の仕方などの方など。



## マイコンビュータ設計に必要な書籍・マニュアル・データブック・ソフトウエアを常備・秋葉原店は「土日祭」も営業。どうぞ。

マイコンビュータダイジェスト エレクトロニクスダイジェスト

秋葉原店 ☎ 255-5784

国電駅前・ラジオ会館6F

●8080/8085/Z80の正しい使い方はPART・1-5で終了します。 ●PART・4のインテグレーションの方は受付です。

●PART・5-10コースは応用設計コースです、個々の選択ができますからテーマによって受講ください。

●このセミナーは年間一回、同一テーマで実施しております。日時・内容・その他の詳細は問い合わせください、**マイコンビュータダイジェスト** (03)434-3361



# マイコンコーナー新刊案内

ベストセラータキスト 樹下行三 著

**マイコンビュータ(I)**  
(基礎編)  
A 5 判・264頁 定価 2,000円

**マイコンビュータ(II)**  
(プログラム編)  
A 5 判・320頁 定価 2,500円

**マイコンビュータ(III)**  
(設計編)  
A 5 判・320頁 定価 2,500円

**パーソナルコンピュータ(I)**  
(ベーシック編)  
A 5 判・180頁 定価 2,000円

**マイコン入門・応用**  
東芝半導体事業部・実用テキスト(各金型解説)  
B 5 判・180頁 定価 2,000円  
完全理解のための入門テキスト 大原茂之 著  
**マイコンビュータ 80/8085**  
ハンドブック(I)  
B 5 判・240頁 定価 3,000円

**東芝マイコンの正しい使い方シリーズ**

**マイコンビュータ**  
アプリケーションマニュアル(1) **8080A**  
B 5 判 ¥1,500

**マイコンビュータ**  
アプリケーションマニュアル(II) **8080A**  
B 5 判 ¥1,500

**マイコンビュータ**  
アプリケーションマニュアル **8048**  
B 5 判 ¥1,500

**マイコンビュータ**  
データマニュアル **ワンチップ4ビット**  
B 5 判 ¥2,000

**マイコンビュータ**  
ワンボード 活用技術 **80/8085**  
B 5 判 ¥2,000

**マイコンビュータ**  
ワンボード 活用技術 **マンモス**  
B 5 判 ¥2,500

**マイコンビュータ**  
ワンボード 活用技術 **マンモス**  
B 5 判 ¥2,500

**マイコンビュータ**  
ワンボード 活用技術 **マンモス**  
B 5 判 ¥2,500

**マイコンビュータ**  
ワンボード 活用技術 **マンモス**  
B 5 判 ¥2,500

**マイコンビュータ**  
ワンボード 活用技術 **マンモス**  
B 5 判 ¥2,500

**マイコンビュータ**  
ワンボード 活用技術 **マンモス**  
B 5 判 ¥2,500

イラスト中心一誰でもわかる 佐々木正 監修

**マイコン読本**  
B5判・200頁 定価 2,000円

**Z80マイコンビュータ**  
ハンドブック (1)  
B 5 判 ¥4,000

**Z80マイコンビュータ**  
ハンドブック (2)  
B 5 判 ¥4,000

**Z80マイコンビュータ**  
ハンドブック (3)  
B 5 判 ¥4,000

**Z80マイコンビュータ**  
ハンドブック (4)  
B 5 判 ¥4,000

**Z80マイコンビュータ**  
ハンドブック (5)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (6)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (7)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (8)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (9)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (10)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (11)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (12)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (13)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (14)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (15)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (16)  
B 5 判 ¥4,000

**マイコンビュータ**  
ハンドブック (17)  
B 5 判 ¥4,000

●TTL ICを使いこなすために

**TTLアプリケーションマニュアル**  
B 5 判 ¥5,000

**続TTLとデータブック**  
B 5 判 ¥2,500

**TTL特性と応用**  
B 5 判 ¥3,000

**インタフェースICハンドブック**  
B 5 判 ¥3,000

●リニアICを使いこなすために

**リニアICアプリケーションマニュアル**  
B 5 判 ¥3,000

**A/D・D/Aコンバータハンドブック**  
B 5 判 ¥2,000

**オペアンプ活用技術**  
B 5 判 ¥2,500

●MOS ICを使いこなすために

**MOS/LSI設計と応用**  
B 5 判 ¥3,000

**CMOSICハンドブック**  
B 5 判 ¥3,000

**アナログデータレコーダハンドブック**  
B 5 判 ¥1,500

●活用しようデータブック

**インコンポーネントデータカタログ**  
A5判・英文 ¥3,000

**システムデータカタログ**  
A4判・英文 ¥1,500

**(全世界)ICマスタータック**  
A4判・英文 ¥25,000

**ロジックTTLデータブック**  
B5判・英文 ¥2,000

**シアナログデータブック**  
B5判・英文 ¥2,000

●インテルデカルタイプラリ(日本語版)

**マイクロコンピュータ MCS85**  
ユーザズマニュアル B 5 判 ¥4,500

**マイクロコンピュータ MCS48**  
ユーザズマニュアル B 5 判 ¥3,000

**MCS80/85入門**  
B 5 判 ¥3,000

**8080/8085 アセンブリ言語**  
B 5 判 ¥2,000

**8080 アセンブリ言語**  
B 5 判 ¥2,000

**MCS-51 マイクロコンピュータ**  
B 5 判 ¥3,000

**MCS-51 アセンブリ言語コンバータ**  
B 5 判 ¥1,000

**iAPX 86 マイクロコンピュータ**  
B 5 判 ¥3,000

**SDK85 ユーザズマニュアル**  
B 5 判 ¥2,000

**MDS マイクロコンピュータ入門**  
B 5 判 ¥1,200

**インテルMULTIBUS仕様説明書**  
B 5 判 ¥3,000

**エレクトロニクスデザイン**  
(03)434-3360

**最新D/A・A/Dコンバータ**  
B 5 判 ¥28,000

**実践ノイズ低減技法**  
A5判 ¥3,500

**10万人のプロセス制御講座**  
A5判 ¥4,700

**ソフトウエアプロダクトエンジニアリング**  
A5判 ¥5,800

**エレクトロニクスデザイン**  
(03)434-3360

**工業計器ガイドブック**  
B 5 判 ¥3,000

**ME機器技術総覧**  
B 5 判 ¥6,000

**電子測定器と応用システム総覧**  
B 5 判 ¥1,000

**電子測定器の選び方**  
B 5 判 ¥1,000

**医用放射線機器技術総覧**  
B 5 判 ¥5,500









**ELECTRONICS DIGEST COMPANY**